

“十二五”普通高等教育本科国家级规划教材配套参考书

电子技术基础 数字部分 第六版

学习辅导与习题解答

华中科技大学电子技术课程组 编
罗 杰 秦 臻 主 编
瞿安连 张 林 彭容修 编

电子技术基础 模拟部分 第六版 康华光
电子技术基础 模拟部分 第六版 电子教案
电子技术基础 模拟部分 第六版 学习辅导与习题解答

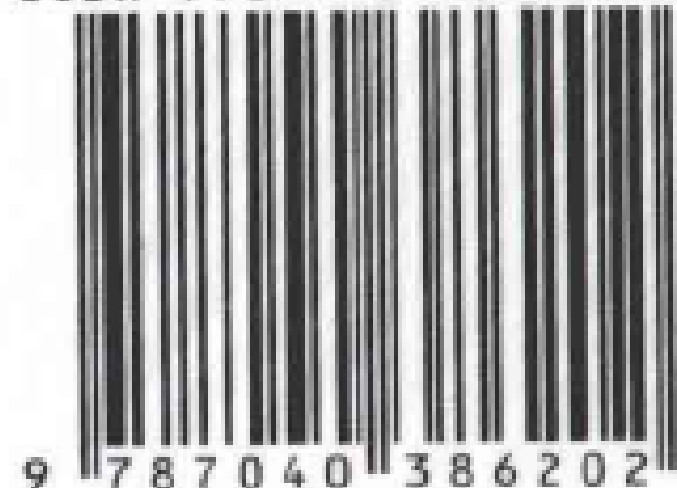
电子技术基础 数字部分 第六版 康华光
电子技术基础 数字部分 第六版 电子教案
电子技术基础 数字部分 第六版 学习辅导与习题解答

华中科技大学电子技术基础课程基本教程系列

模拟电子技术基础 第三版 张林 陈大钦
模拟电子技术基础 第三版 习题解答
模拟电子技术基础 第三版 电子教案

数字电子技术基础 第三版 罗杰 彭容修
数字电子技术基础 第三版 习题解答
数字电子技术基础 第三版 电子教案

ISBN 978-7-04-038620-2



9 787040 386202 >

定价 32.80 元

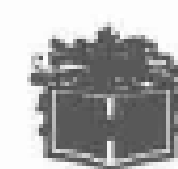
“十二五”普通高等教育本科国

电子技术基础 数字部分 第六版

学习辅导与习题解答

华中科技大学电子技术课程组 编
罗 杰 秦 臻 主 编
瞿安连 张 林 彭容修 编

DIANZI JISHU JICHU SHUZI BUFEN
XUEXI FUDAO YU XITI JIEDA



高等教育出版社·北京
HIGHER EDUCATION PRESS BEIJING

内容简介

本书是数字电子技术基础课程的辅导教材,可与“十二五”普通高等教育本科国家级规划教材、华中科技大学电子技术课程组编、康华光主编、秦臻和张林副主编的《电子技术基础 数字部分 第六版》配套使用。

本书旨在帮助读者了解本课程特点,掌握本课程的基本要求和重点,在学习方法及解题方法等方面给予指导。内容包括:课程的特点及学习方法;各章内容提要及重点,典型例题解析和教材各章习题解答。希望本书有助于数字电子技术基础课程的教师进行教学研究以提高教学质量,也有利于有关工程技术人员及各类自学人员学习。

本书可供本、专科电子信息类、电气类、自动化类、仪器类专业的教师和学生使用,也可作为准备硕士研究生入学考试或从事电子技术的教学人员参考。

图书在版编目(CIP)数据

电子技术基础(数字部分)(第6版)学习辅导与习题解答/罗杰,秦臻主编;瞿安连等编.--北京:高等教育出版社,2013.12

ISBN 978-7-04-038620-2

I. ①电… II. ①罗… ②秦… ③瞿… III. ①数字电路-电子技术-高等学校-教学参考资料 IV. ①TN79

中国版本图书馆 CIP 数据核字(2013)第 271266 号

策划编辑	韩 颖	责任编辑	平庆庆	封面设计	王 睢	版式设计	马敬茹
插图绘制	尹 莉	责任校对	刘丽娴	责任印制	刘思涵		

出版发行	高等教育出版社	咨询电话	400-810-0598
社 址	北京市西城区德外大街 4 号	网 址	http://www.hep.edu.cn
邮政编码	100120		http://www.hep.com.cn
印 刷	唐山市润丰印务有限公司	网上订购	http://www.landaco.com
开 本	787mm×1092mm 1/16		http://www.landaco.com.cn
印 张	20.75	版 次	2013 年 12 月第 1 版
字 数	510 千字	印 次	2013 年 12 月第 1 次印刷
购书热线	010-58581118	定 价	32.80 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换

版权所有 侵权必究

物 料 号 38620-00

前 言

本书是为配合“十二五”普通高等教育本科国家级规划教材、华中科技大学电子技术课程组编、康华光主编、秦臻和张林副主编的《电子技术基础 数字部分 第六版》而编写的学习辅导与习题解答。绪论部分介绍了数字电子技术基础课程特点及学习方法(含附录“数字电子技术基础”课程教学基本要求)。随后内容按照主教材的章节安排,每章内容包括:一、内容提要及重点;二、典型例题解析;三、习题全解。希望本书的出版有助于电子技术基础课程的教师进行教学,开展教学研究和提高教学质量,也有利于相关学生和工程技术人员及各类自学人员学习。

本书各章的小节标题、序号及图号与主教材对应,并未自成序列,本书中图、表编排体例的进一步说明如下,请读者注意。

对于“典型例题解析”中的图、表采用两级数字编号,如果一个例题中有多个图(表),则在数字后面增加圆括号和英文小写字母加以区分。例如,图 6.2(a)表示第 6 章第二个例题中的第一个图,图 6.2(b)表示该例题中的第二个图,依此类推;表格也采用类似的方法编号。

对于“习题全解”中的图、表采用三级数字编号,有两种情况:(1)在习题中需要引用主教材的图(表)时,采用原主教材的图(表)编号。而习题中用到的图(表),采用在三级数字编号前加上“图题”或者“表题”,这部分的编号与主教材完全一致。(2)在解题过程中新增加的图(表),则在三级数字编号前加上“图题解”或者“表题解”加以区分;如果一个习题解答中有多个图(表),则在数字后面增加圆括号和英文小写字母加以区分。例如,图题解 2.4.3(a)表示第 2 章第 4 节第 3 题的第一个图,图题解 2.4.3(b)表示第 2 章第 4 节第 3 题的第二个图,依此类推;习题全解中的表格也采用类似的方法编号。

参加本书编写工作的都是主教材各章的相关作者,有秦臻(第 0、1、3、4、11 章)、罗杰(第 2 章及全书的 Verilog HDL 习题解答)、瞿安连(第 5、6 章)、张林(第 7、8 章)和彭容修(第 9、10 章)。罗杰和秦臻为主编,负责全书的组织和定稿工作。在编写过程中,得到了康华光教授的热情指导和帮助。

限于编者水平及编写时间仓促,难免出现差错和不妥之处,敬请使用本书的同志予以批评指正。作者 E-mail: Luojiwh@ gmail. com

编 者

2013 年 9 月于武汉华中科技大学

郑重声明

高等教育出版社依法对本书享有专有出版权。任何未经许可的复制、销售行为均违反《中华人民共和国著作权法》，其行为人将承担相应的民事责任和行政责任；构成犯罪的，将被依法追究刑事责任。为了维护市场秩序，保护读者的合法权益，避免读者误用盗版书造成不良后果，我社将配合行政执法部门和司法机关对违法犯罪的单位和个人进行严厉打击。社会各界人士如发现上述侵权行为，希望及时举报，本社将奖励举报有功人员。

反盗版举报电话 (010) 58581897 58582371 58581879

反盗版举报传真 (010) 82086060

反盗版举报邮箱 dd@hep.com.cn

通信地址 北京市西城区德外大街4号 高等教育出版社法务部

邮政编码 100120

目 录

0 绪论	1
数字电子技术基础课程特点及学习方法	1
0.1 课程特点	1
0.2 学习方法	2
附录：“数字电子技术基础”课程教学基本要求	4
1 数字逻辑概论	6
一、内容提要及重点	6
二、典型例题解析	6
三、习题全解	8
1.1 数字信号与数字电路	8
1.2 数制	9
1.3 二进制的算术运算	14
1.4 二进制代码	15
1.5 二值逻辑变量与基本逻辑运算	18
1.6 逻辑函数及其表示方法	19
2 逻辑代数与硬件描述语言基础	21
一、内容提要及重点	21
二、典型例题解析	22
三、习题全解	25
2.1 逻辑代数的基本定律和规则	25
2.2 逻辑函数表达式的形式	27
2.3 逻辑函数的代数化简法	32
2.4 逻辑函数的卡诺图化简法	34
2.5 硬件描述语言 Verilog HDL 基础	39
3 逻辑门电路	42
一、内容提要及重点	42
二、典型例题解析	44
三、习题全解	47
3.1 逻辑门电路简介	47
3.2 基本 CMOS 逻辑门电路	47
3.3 CMOS 逻辑门电路的不同输出结构及参数	53
3.4 类 NMOS 和 BiCMOS 逻辑门电路	59
3.5 TTL 逻辑门电路	61
* 3.6 ECL 逻辑门电路	63

3.7	逻辑描述中的几个问题	63
3.8	逻辑门电路使用中的几个实际问题	64
3.9	用 Verilog HDL 描述 CMOS 门电路	70
4	组合逻辑电路	71
一、	内容提要及重点	71
二、	典型例题解析	71
三、	习题全解	76
4.1	组合逻辑电路的分析	76
4.2	组合逻辑电路的设计	84
4.3	组合逻辑电路中的竞争冒险	96
4.4	若干典型的组合逻辑集成电路	98
4.5	组合可编程逻辑器件	124
4.6	用 Verilog HDL 描述组合逻辑电路	129
5	锁存器和触发器	140
一、	内容提要及重点	140
二、	典型例题解析	140
三、	习题全解	146
5.2	SR 锁存器	146
5.3	D 锁存器	150
5.4	触发器的电路结构和工作原理	152
5.5	触发器的逻辑功能	155
5.6	用 Verilog HDL 描述锁存器和触发器	164
6	时序逻辑电路	167
一、	内容提要及重点	167
二、	典型例题解析	167
三、	习题全解	177
6.1	时序逻辑电路的基本概念	177
6.2	同步时序逻辑电路的分析	183
6.3	同步时序逻辑电路的设计	190
6.4	异步时序逻辑电路的分析	200
6.5	若干典型的时序逻辑电路	205
6.6	简单的时序可编程逻辑器件 GAL	218
6.7	用 Verilog HDL 描述时序逻辑电路	219
7	半导体存储器	235
一、	内容提要及重点	235
二、	典型例题解析	236
三、	习题全解	237
7.1	只读存储器	237
7.2	随机存取存储器	241

8 CPLD 和 FPGA	244
一、内容提要及重点	244
二、典型例题解析	245
三、习题全解	245
8.1 复杂可编程逻辑器件(CPLD)简介	245
8.2 现场可编程门阵列(FPGA)	246
8.4 用 EDA 技术和可编程器件的设计例题	247
9 脉冲波形的变换与产生	252
一、内容提要及重点	252
二、典型例题解析	253
三、习题全解	258
9.1 单稳态触发器	258
9.2 施密特触发器	262
9.3 多谐振荡器	267
9.4 555 定时器及其应用	270
10 数模与模数转换器	276
一、内容提要及重点	276
二、典型例题解析	276
三、习题全解	281
10.1 D/A 转换器	281
10.2 A/D 转换器	285
* 11 数字系统设计基础	291
一、内容提要及重点	291
二、典型例题解析	291
三、习题全解	295
11.1 数字系统概述	295
11.2 算法状态机	296
11.3 交通信号灯控制系统	303
11.4 数字密码锁	312

0 绪 论

数字电子技术基础课程特点及学习方法

0.1 课程特点

数字电子技术基础是电气、电子信息类等各专业的一门重要技术基础课。其任务是使学生掌握电子技术方面的基本理论、基本知识和基本技能,为以后深入学习电子技术某些领域中的内容以及为电子技术在专业中的应用打好基础。

电子技术发展迅速、应用广泛,并且具有很强的实践性。数字电子技术基础不仅有自身完整的理论体系,而且这种理论往往与各种功能电路典型的集成电路产品紧密相连。因此,学习本课程更强调理论与实际相结合的学习方法。

1. 数字电子技术基础课程的内容就是研究数字信号的产生、变换、传输和存储。数字信号是时间和幅值都离散的信号。数字信号用二值数字逻辑 **1**、**0** 描述,在电路中用高、低逻辑电平表示,而不是具体精确的数值,例如对于 5V 供电电源的电路,3.6 ~ 5V 称为高电平,0 ~ 0.4V 称为低电平,其微小变化不影响电路的功能,这更突出了工程性。

2. 数字电路中 MOS(或 BJT)管通常工作在截止区或可变电阻区(BJT 管工作在截止区或饱和区),恒流区(BJT 管的放大区)是一种过渡状态。数字电路中最基本的单元是逻辑门,可分为 CMOS 和 TTL 系列。

3. 数字电路所要研究的主要问题是电路的输入与输出之间的逻辑关系,即电路的逻辑功能。描述电路逻辑功能的主要方法有真值表、逻辑函数表达式、逻辑图、波形图、卡诺图和 HDL 描述等。主要分析工具是逻辑代数。

4. 根据电路的结构特点及其对输入信号响应规则的不同,数字电路分为组合逻辑电路和时序逻辑电路。数字电子技术基础的主要任务是对给定的电路进行逻辑功能分析,或根据实际需要设计出相应的逻辑电路。

5. 数字电路的种类很多,一些典型的逻辑电路大体分为:

- (1) 组合逻辑器件:编码器、译码器、数据选择器、数据分配器及运算电路等。
- (2) 时序逻辑器件:寄存器、计数器等。
- (3) 数字信号产生变换:振荡器、数模、模数转换器。

0.2 学习方法

数字电子技术基础课程总体上分为以下几部分:一是数字电路的基本单元电路:门电路和触发器;二是数字电路的分析与设计工具:逻辑代数;三是组合电路或时序电路的分析与设计;四是各种典型电路的结构、性能和工作原理;五是存储器和可编程逻辑器件。

根据数字电子技术课程的特点,在学习过程中应注意以下几点:

1. 注重掌握基本概念、基本原理、基本分析和设计方法

数字电子技术发展很快,各种用途的电路千变万化,但它们具有共同的特点,所包含的基本原理和基本分析和设计方法是相通的。我们要学习的不是各种电路的简单罗列,不是死记硬背各种电路,而是要掌握它们的基本概念、基本原理、基本分析与设计方法。只有这样才能对给出的任何一种电路进行分析,或者根据要求设计出满足实际需要的数字电路。

2. 抓重点,注重掌握典型电路的外特性

数字电路的种类很多,各种电路的内部结构及内部工作过程千差万别,特别是大规模集成电路的内部结构更为复杂。学习这些电路时,不可能也没有必要一一记住它们,主要是了解电路结构特点及工作原理,重点掌握它们的外部特性(主要是输入和输出之间的逻辑功能)和使用方法,并能在此基础上正确地利用各类电路完成满足实际需要的逻辑设计。

3. 注意归纳总结

数字集成电路的应用广泛,学好数字电子技术课程需要掌握一些典型电路,因为这些典型电路是构成数字系统的部件。掌握它们包括了解它们的功能、结构特点及应用背景,并注意总结归纳,掌握其本质。例如译码器和数据选择器都可以实现逻辑函数,但两者的区别是,一个 n 位二进制输入端的译码器,只能用于产生变量数不大于 n 的组合逻辑函数,它可以附加门电路,实现多个输出的组合逻辑电路。一个 n 位地址输入端的数据选择器,可以实现变量数大于 n 的逻辑函数。由于数据选择器只有一个输出端,所以只能实现单个输出的逻辑函数。

4. 注意理论联系实际

电子技术基础课程学习的最终落脚点是对实际电路的分析和设计。经过理论分析和计算得到的设计结果还必须搭建实际电路进行测试,以检验是否满足设计要求。由于电子器件的电气特性具有分散性,理论设计出的电路在实际中也会出现意想不到的现象。例如用实验验证计数器 74×161 和一些门构成的 60 进制计数译码显示电路。一些同学的理论设计和线路连接均没有问题,但实验中出现了由竞争-冒险产生的错误计数,此时只要在反馈门的输出端与地之间接一个小电容,即可消除竞争-冒险。

5. 注意新技术的学习

电子技术的发展是以电子器件的发展为基础的,新的器件层出不穷,旧的器件随时被淘汰。因此教材中出现的集成电路芯片有可能已不生产,要用发展的观点使用教材。

可编程器件的迅速发展使数字电路或系统的实现更灵活,可靠性高,功耗低,体积小。可编程器件的使用离不开 EDA 软件。EDA 已成为从事电子电路设计人员必须掌握的技术,也是培养学生分析解决问题的能力 and 创新能力的一个重要环节。

6. 建议学时

理论教学:56 ~ 64 学时。实验教学:32 ~ 40 学时

为了帮助学生,现将教育部高等学校电子电气基础课程教学指导分委员会于 2010 年制定的数字电子技术基础课程教学基本要求附后(见本节附录)。

附录：“数字电子技术基础”课程教学基本要求^①

一、地位、作用 and 任务

数字电子技术基础课程是电子电气信息类和部分非电类专业本科生在电子技术方面入门性质的技术基础课,具有自身的体系和很强的实践性。本课程通过对常用电子器件、数字电路及其系统的分析和设计的学习,使学生获得数字电子技术方面的基本知识、基本理论和基本技能,为深入学习数字电子技术及其在专业中的应用打下基础。

二、教学基本内容及要求

(一) 理论教学部分

1. 数制和码制

- (1) 掌握二进制、十六进制数及其与十进制数的相互转换。
- (2) 掌握 8421 编码,了解其他常用编码。

2. 逻辑代数基础

- (1) 掌握逻辑代数中的基本定律和定理。
- (2) 掌握逻辑关系的描述方法及其相互转换。
- (3) 掌握逻辑函数的化简方法。

3. 门电路

- (1) 了解半导体二极管、晶体管和 MOS 管的开关特性。
- (2) 了解 TTL、CMOS 门电路的组成和工作原理。
- (3) 掌握典型 TTL、CMOS 门电路的逻辑功能、特性、主要参数和使用方法。
- (4) 了解 ECL 等其他逻辑门电路的特点。

4. 组合逻辑电路

- (1) 掌握组合电路的特点、分析方法和设计方法。
- (2) 掌握编码器、译码器、加法器、数据选择器和数值比较器等常用组合电路的逻辑功能及使用方法。
- (3) 了解组合电路的竞争-冒险现象及其消除方法。

5. 触发器

- (1) 掌握触发器逻辑功能的描述方法。
- (2) 理解基本 RS 触发器的电路结构、工作原理及动态特性。
- (3) 了解典型时钟触发器的电路结构及触发方式。

6. 时序逻辑电路

- (1) 掌握时序电路的特点、描述方法和分析方法。

^① 这是教育部高等学校电子电气基础课程教学指导分委员会于 2010 年制定的。这里所谓基本要求是指最低课程质量要求,各校在教学上留有发展空间。

(2) 掌握计数器、寄存器等常用时序电路的工作原理、逻辑功能及使用方法。

(3) 掌握同步时序电路的设计方法。

7. 脉冲的产生和整形电路

(1) 了解脉冲信号参数的定义。

(2) 理解施密特触发器、单稳态触发器和多谐振荡器的工作原理、主要参数的分析方法及应用。

(3) 了解 555 定时器的工作原理及应用。

8. 半导体存储器

(1) 理解 ROM、RAM 的电路结构、工作原理和扩展存储容量的方法。

(2) 理解用 ROM 实现组合逻辑函数的方法。

9. 可编程逻辑器件

(1) 理解可编程逻辑器件的基本特征及编程原理。

(2) 了解 PAL、GAL、FPGA 和 CPLD 的特点及电路结构。

10. 数模转换器和模数转换器

(1) 了解 D/A、A/D 转换器的功能及主要参数。

(2) 理解常见的 D/A 和 A/D 转换器的电路组成、工作原理、特点及应用。

11. EDA 工具应用

(1) 了解一种硬件描述语言。

(2) 了解一种 EDA 软件的使用方法。

(二) 实验教学部分

1. 能力要求

(1) 能够正确使用常用电子仪器,如示波器、信号发生器、万用表、交流毫伏表、稳压电源等。

(2) 掌握数字电子电路的基本测试技术,如脉冲信号主要参数的测试;数字电路逻辑功能的测试。

(3) 能够正确处理实验数据,并写出符合要求的实验报告。

(4) 能够查阅电子器件手册和在网上查询电子器件有关资料。

(5) 初步学会分析、寻找和排除实验电路中故障的方法。

(6) 初步学会一种 EDA 工具软件的使用,对数字电路进行仿真、分析和辅助设计,并能够实现小系统的组装和调试。

2. 参考实验内容

(1) 基本实验:门电路的测试、组合逻辑电路、时序逻辑电路、脉冲电路等。

(2) 综合性实验。

(3) EDA 实验。

三、说明

(1) 先修课程:高等数学、大学物理、电路。

(2) 建议有条件的学校开设电子技术基础课程设计。

1 数字逻辑概论

一、内容提要及重点

本章的内容提要：

1. 信号包括：模拟信号、数字信号。对应的电路有模拟电路和数字电路。
2. 0、1 可以用来表示二进制数，也可以表示逻辑状态。
3. 常用的数制有：二进制、八进制、十进制和十六进制。各种进制之间可以相互转换。
4. 无符号二进制数的算术运算。有符号的二进制数的原码、反码和补码。用补码进行带符号数的加法运算。
5. 常用的代码：二-十进制 (BCD) 码、格雷码、ASCII 码。常用的 BCD 码包括：8421、2421、5421、余 3 码、余 3 循环码等。
6. 基本逻辑运算：与、或、非。复合逻辑运算：与非、或非、与或非、异或、同或。
7. 逻辑函数的表示方法：真值表、逻辑函数表达式、逻辑图、波形图、卡诺图、HDL 语言描述。这些描述方法之间可以相互转换。

本章的重点：

二进制数、十六数制数及其与十进制数之间的转换；8421 编码；与、或、非 3 种基本逻辑运算及其复合运算；逻辑函数的表示方法及其相互之间的转换等。

二、典型例题解析

例 1.1 将十进制数 25.562 转换成二进制数，要求转换误差小于 1%。

解题思路：① 首先要根据转换误差要求确定二进制小数的位数。

② 将十进制数转换为二进制 (或任意进制) 数时，通常采用基数乘法，即整数转换采用基数除法，小数转换采用基数乘法。转换前后的误差是由二进制数小数的位数决定的。

解：整数部分采用基数除法，反复除 2，则

2	25		余 1	b_0	低位
2	12		余 0	b_1	
2	6		余 0	b_2	
2	3		余 1	b_3	
1			余 1	b_4	高位

$$(25)_D = (11001)_B$$

小数部分采用基数乘法,首先确定小数的位数。由于要求 $2^{-m} \leq 1\%$,可求出 $m \geq \frac{2}{\lg 2} = 6.64$,

取 $m = 7$,则

$0.562 \times 2 = 1.124$		整数为 1	b_{-1}	高位
$0.124 \times 2 = 0.248$		整数为 0	b_{-2}	
$0.248 \times 2 = 0.496$		整数为 0	b_{-3}	
$0.496 \times 2 = 0.992$		整数为 0	b_{-4}	
$0.992 \times 2 = 1.984$		整数为 1	b_{-5}	
$0.984 \times 2 = 1.968$		整数为 1	b_{-6}	
$0.968 \times 2 = 1.936$		整数为 1	b_{-7}	
$0.936 \times 2 = 1.872$		整数为 1	b_{-8}	低位

由于取 7 位,将 b_{-8} 向前进位得

$$(0.562)_D = (0.1001)_B$$

误差校核:将二进制小数 $(0.1001)_B$ 按权展开求和得到十进制小数,

$$(0.1001)_B = 1 \times 2^{-1} + 1 \times 2^{-4} = (0.5625)_D$$

转换误差 $\varepsilon = |0.562 - 0.5625| = 0.0005 = 0.05\%$,满足要求。

例 1.2 将十进制数 132.125 转换为十六进制数。

解题思路:此题有两种解法,一是直接转换法,用基数乘法直接将十进制数转换为十六进制数;另一种是间接转换法,先将十进制数转换为二进制数,然后再将二进制数转换为十六进制数。

解一:将十进制数的整数和小数分别反复除 16 和乘 16,则

整数部分

16	132		余 4	h_0	低位
	8		余 8	h_1	高位

小数部分

$$0.125 \times 16 = 2.0 \text{ 整数为 } 2 \text{ } h_{-1}$$

$$\text{所以得 } (132.125)_D = (84.2)_H$$

解二:将十进制整数转换为二进制数时,如果十进制数比较大,使除法过程比较繁琐,也可以将十进制数与相当的 2 乘幂项相比,简化转换过程。由于 $2^7 = 128$,而 $132 = 128 + 4 = 2^7 + 2^2$,所以

$$(132)_D = (2^7 + 2^2)_D = (10000100)_B$$

小数部分

$$0.125 \times 2 = 0.25 \dots\dots\dots \text{整数为 } 0 \dots\dots b_{-1}$$

$$0.25 \times 2 = 0.5 \dots\dots\dots \text{整数为 } 0 \dots\dots b_{-2}$$

$$0.5 \times 2 = 1.0 \dots\dots\dots \text{整数为 } 1 \dots\dots b_{-3}$$

所以 $(132.125)_D = (10000100.001)_B = (84.2)_H$

例 1.3 已知输出 L 对应输入 A 、 B 、 C 的波形如图 1.3 所示,试列出该电路的真值表。

解题思路:① 首先将波形图分段,对应每个时间段内,将输入变量和输出变量的取值关系列成表格,即得到逻辑函数的真值表。

② 如果波形图中没有出现的某一最小项,说明这种输入组合不会出现,它所对应的输出是无关项。

解:图 1.3 波形的每个时间段分别对应输入变量从 **000 ~ 111** 的组合状态,将输入与输出的取值关系列表,得到真值表如表 1.3 所示。

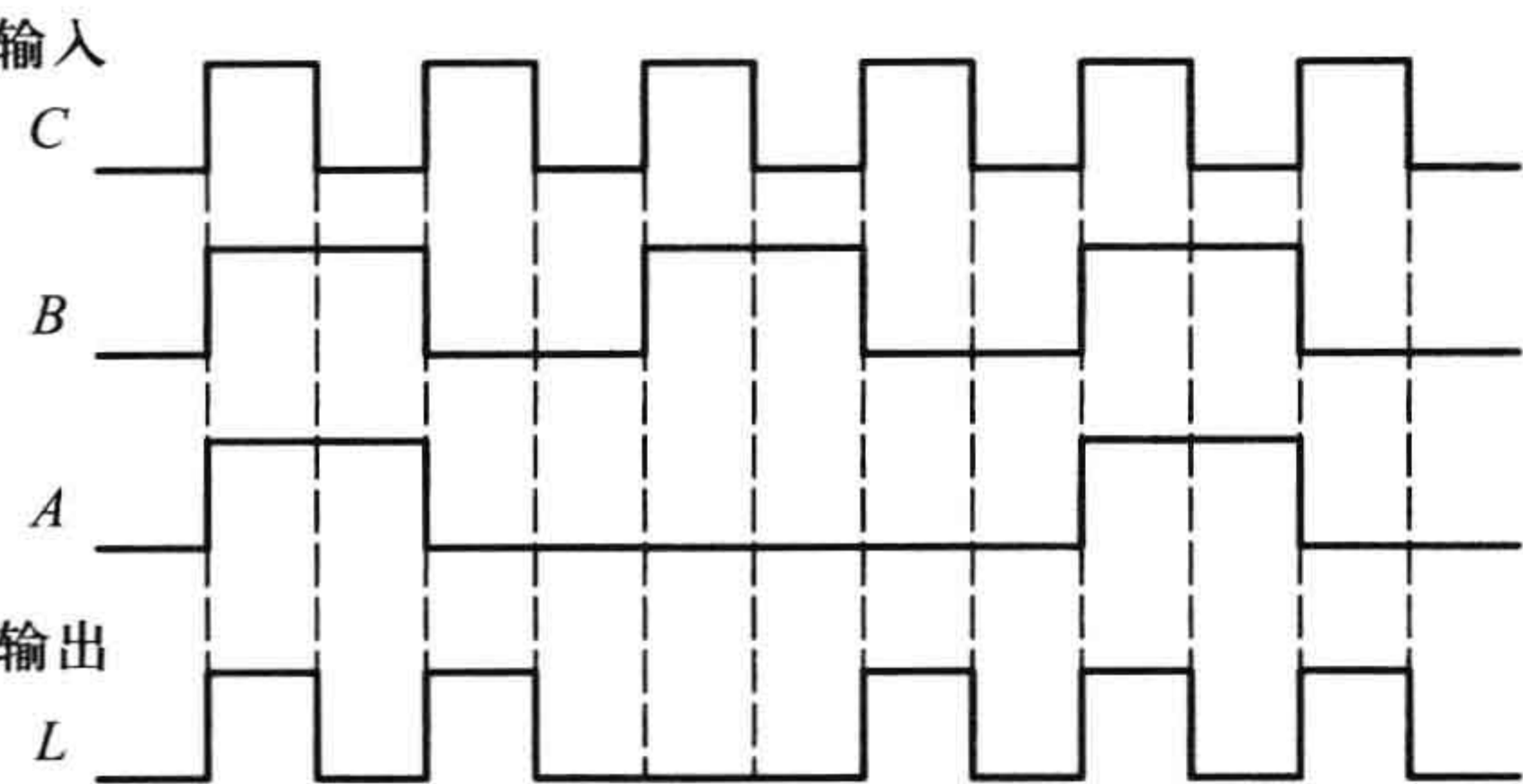


图 1.3 例 1.3 的波形图

表 1.3 例 1.3 的真值表

A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	×
1	0	1	×
1	1	0	0
1	1	1	1

三、习 题 全 解

1.1 数字信号与数字电路

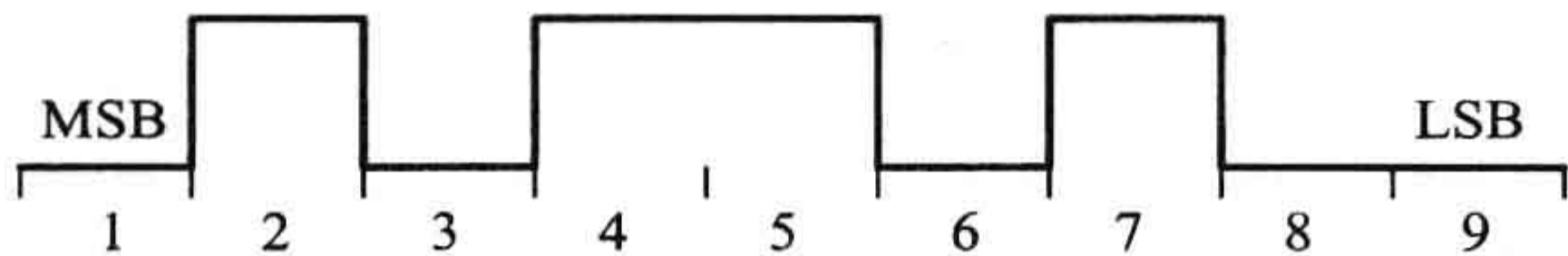
1.1.1 试按表 1.1.1 所列的数字集成电路的分类依据,指出下列 IC 器件属于何种集成度器件:(1) 微处理器;(2) 计数器;(3) 加法器;(4) 逻辑门;(5) 4 兆位存储器。

表 1.1.1 数字集成电路的集成度分类

分类	门的个数	典型集成电路
小规模	最多 12 个	逻辑门、触发器
中规模	12 ~ 99	计数器、加法器
大规模	100 ~ 9999	小型存储器、门阵列
超大规模	10 000 ~ 99 999	大型存储器、微处理器
甚大规模	10 ⁶ 以上	可编程逻辑器件、多功能专用集成电路

解:依照表 1.1.1 所示的分类,所列的五种器件:(1)、(5)属超大规模;(2)、(3)属中规模;(4)属小规模。

1.1.2 一数字信号的波形如图题 1.1.2 所示,试问该波形所代表的二进制数是什么?



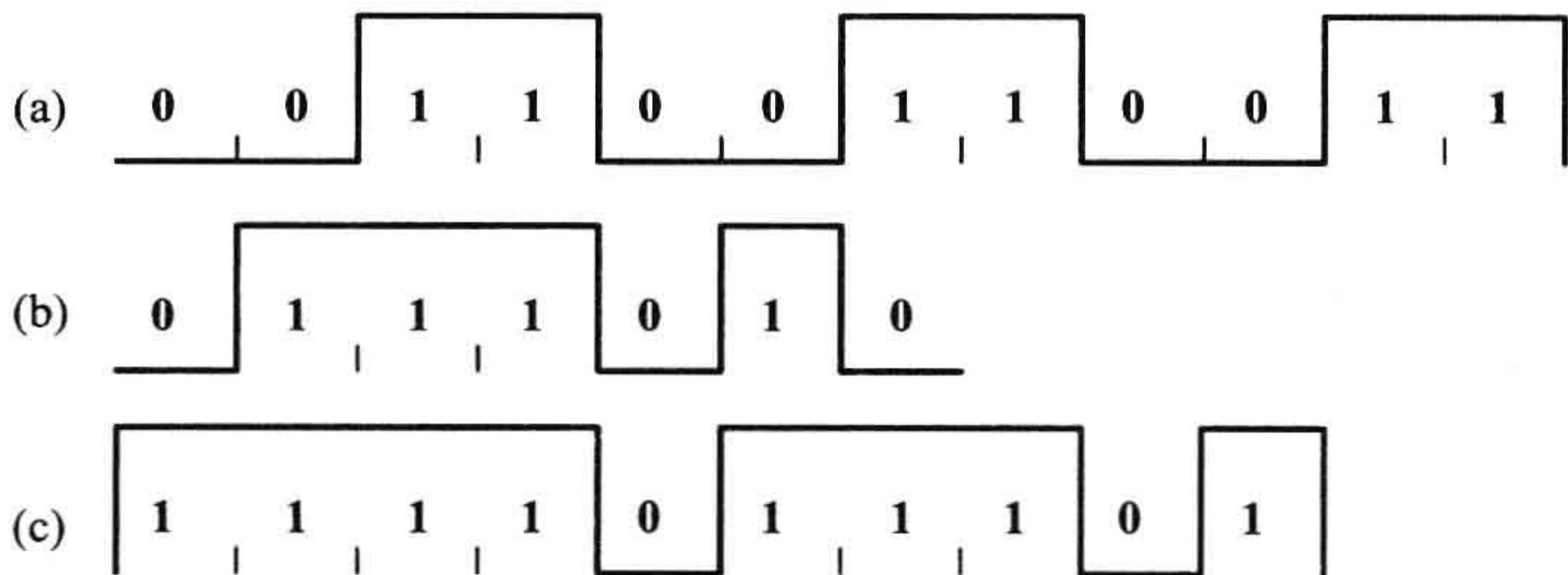
图题 1.1.2

解:图题 1.1.2 的数字信号波形的左边为最高位 (MSB), 右边为最低位 (LSB), 低电平表示 0, 高电平表示 1。该波形所代表的二进制数为 **010110100**。

1.1.3 试绘出下列二进制数的数字波形, 设逻辑 1 的电压为 5 V, 逻辑 0 的电压为 0 V。

(1) **001100110011** (2) **0111010** (3) **1111011101**

解:用低电平表示 0, 高电平表示 1, 左边为最高位, 右边为最低位, 题中所给的 3 个二进制数的数字波形分别如图题解 1.1.3 (a)、(b)、(c) 所示, 其中低电平为 0 V, 高电平为 5 V。



图题解 1.1.3

1.1.4 一周期性数字波形如图题 1.1.4 所示, 试计算:

(1) 周期; (2) 频率; (3) 占空比。



图题 1.1.4

解:因为图题 1.1.4 所示为周期性数字波, 所以两个相邻的上升沿之间持续的时间为周期, $T = 10 \text{ ms}$ 。

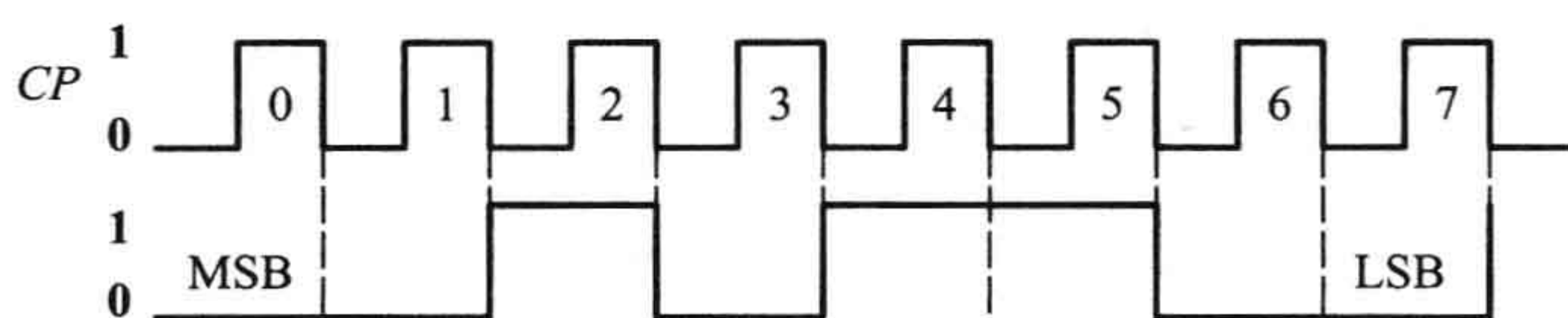
频率为时间的倒数, $f = \frac{1}{T} = \frac{1}{0.01 \text{ s}} = 100 \text{ Hz}$ 。

占空比为高电平脉冲宽度与周期的百分比, $q = \frac{1 \text{ ms}}{10 \text{ ms}} \times 100\% = 10\%$ 。

1.2 数制

1.2.1 一数字波形如图题 1.2.1 所示, 时钟频率为 4 kHz, 试确定:

(1) 它所表示的二进制数;(2) 串行方式传送 8 位数据所需要的时间;(3) 以 8 位并行方式传送数据时需要的时间。



图题 1.2.1

解:该波形所代表的二进制数为 **00101100**。

$$\text{时钟周期 } T = \frac{1}{f} = \frac{1}{4 \text{ kHz}} = 0.25 \text{ ms}$$

串行方式传送数据时,每个时钟周期传送一位数据,因此,传送 8 位数据所需要的时间 $t = 0.25 \text{ ms} \times 8 = 2 \text{ ms}$ 。

8 位并行方式传送数据时,每个时钟周期可以将 8 位数据同时并行传送,因此,需要的时间 $t = 0.25 \text{ ms}$ 。

1.2.2 将下列二进制数转换为十进制数:

- (1) $(1011)_B$ (2) $(10111)_B$ (3) $(101101)_B$ (4) $(1001011)_B$

解:将二进制数转换为十进制数采用求加权和的方法,即将每一位二进制数与其位权相乘,然后相加便得到相应的十进制数。

$$(1) (1011)_B = 1 \times 2^3 + 1 \times 2^1 + 1 \times 2^0 = (11)_D$$

$$(2) (10111)_B = 1 \times 2^4 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = (23)_D$$

$$(3) (101101)_B = 1 \times 2^5 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^0 = (45)_D$$

$$(4) (1001011)_B = 1 \times 2^6 + 1 \times 2^3 + 1 \times 2^1 + 1 \times 2^0 = (75)_D$$

1.2.3 将下列二进制数转换为十进制数:

- (1) $(0.101)_B$ (2) $(0.0011)_B$ (3) $(0.10101)_B$ (4) $(0.100111)_B$

解:将二进制数小数转换为十进制数也是采用求加权和的方法。小数的位权是 2 的负幂,小数点后第一位的幂为 2^{-1} ,然后向右依次递减,最后相加便得到相应的十进制小数。

$$(1) (0.101)_B = 1 \times 2^{-1} + 1 \times 2^{-3} = (0.625)_D$$

$$(2) (0.0011)_B = 1 \times 2^{-3} + 1 \times 2^{-4} = (0.1875)_D$$

$$(3) (0.10101)_B = 1 \times 2^{-1} + 1 \times 2^{-3} + 1 \times 2^{-5} = (0.65625)_D$$

$$(4) (0.100111)_B = 1 \times 2^{-1} + 1 \times 2^{-4} + 1 \times 2^{-5} + 1 \times 2^{-6} = (0.609375)_D$$

1.2.4 将下列二进制数转换为十进制数:

- (1) $(10.01)_B$ (2) $(110.101)_B$ (3) $(1110.1001)_B$ (4) $(10111.01101)_B$

解:此题是 1.2.2 题与 1.2.3 题的综合,仍用求加权和的方法求解。

$$(1) (10.01)_B = 1 \times 2^1 + 1 \times 2^{-2} = (2.25)_D$$

$$(2) (110.101)_B = 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^{-1} + 1 \times 2^{-3} = (6.625)_D$$

$$(3) (1110.1001)_B = 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^{-1} + 1 \times 2^{-4} = (14.5625)_D$$

$$(4) (10111.01101)_B = 1 \times 2^4 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-5} = (23.40625)_D$$

1.2.5 将下列二进制数转换为八进制和十六进制数:

- (1) $(101001)_B$ (2) $(1011.0101)_B$ (3) $(11010.11001)_B$
 (4) $(110111.011101)_B$

解:将各个二进制数从小数点开始,整数部分从右向左,小数部分从左向右,每3位二进制数表示1位八进制数,不够3位的补0。同理,每4位二进制数表示1位十六进制数。可得:

- (1) $(101001)_B = (51)_O = (29)_H$
 (2) $(1011.0101)_B = (13.24)_O = (B.5)_H$
 (3) $(11010.11001)_B = (32.62)_O = (1A.C8)_H$
 (4) $(110111.011101)_B = (67.35)_O = (37.74)_H$

1.2.6 将下列十进制数转换为二进制数、八进制数和十六进制数:

- (1) $(43)_D$ (2) $(59)_D$ (3) $(127)_D$ (4) $(234)_D$

解:此题的解答可分为三部分,即十-二、十-八和十-十六进制转换。解题过程及结果如下:

1. 十-二进制转换

(1) 对于十进制整数43转换为二进制数,采用“短除法”,其过程如下:

2	43	余 1	 b_0	低位
2	21	余 1	 b_1	
2	10	余 0	 b_2	
2	5	余 1	 b_3	
2	2	余 0	 b_4	
2	1	余 1	 b_5	高位
	0			

从高位到低位写出二进制数,可得 $(43)_D = (101011)_B$ 。

(2) 采用“短除法”得到 $(59)_D = (111011)_B$

(3) 将十进制数127转换为二进制数,可以采用“短除法”,也可以采用“拆分法”。

采用“短除法”,将127逐次除2,所得余数即为二进制数, $(127)_D = (1111111)_B$ 。

采用“拆分法”,由于 2^7 为128,所以可得 $(127)_D = 2^7 - 1 = (1000000)_B - 1 = (1111111)_B$ 。

(4) 采用“拆分法”, $(234)_D = 2^8 - 22 = (10000000)_B - (10110)_B = (11101010)_B$ 。

2. 十-八进制转换

十进制数到八进制数的转换方法有两种,一是首先将十进制数转换为二进制数,然后再将二进制数转换为八进制数。二是利用“短除法”,直接将十进制数转换为八进制数。

采用第一种方法时,首先将十进制数转换为二进制数,将每3位二进制数对应于1位八进制数,整数部分由低位到高位划分,高位不够3位的补0。

所以得 $(43)_D = (101011)_B = (53)_O$

以 $(43)_D$ 转换为八进制数为例来说明“短除法”,将43逐步除8来求得:

8	43	余 3	 o_0
8	5	余 5	 o_1
	0		

由此得 $(43)_D = (53)_O$

前述 4 个十进制数转换二进制数后, 可以将各个二进制整数从右向左, 每 3 位二进制数表示 1 位八进制数, 可得:

$$(1) (43)_D = (\mathbf{101\ 011})_B = (53)_O$$

$$(2) (59)_D = (\mathbf{111\ 011})_B = (73)_O$$

$$(3) (127)_D = (\mathbf{1\ 111\ 111})_B = (177)_O$$

$$(4) (234)_D = (\mathbf{11\ 101\ 010})_B = (352)_O$$

3. 十-十六进制转换

与十-八转换的方法类似, 十-十六转换也有两种方法, 一是首先将十进制数转换为二进制数, 整数部分从右向左, 每 4 位二进制数表示 1 位十六进制数。二是利用“短除法”, 逐步除 16 来求得。

以 $(43)_D$ 转换为十六进制数为例来说明“短除法”, 将 43 连除以 16 如下:

$$\begin{array}{r|l} 16 & 43 \cdots\cdots \text{余 } 11 \\ 16 & 2 \cdots\cdots \text{余 } 2 \\ & 0 \end{array}$$

由此得 $(43)_D = (2B)_H$

对于上述 4 个十进制整数, 用第一种方法可得十六进制数如下:

$$(1) (43)_D = (\mathbf{10\ 1011})_B = (2B)_H$$

$$(2) (59)_D = (\mathbf{11\ 1011})_B = (3B)_H$$

$$(3) (127)_D = (\mathbf{111\ 1111})_B = (7F)_H$$

$$(4) (234)_D = (\mathbf{1110\ 1010})_B = (EA)_H$$

1.2.7 将下列十进制数转换为二进制数、八进制数和十六进制数(要求二进制数保留小数点后 8 位):

$$(1) (0.9)_D \quad (2) (0.34)_D \quad (3) (0.028)_D \quad (4) (0.7182)_D$$

解: 此题的解答可分为三部分, 即十-二、十-八和十-十六进制转换。解题过程及结果如下:

1. 十-二进制转换

(1) 对于小数部分的十-二进制转换, 采用“连乘法”, 演算过程如下:

$$\begin{array}{llll} 0.9 \times 2 = 1.8 \cdots\cdots \mathbf{1} \cdots\cdots & b_{-1} & \text{高位} \\ 0.8 \times 2 = 1.6 \cdots\cdots \mathbf{1} \cdots\cdots & b_{-2} & \downarrow \\ 0.6 \times 2 = 1.2 \cdots\cdots \mathbf{1} \cdots\cdots & b_{-3} & \\ 0.2 \times 2 = 0.4 \cdots\cdots \mathbf{0} \cdots\cdots & b_{-4} & \\ 0.4 \times 2 = 0.8 \cdots\cdots \mathbf{0} \cdots\cdots & b_{-5} & \\ 0.8 \times 2 = 1.6 \cdots\cdots \mathbf{1} \cdots\cdots & b_{-6} & \\ 0.6 \times 2 = 1.2 \cdots\cdots \mathbf{1} \cdots\cdots & b_{-7} & \\ 0.2 \times 2 = 0.4 \cdots\cdots \mathbf{0} \cdots\cdots & b_{-8} & \text{低位} \end{array}$$

最后的小数小于 0.5, 即 $b_{-9} = 0$, 不会向 b_{-8} 产生进位。因此,

$$(0.9)_D = (\mathbf{0.11100110})_B$$

$$(2) (0.34)_D = (\mathbf{0.01010111})_B$$

$$(3) (0.028)_D = (0.00000111)_B$$

$$(4) (0.7182)_D = (0.10111000)_B$$

2. 十-八进制转换

十进制小数到八进制数小数的转换通常是将十进制小数转换为二进制小数,再将每 3 位二进制数对应于 1 位八进制数,小数部分从左到右划分,最低位不够 3 位的补 0。

$$(1) (0.9)_D = (0.111\ 001\ 100)_B = (0.714)_O$$

$$(2) (0.34)_D = (0.010\ 101\ 110)_B = (0.256)_O$$

$$(3) (0.028)_D = (0.000\ 001\ 110)_B = (0.016)_O$$

$$(4) (0.7182)_D = (0.101\ 110\ 000)_B = (0.560)_O$$

也可以将 0.9 连乘 8 如下:

$$0.9 \times 8 = 7.2 \cdots \cdots 7 \cdots \cdots o_{-1}$$

$$0.2 \times 8 = 1.6 \cdots \cdots 1 \cdots \cdots o_{-2}$$

$$0.6 \times 8 = 4.8 \cdots \cdots 4 \cdots \cdots o_{-3}$$

$$0.8 \times 8 = 6.4 \cdots \cdots 6 \cdots \cdots o_{-4}$$

由于第 4 个整数为 6,超过 8 的一半,可向高位进位。由此得 $(0.9)_D = (0.715)_O$ 。由于从十进制数转换到二进制数时保留 8 位,与十进制数直接转换到八进制数的结果有误差。

3. 十-十六进制转换

与十-八进制小数转换的方法类似,先将十进制小数转换为二进制小数,从小数点开始向右,每 4 位二进制数表示 1 位十六进制数,最低位不够 4 位的补 0。

$$(1) (0.9)_D = (0.1110\ 0110)_B = (0.E6)_H$$

$$(2) (0.34)_D = (0.0101\ 0111)_B = (0.57)_H$$

$$(3) (0.028)_D = (0.0000\ 0111)_B = (0.07)_H$$

$$(4) (0.7182)_D = (0.1011\ 1000)_B = (0.B8)_H$$

也可以将 0.9 连乘 16 如下:

$$0.9 \times 16 = 14.4 \cdots \cdots E$$

$$0.4 \times 16 = 6.4 \cdots \cdots 6$$

$$0.4 \times 16 = 6.4 \cdots \cdots 6$$

由于第 3 个整数为 6,小于 8(16 的一半),舍去。由此得 $(0.9)_D = (0.E6)_H$

1.2.8 将下列十进制数转换为二进制数、八进制数和十六进制数(要求转换误差不大于 2^{-4}):

$$(1) (4.8)_D \quad (2) (15.27)_D \quad (3) (254.35)_D \quad (4) (1002.456)_D$$

解:此题是 1.2.6 题与 1.2.7 题的综合,首先将十进制数转换为二进制数,然后再分别将二进制数转换为八进制数和十六进制数。要求转换误差不大于 2^{-4} ,只要保留二进制数小数点后 4 位即可。

$$(1) (4.8)_D = (100.1101)_B = (4.64)_O = (4.D)_H$$

$$(2) (15.27)_D = (1111.0100)_B = (17.2)_O = (F.4)_H$$

$$(3) (254.35)_D = (11111110.0101)_B = (376.24)_O = (FE.5)_H$$

$$(4) (1002.456)_D = (1111101010.0111)_B = (1752.34)_O = (3EA.7)_H$$

1.2.9 将下列十六进制数转换为二进制数:

- (1) $(7)_H$ (2) $(D4)_H$ (3) $(23F.45)_H$ (4) $(A040.51)_H$

解:将每位十六进制数用4位二进制数表示,并填入原数中相应的位置,得

$$(1) (7)_H = (0111)_B$$

$$(2) (D4)_H = (1101\ 0100)_B$$

$$(3) (23F.45)_H = (10\ 0011\ 1111.0100\ 0101)_B$$

$$(4) (A040.51)_H = (1010\ 0000\ 0100\ 0000.0101\ 0001)_B$$

1.2.10 将下列十六进制数转换为十进制数:

- (1) $(13)_H$ (2) $(103.2)_H$ (3) $(A3.0C)_H$ (4) $(A45D.0BC)_H$

解:将十六进制数按权展开相加,即可得十进制数。

$$(1) (13)_H = 1 \times 16^1 + 3 \times 16^0 = (19)_D$$

$$(2) (103.2)_H = 1 \times 16^2 + 3 \times 16^0 + 2 \times 16^{-1} = (259.125)_D$$

$$\begin{aligned} (3) (A3.0C)_H &= 10 \times 16^1 + 3 \times 16^0 + 12 \times 16^{-2} \\ &= 160 + 3 + 0.046875 \\ &= (163.046875)_D \end{aligned}$$

$$\begin{aligned} (4) (A45D.0BC)_H &= 10 \times 16^3 + 4 \times 16^2 + 5 \times 16^1 + 13 \times 16^0 + 11 \times 16^{-2} + 12 \times 16^{-3} \\ &= (42077.0458984375)_D \end{aligned}$$

1.2.11 试比较下列各数,并指出从大到小的排列顺序:

- (1) $(74)_D$ (2) $(1101101)_B$ (3) $(165)_O$ (4) $(10E)_H$

解:将各个数转换为二进制数进行比较。

$$(74)_D = (1001010)_B, (165)_O = (1110101)_B, (10E)_H = (100001110)_B,$$

比较4个二进制数可知:

$$(10E)_H > (165)_O > (1101101)_B > (74)_D$$

1.3 二进制的算术运算

1.3.1 写出下列二进制数的原码、反码和补码:

- (1) $(+1110)_B$ (2) $(+10110)_B$ (3) $(-1110)_B$ (4) $(-10110)_B$

解:二进制数为正数时,其原码、反码与补码相同;二进制数为负数时,将原码的数值位逐位求反(即得到反码),然后在最低位加1得到补码。所以,

$$(1) A_{原} = A_{反} = A_{补} = 1110。$$

$$(2) A_{原} = A_{反} = A_{补} = 10110。$$

$$(3) A_{原} = 11110, A_{反} = 10001, A_{补} = 10010。$$

$$(4) A_{原} = 110110, A_{反} = 101001, A_{补} = 101010。$$

1.3.2 写出下列有符号二进制补码所表示的十进制数:

- (1) 01011 (2) 0010111 (3) 11101000 (4) 11011001

解:二进制数的最高位为符号位。最高位为0表示正数,为1表示负数。

$$(1) 01011 \text{ 为正数,所以 } (01011)_B = (11)_D。$$

$$(2) 0010111 \text{ 为正数,所以 } (010111)_B = (23)_D。$$

(3) **11101000** 为负数的补码, 首先将其数值位再次求补还原为有符号的二进制数 $(-0011000)_B$, 再转换为十进制数为 $(-24)_D$ 。

(4) **11011001** 为负数的补码, 其数值再次求补得到有符号的二进制数 $(-0100111)_B$, 再转换为十进制数为 $(-39)_D$ 。

1.3.3 试用 8 位二进制补码表示下列十进制数:

(1) +11 (2) +68 (3) -24 (4) -90

解: 首先将十进制数转换为 8 位二进制数, 最高位为符号位。正数的二进制原码、反码与补码相同; 求负数的二进制补码时, 符号位不变, 将数值位逐位求反, 然后在最低位加 1 得到补码。所以,

(1) $+11 = 00001011$

(2) $+68 = 01000100$

(3) $-24 = (10011000)_B = (11101000)_{\text{补}}$

(4) $-90 = (11011010)_B = (10100110)_{\text{补}}$

1.3.4 试用 8 位二进制补码计算下列各式, 并用十进制数表示结果:

(1) $12+9$ (2) $11-3$ (3) $-29-25$ (4) $-120+30$

解: (1) $(12+9)_{\text{补}} = (12)_{\text{补}} + (9)_{\text{补}}$
 $= 00001100 + 00001001$
 $= 00010101$

求出 $(00010101)_{\text{补}}$ 的十进制数为 21。

(2) $(11-3)_{\text{补}} = (11)_{\text{补}} + (-3)_{\text{补}}$
 $= 00001011 + 11111101$
 $= 00001000$

上述加法过程, 将最高位的 1 舍弃。 $(00001000)_{\text{补}}$ 转换成十进制数为 8。

(3) $(-29-25)_{\text{补}} = (-29)_{\text{补}} + (-25)_{\text{补}}$
 $= 11100011 + 11100111$
 $= 11001010$

上述加法过程, 最高位的 1 被舍弃。将 **11001010** 求反补得到有符号的二进制数 $(-0110110)_B$, 再转换成十进制数为 (-54) 。

(4) $(-120+30)_{\text{补}} = (-120)_{\text{补}} + (30)_{\text{补}}$
 $= 10001000 + 00011110$
 $= 10100110$

将 **10100110** 求反补得到有符号的二进制数 $(-1011010)_B$, 再转换成十进制数为 (-90) 。

1.4 二进制代码

1.4.1 将下列十进制数转换为 8421BCD 码:

(1) 43 (2) 127 (3) 254.25 (4) 2.718

解: 将每位十进制数用 4 位 8421BCD 码表示, 并填入原数中相应的位置, 得

(1) $(43)_D = (0100 \ 0011)_{\text{BCD}}$

(2) $(127)_D = (0001 \ 0010 \ 0111)_{\text{BCD}}$

$$(3) (254.25)_D = (0010\ 0101\ 0100.0010\ 0101)_{BCD}$$

$$(4) (2.718)_D = (0010.0111\ 0001\ 1000)_{BCD}$$

1.4.2 将下列数码分别作为自然二进制数和 8421BCD 码时,求出相应的十进制数。

$$(1) 10010111 \quad (2) 100010010011 \quad (3) 000101001001 \quad (4) 10000100.10010001$$

解:当上述 4 个数码作为自然二进制数转换为十进制数时,按权展开相加,即可得十进制数。
二进制数的位权表如下

$$\begin{array}{cccccccccccc} 2^{11} & 2^{10} & 2^9 & 2^8 & 2^7 & 2^6 & 2^5 & 2^4 & 2^3 & 2^2 & 2^1 & 2^0 \\ \hline 2048 & 1024 & 512 & 256 & 128 & 64 & 32 & 16 & 8 & 4 & 2 & 1 \end{array}$$

上述 4 个数码作为 8421BCD 码时,整数部分从右向左,每 4 位二进制数表示 1 位十进制数。

$$(1) (10010111)_B = 1 \times 2^7 + 1 \times 2^4 + 1 \times 2^2 + 1 \times 2^1 + 2^0 = (151)_D$$

$$\text{作为 BCD 码时, } (1001\ 0111)_{BCD} = (97)_D$$

$$(2) (100010010011)_B = 1 \times 2^{11} + 1 \times 2^7 + 1 \times 2^4 + 1 \times 2^1 + 1 \times 2^0 = (2195)_D$$

$$\text{作为 BCD 码时, } (1000\ 1001\ 0011)_{BCD} = (893)_D$$

$$(3) (000101001001)_B = 1 \times 2^8 + 1 \times 2^6 + 1 \times 2^3 + 1 \times 2^0 = (329)_D$$

$$\text{作为 BCD 码时, } (0001\ 0100\ 1001)_{BCD} = (149)_D$$

$$(4) (10000100.10010001)_B = 1 \times 2^7 + 1 \times 2^2 + 1 \times 2^{-1} + 1 \times 2^{-4} + 1 \times 2^{-8} = (132.56640625)_D$$

$$\text{作为 BCD 码时, } (1000\ 0100.1001\ 0001)_{BCD} = (84.91)_D$$

1.4.3 将下列二进制码转换为格雷码:

$$(1) 101 \quad (2) 1011 \quad (3) 11010 \quad (4) 101101$$

解:二进制码转换为格雷码方法:

(a) 格雷码的最高位(最左边)与二进制码的最高位相同。

(b) 从左到右,逐一将二进制码相邻的两位相加(舍去进位),作为格雷码的下一位。

(1) 101 的转换过程如下:

$$\begin{array}{ccc} 1 & \text{---+---} & 0 & \text{---+---} & 1 & \quad \text{二进制码} \\ \downarrow & & \downarrow & & \downarrow & \\ 1 & & 1 & & 1 & \quad \text{格雷码} \end{array}$$

(2) 1011 的转换过程如下:

$$\begin{array}{cccc} 1 & \text{---+---} & 0 & \text{---+---} & 1 & \text{---+---} & 1 & \quad \text{二进制码} \\ \downarrow & & \downarrow & & \downarrow & & \downarrow & \\ 1 & & 1 & & 1 & & 0 & \quad \text{格雷码} \end{array}$$

(3) 11010 的转换过程如下:

$$\begin{array}{ccccc} 1 & \text{---+---} & 1 & \text{---+---} & 0 & \text{---+---} & 1 & \text{---+---} & 0 & \quad \text{二进制码} \\ \downarrow & & \downarrow & & \downarrow & & \downarrow & & \downarrow & \\ 1 & & 0 & & 1 & & 1 & & 1 & \quad \text{格雷码} \end{array}$$

(4) 101101 的转换过程如下:

$$\begin{array}{cccccc} 1 & \text{---+---} & 0 & \text{---+---} & 1 & \text{---+---} & 1 & \text{---+---} & 0 & \text{---+---} & 1 & \quad \text{二进制码} \\ \downarrow & & \downarrow & & \downarrow & & \downarrow & & \downarrow & & \downarrow & \\ 1 & & 1 & & 1 & & 0 & & 1 & & 1 & \quad \text{格雷码} \end{array}$$

1.4.4 将下列格雷码转换为二进制码：

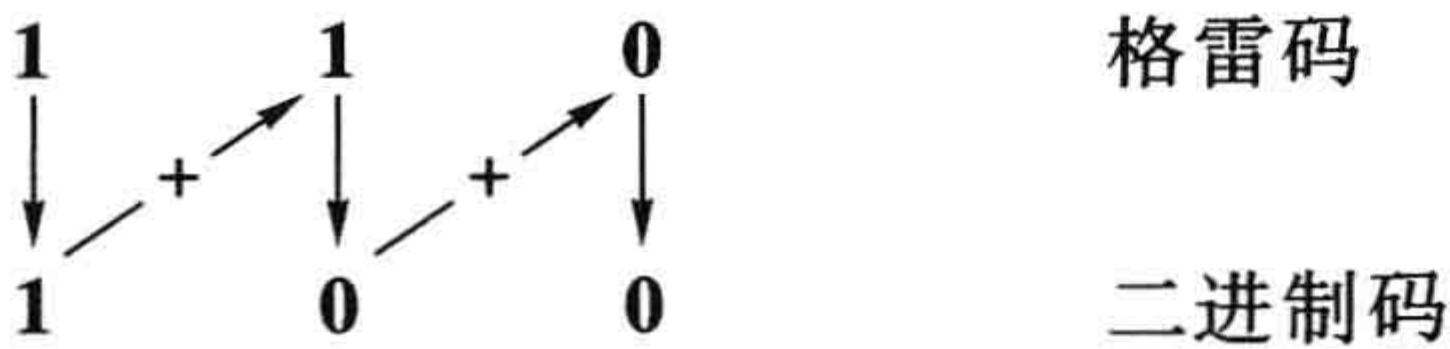
- (1) 110 (2) 1111 (3) 10110 (4) 110111

解：格雷码转换为二进制码方法：

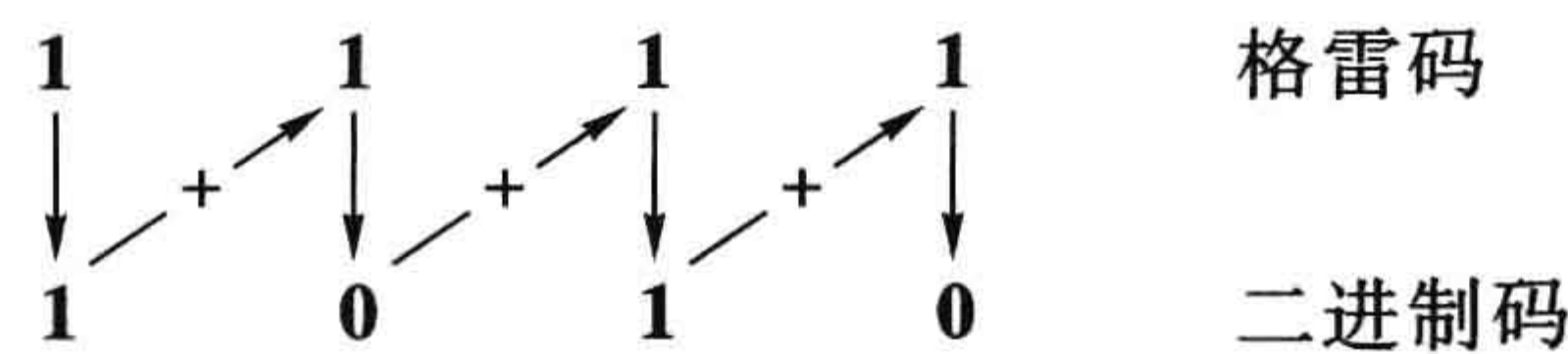
(a) 二进制码的最高位(最左边)与格雷码的最高位相同。

(b) 将产生的每一位二进制码,与下一位相邻的格雷码相加(舍去进位),作为二进制码的下一位。

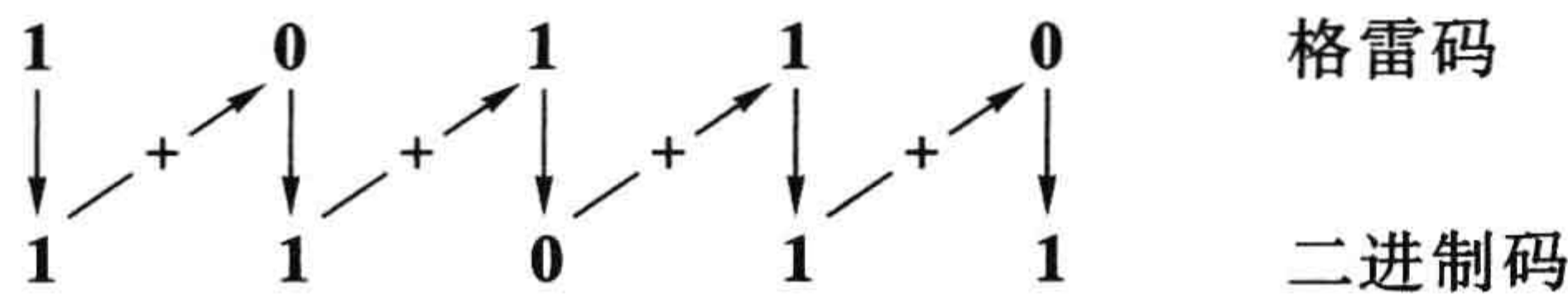
(1) 110 的转换过程如下：



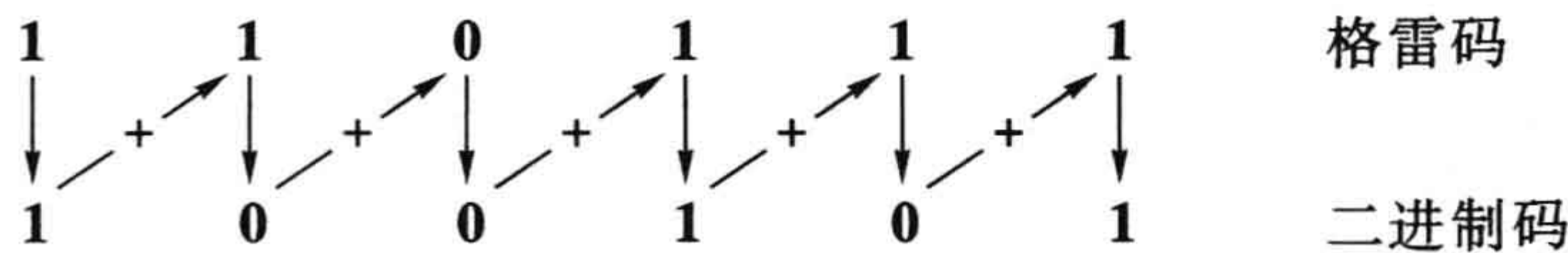
(2) 1111 的转换过程如下：



(3) 10110 的转换过程如下：



(4) 110111 的转换过程如下：



1.4.5 试用十六进制数写出下列字符的 ASCII 码的表示：

- (1) + (2) @ (3) you (4) 43

解：首先根据表 1.4.3A,查出每个字符所对应的二进制表示的 ASCII 码,然后将二进制码转换为十六进制数表示。

表 1.4.3A ASCII 码

$b_3b_2b_1b_0$	$b_7b_6b_5$							
	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
0 0 0 0	NUL	DLE	SP	0	@	P	`	p
0 0 0 1	SOH	DC1	!	1	A	Q	a	q
0 0 1 0	STX	DC2	"	2	B	R	b	r
0 0 1 1	ETX	DC3	#	3	C	S	c	s
0 1 0 0	EOT	DC4	\$	4	D	T	d	t
0 1 0 1	ENQ	NAK	%	5	E	U	e	u
0 1 1 0	ACK	SYN	&	6	F	V	f	v
0 1 1 1	BEL	ETB	'	7	G	W	g	w

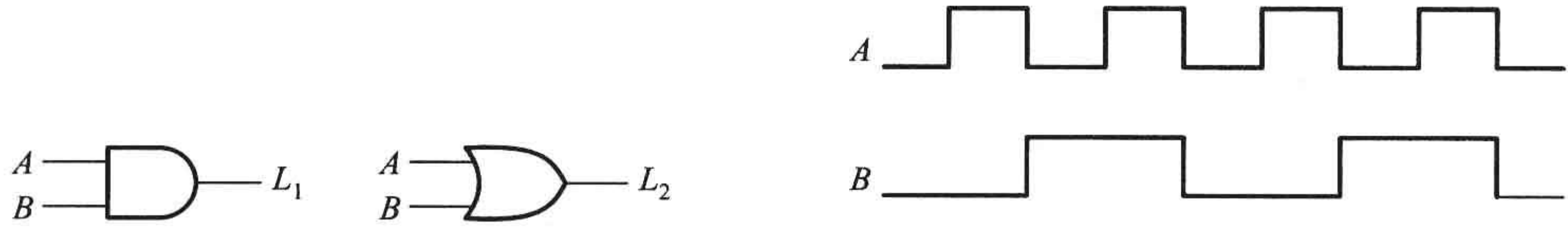
续表

$b_3b_2b_1b_0$	$b_7b_6b_5$							
	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
1 0 0 0	BS	CAN	(	8	H	X	h	x
1 0 0 1	HT	EM	)	9	I	Y	i	y
1 0 1 0	LF	SUB	*	:	J	Z	j	z
1 0 1 1	VT	ESC	+	;	K	[	k	{
1 1 0 0	FF	FS	,	<	L	\	l	
1 1 0 1	CR	GS	-	=	M	]	m	}
1 1 1 0	SO	RS	.	>	N	^	n	~
1 1 1 1	SI	US	/	?	O	—	o	DEL

- (1) “+”的 ASCII 码为 **0101011**, 则 $(0010\ 1011)_B = (2B)_H$
(2) @ 的 ASCII 码为 **1000000**, $(0100\ 0000)_B = (40)_H$
(3) you 的 ASCII 码为 **1111001**, **1101111**, **1110101**, 对应的十六进制数分别为 79, 6F, 75。
(4) 43 的 ASCII 码为 **0110100**, **0110011**, 对应的十六进制数分别为 34, 33。

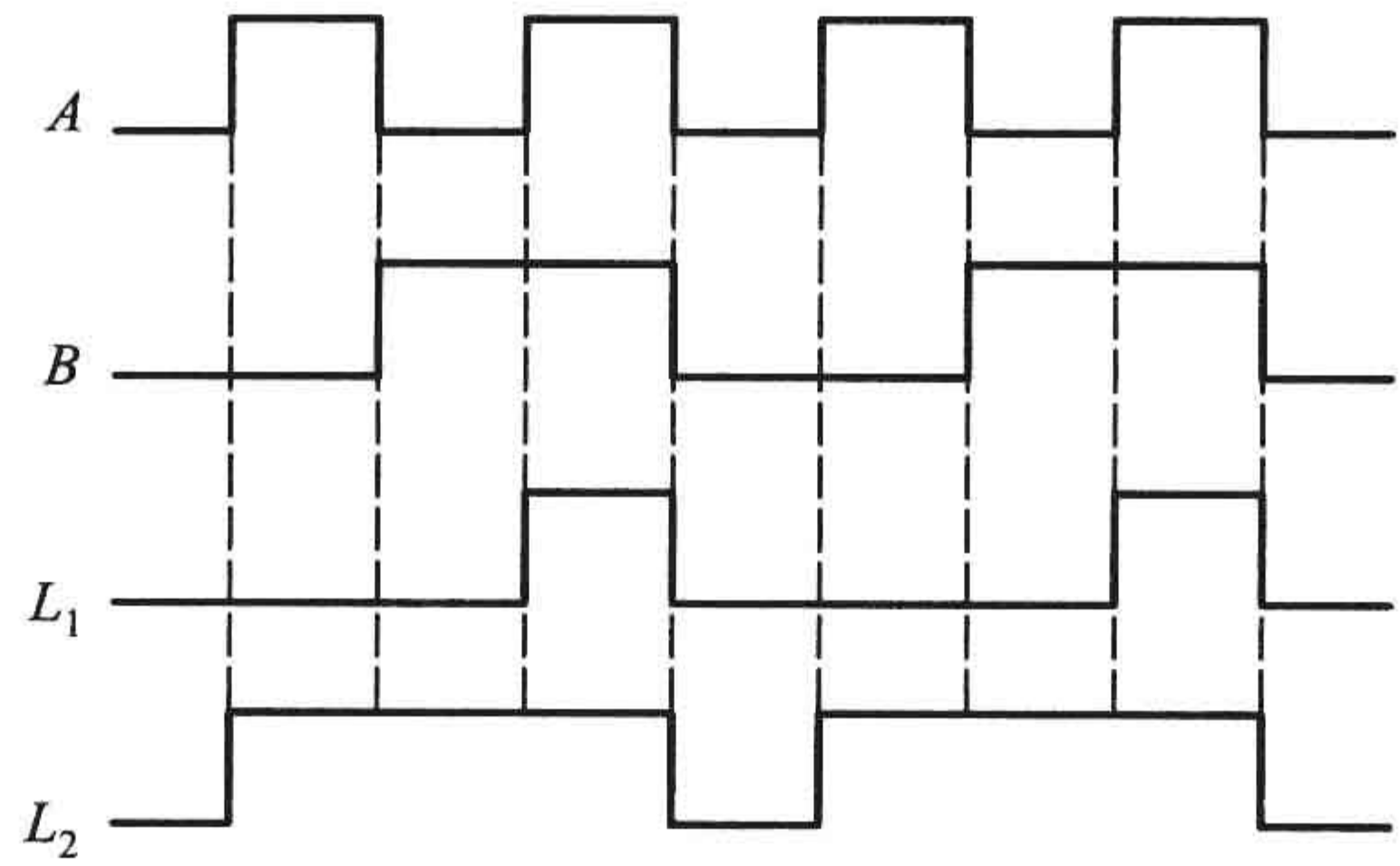
1.5 二值逻辑变量与基本逻辑运算

1.5.1 在图题 1.5.1 中, 已知输入信号 A、B 的波形, 画出各逻辑门输出 L 的波形。



图题 1.5.1

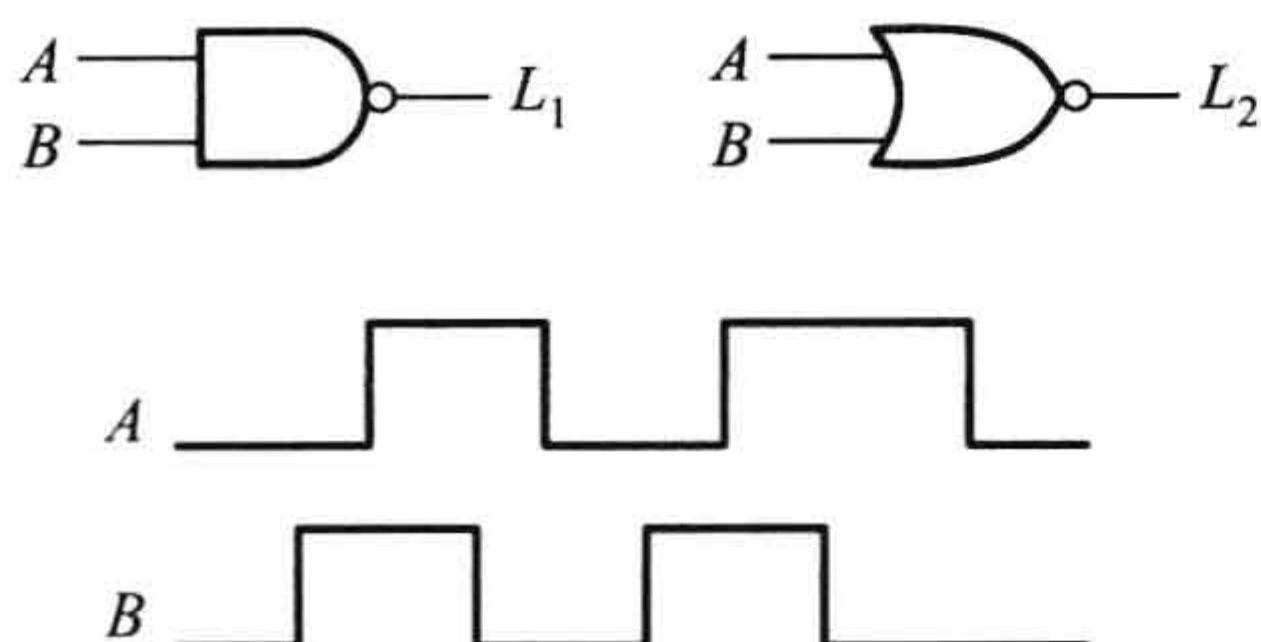
解: 首先根据输入信号的变化分段, 然后按照每一段输入信号的取值, 确定输出信号, 逐段画出输出波形。在图题 1.5.1 中, 只要与门的输入有 0, 输出就为 0; 输入全为 1 时, 输出为 1。只要或门的输入有 1, 输出就为 1; 输入全为 0 时, 输出为 0。所以, 得到 L_1 和 L_2 的波形如图题解 1.5.1 所示。



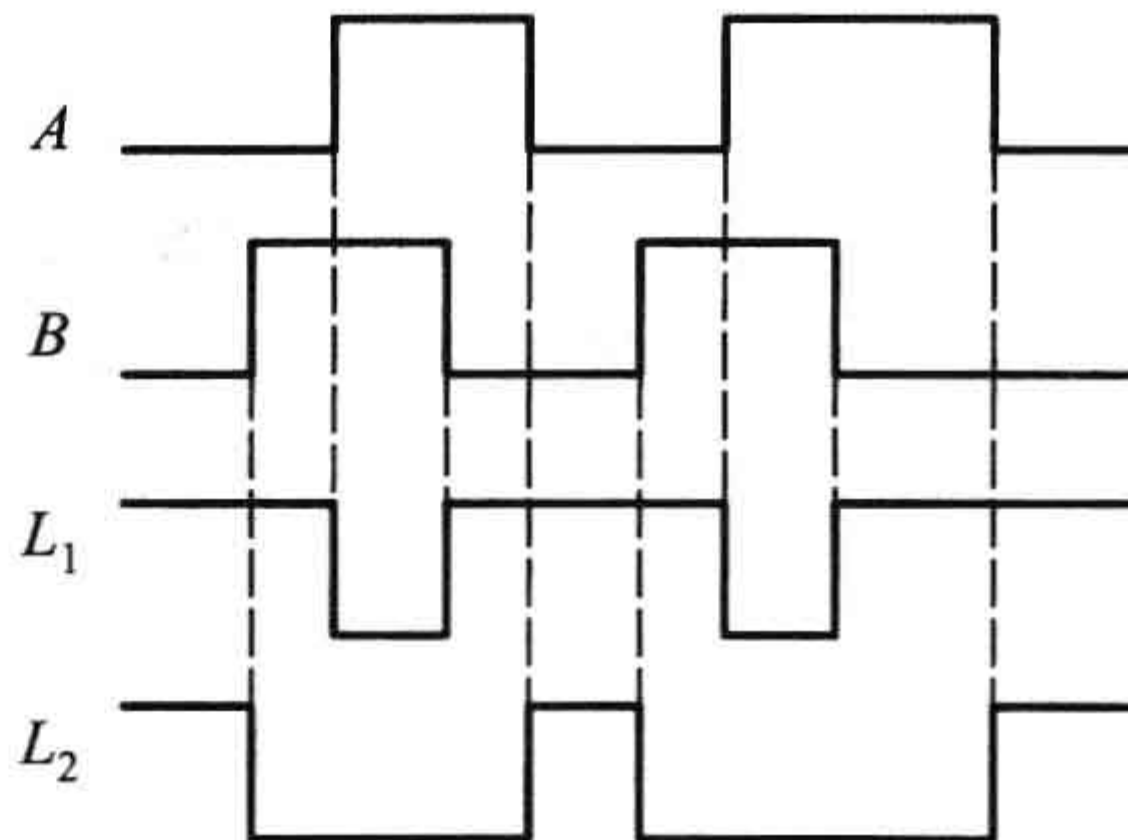
图题解 1.5.1

1.5.2 在图题 1.5.2 中,已知输入信号 A 、 B 的波形,画出各逻辑门输出 L 的波形。

解:在图题 1.5.2 中,与非门的输入有 0,输出就为 1;输入全为 1 时,输出为 0。或非门的输入有 1,输出就为 0;输入全为 0 时,输出为 1。所以,得到 L_1 和 L_2 的波形如图题解 1.5.2 所示。



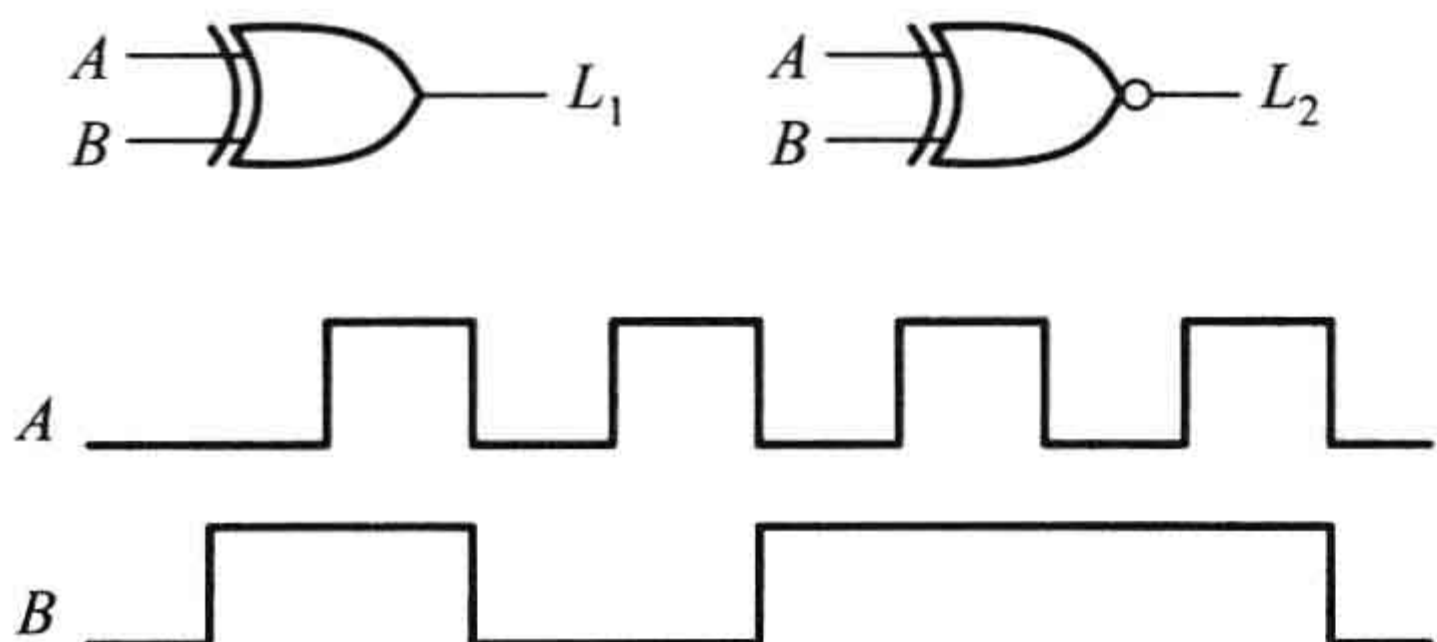
图题 1.5.2



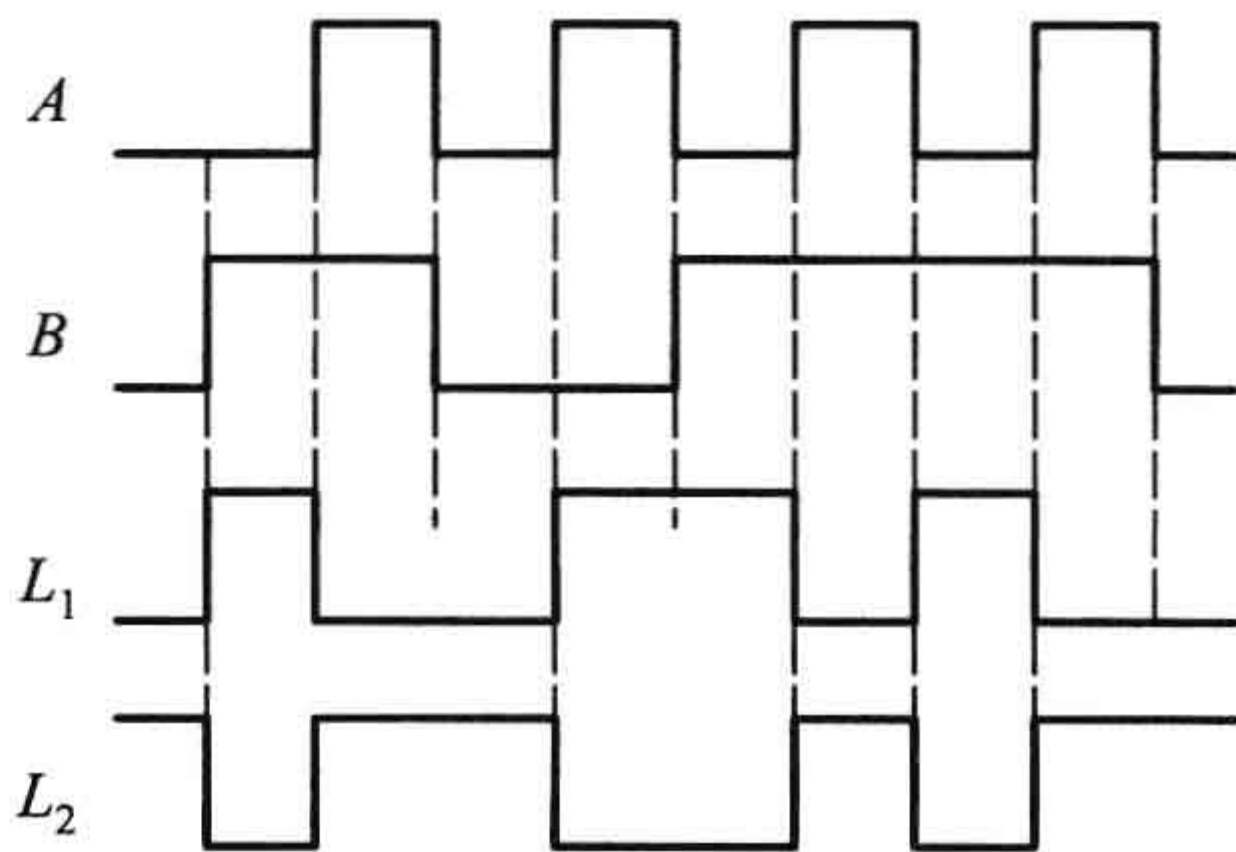
图题解 1.5.2

1.5.3 在图题 1.5.3 中,已知输入信号 A 、 B 的波形,画出各逻辑门输出 L 的波形。

解:在图题 1.5.3 中,对于**异或门**,只要两个输入不同时,输出 L_1 为 **1**,否则 L_1 为 **0**。对于**同或门**,只要两个输入相同时,输出 L_2 为 **1**,否则 L_2 为 **0**。所以,得到 L_1 和 L_2 的波形如图题解 1.5.3 所示。



图题 1.5.3



图题解 1.5.3

1.6 逻辑函数及其表示方法

1.6.1 已知逻辑函数的真值表如表题 1.6.1 所示,试写出其逻辑函数表达式。

表题 1.6.1 题 1.6.1 的真值表

A	B	C	L
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

表题解 1.6.2 题 1.6.2 的真值表

A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

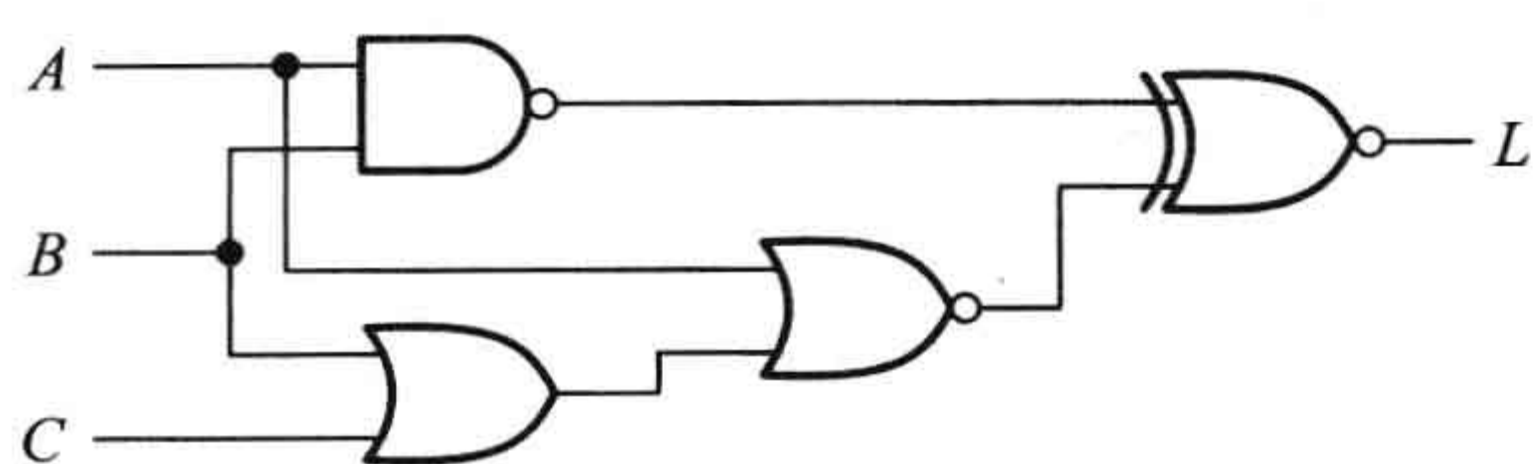
解:根据真值表写逻辑表达式的方法:逻辑变量之间是与的关系,而输出状态之间的组合则是或的关系。对于输入变量 A 、 B 或输出 L ,凡取 1 值的用原变量表示,取 0 值用反变量表示。因此得到逻辑表达式

$$L = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}C$$

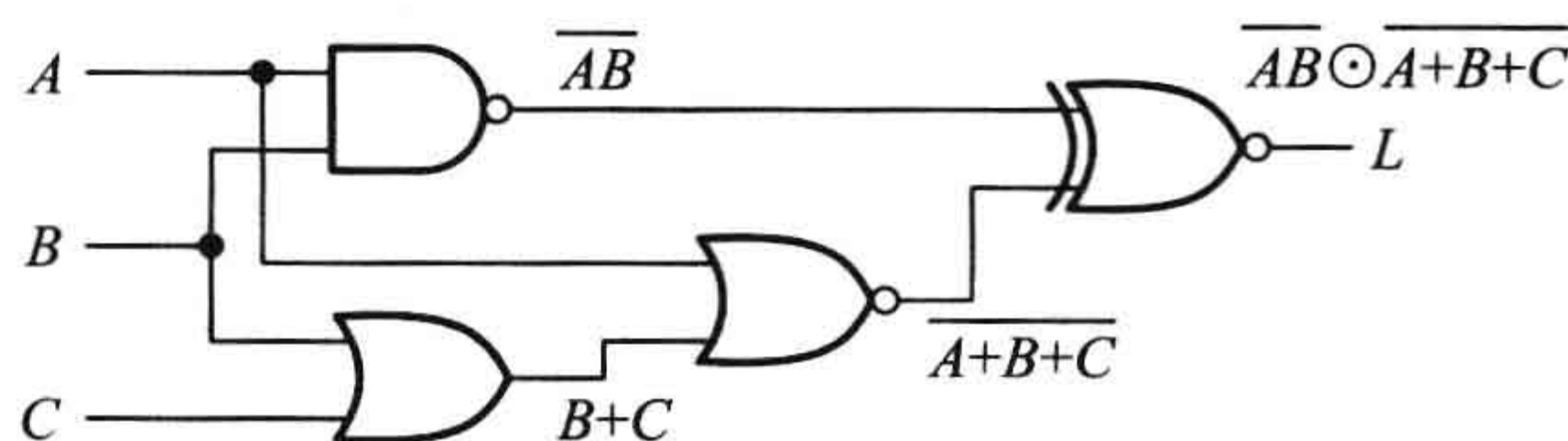
1.6.2 已知逻辑函数 $L = A + \overline{B}C + \overline{A}B\overline{C}$, 试求其对应的真值表。

解:逻辑表达式中有 3 种取值使输出为 1。当 $A=1$ 时,无论 B 、 C 为何值, $L=1$ 。当 $B=0$ 并且 $C=1$ 时,无论 A 为何值, $L=1$ 。当 $A=C=0$ 并且 $B=1$ 时, $L=1$ 。因此得到真值表如表题解 1.6.2 所示。

1.6.3 已知逻辑图如图题 1.6.3 所示,试求 L 的逻辑函数表达式。



图题 1.6.3



图题解 1.6.3

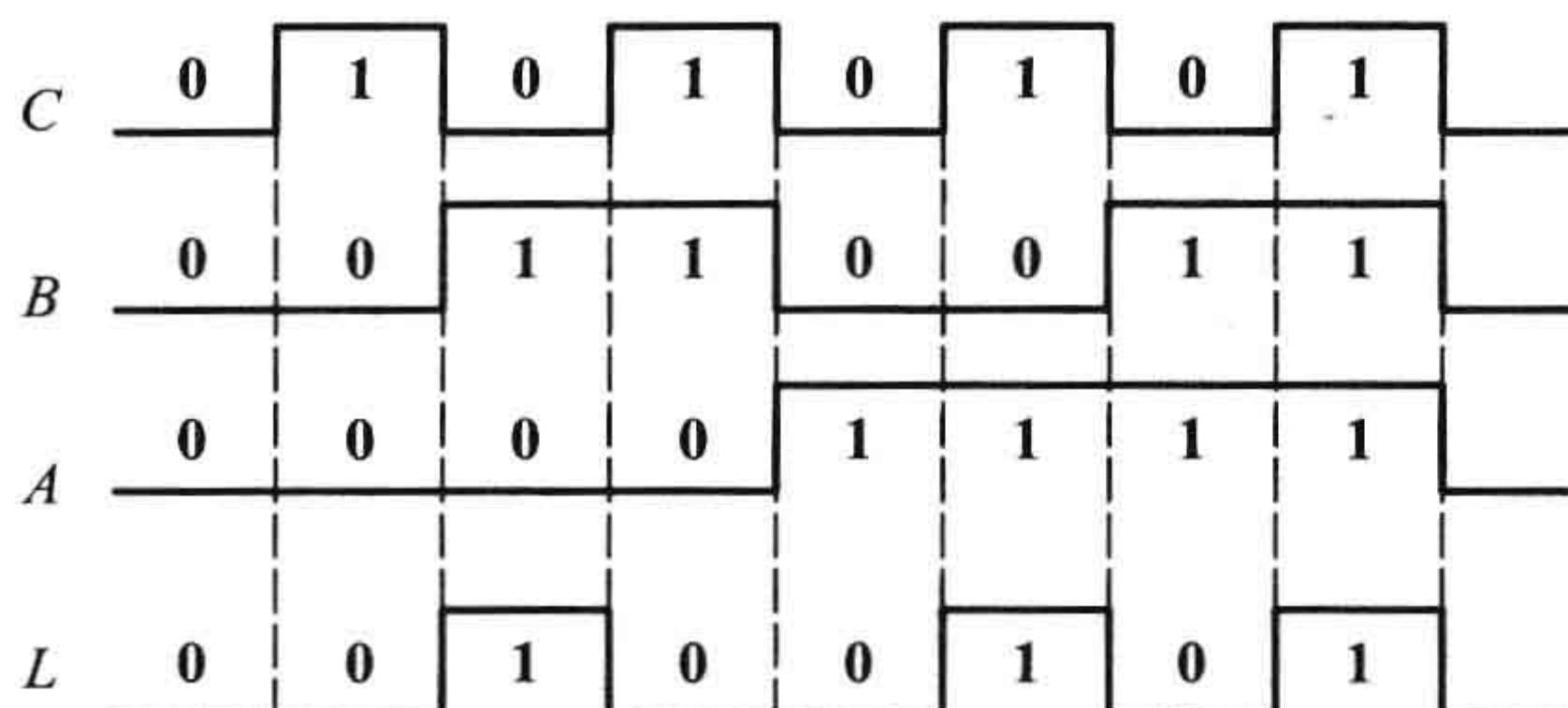
解:从输入端开始写出每个逻辑符号输出端的表达式,如图题解 1.6.3 所示,得到最后的表达式为

$$L = \overline{A}B \oplus A+B+C$$

1.6.4 已知逻辑函数 L 的波形图如图题 1.6.4 所示,试求其真值表和逻辑函数表达式。

解:根据图题 1.6.4 中输入信号的取值,确定输出信号,列出真值表如表题解 1.6.4 所示。根据真值表写逻辑表达式:逻辑变量之间是与的关系,而输出状态之间的组合则是或的关系。对于输入变量 A 、 B 、 C 或输出 L ,凡取 1 值的用原变量表示,取 0 值用反变量表示。因此得到逻辑表达式

$$L = \overline{A}\overline{B}\overline{C} + A\overline{B}C + ABC$$



图题 1.6.4

表题解 1.6.4 题 1.6.4 的真值表

A	B	C	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

2 逻辑代数与硬件描述语言基础

一、内容提要及重点

本章的内容提要：

1. 逻辑代数的基本定律、恒等式和三种基本规则。这些公式主要作用：一是证明逻辑等式；二是对逻辑表达式进行变换和化简。

2. 逻辑函数式的两种标准形式为标准与-或式和标准或-与式。标准与-或式又称为最小项之和表达式，即函数式中每一个与项均为最小项。最小项用 m_i 表示。标准或-与式又称为最大项之和表达式，即函数式中每一个或项均为最大项。最大项用 M_i 表示。最小项与最大项之间的关系：

$$M_i = \overline{m_i}$$

3. 逻辑函数化简。

逻辑函数的最简形式通常是与-或逻辑式，通过变换，很容易得到其他形式的表达式。判别与或式是否最简的条件是：

- ① 表达式中包含的乘积项数目最少；
- ② 每个乘积项中所含的变量数最少。

常用逻辑函数化简的方法有代数法和卡诺图法。

(1) 代数化简法。常用的方法有并项法、吸收法、消去法和配项法等。该方法的特点是灵活方便，不受变量数目的约束，但没有固定的规律和步骤可循，当函数较复杂时不容易判断是否已化成最简式。

(2) 卡诺图化简法。化简时，找出卡诺图中在逻辑上相邻的最小项，消去相邻最小项中的不同变量。卡诺图合并最小项的规则：

- 2 个最小项相邻，可以合并成一项，并消去一对互非的变量。
- 4 个最小项相邻，可以合并成一项，并消去两对互非的变量。
- 8 个最小项相邻，可以合并成一项，并消去三对互非的变量。
- 2^n 个最小项相邻，可以合并成一项，并消去 n 对互非的变量。

具有无关项的逻辑函数化简。

无关项可以用 $\times$ (或 $\emptyset$) 进行表示，其函数值可以是 0，也可以是 1。合理利用这些无关项，一般都可以得到更加简单的化简结果。

本章的重点：

逻辑代数的基本定律和规则；逻辑函数的最小项之和表达式；逻辑函数的变换和卡诺图化简法等。

二、典型例题解析

例 2.1 试证明等式 $AB+\overline{A}C+BC=AB+\overline{A}C$ 成立。

解题思路：等式的证明可以采用列真值表法、代数法或卡诺图法等。

列真值表法是对应输入变量取值的所有组合状态，列出等式两边逻辑表达式的真值表，若两个真值表相等，则等式成立。

代数法是利用逻辑函数的定理和规则，将等式两边化成相同的形式，则等式成立。

卡诺图法是分别画出等式两边逻辑表达式的卡诺图，若两个卡诺图相等，则等式成立。

解一：用真值表法证明。列出表达式 $AB+\overline{A}C+BC$ 和 $AB+\overline{A}C$ 的真值表如表 2.1 所示。由表可见，对于任何一组输入变量的取值，两个表达式的值均相等，因此，等式成立。

表 2.1 例 2.1 的真值表

A	B	C	$AB+\overline{A}C+BC$	$AB+\overline{A}C$
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	1	1
1	1	1	1	1

解二：用代数法证明。

$$\begin{aligned} AB+\overline{A}C+BC &= AB+\overline{A}C+(A+\overline{A})BC && (\text{根据 } A+\overline{A}=1) \\ &= AB+\overline{A}C+ABC+\overline{A}BC && (\text{分配律}) \\ &= AB(1+C)+\overline{A}C(1+B) && (\text{根据 } 1+A=1) \\ &= AB+\overline{A}C \end{aligned}$$

由此可见，左、右两边表达式相等。因此，等式成立。

解三：用卡诺图法证明。分别列出等式左、右两边表达式的卡诺图，如图 2.1 所示。由图可见，两个卡诺图完全相同。因此，等式成立。

由以上三种解题方法可见，当变量数比较少时，采用真值表法比较简单；如果变量数较多且

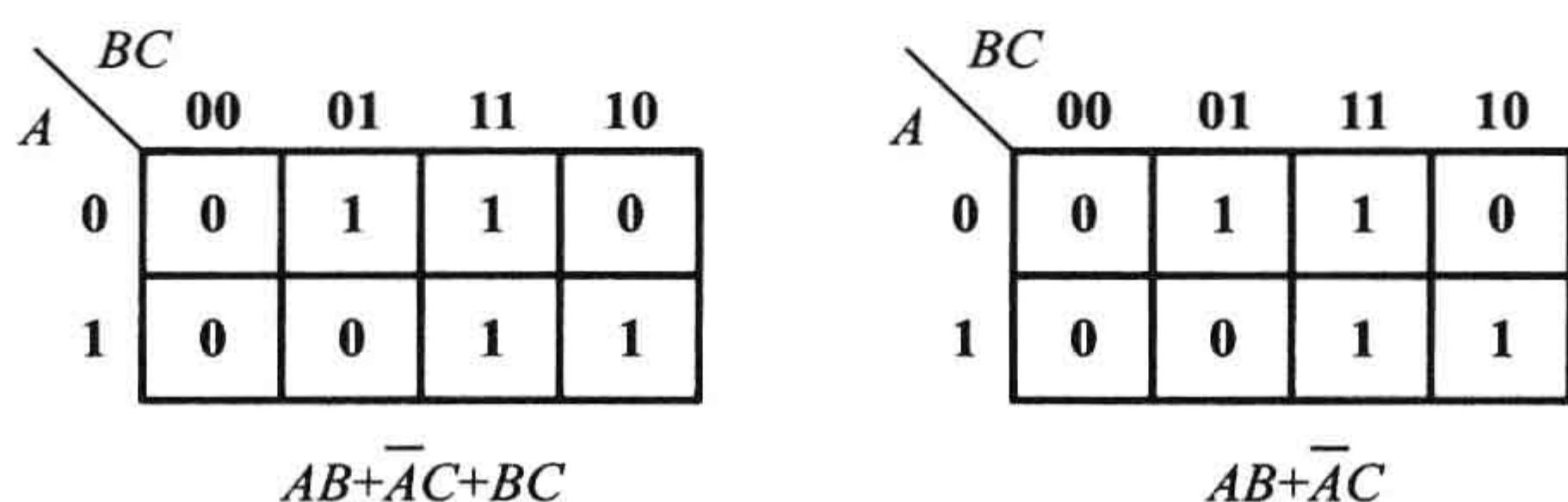


图 2.1 例 2.1 的卡诺图

逻辑表达式比较复杂,则采用代数法化简;卡诺图法化简用于变量数为 3 ~ 4 个的函数式化简。有时将代数法和卡诺图法结合使用。

例 2.2 利用卡诺图化简函数 $L = (AB + BD)\bar{C} + (\bar{A} \oplus B)D + CD$ 。

解题思路: ① 首先将逻辑函数变换成与-或形式,将各个乘积项填入卡诺图。

② 按照卡诺图合并最小项的原则画包围圈,包围圈内的方格数要尽可能多,包围圈的数目要尽可能少。如果有无关项,其值可以取 0 或 1,以使函数尽量得到简化为宜。

③ 最后将各个包围圈对应的乘积项相加,即得到简化的与-或逻辑表达式。

解: 为清楚起见,将逻辑函数变换成与-或式,再化成最小项形式,便于填卡诺图。

$$\begin{aligned}
 L &= (AB + BD)\bar{C} + (\bar{A} \oplus B)D + CD \\
 &= AB\bar{C} + B\bar{C}D + (\bar{A}\bar{B} + AB)D + CD \\
 &= AB\bar{C} + B\bar{C}D + \bar{A}\bar{B}D + ABD + CD \\
 &= AB\bar{C}(\bar{D} + D) + (\bar{A} + A)B\bar{C}D + \bar{A}\bar{B}(\bar{C} + C)D + AB(\bar{C} + C)D + (\bar{A} + A)(\bar{B} + B)CD \\
 &= \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}B\bar{C}D + \bar{A}BCD + A\bar{B}\bar{C}D + AB\bar{C}D + ABCD \\
 &= m_1 + m_3 + m_5 + m_7 + m_{11} + m_{12} + m_{13} + m_{15}
 \end{aligned}$$

将上述逻辑表达式填入卡诺图,画包围圈如图 2.2 所示。由此得最简逻辑表达式

$$L = \bar{A}D + BD + CD + AB\bar{C}$$

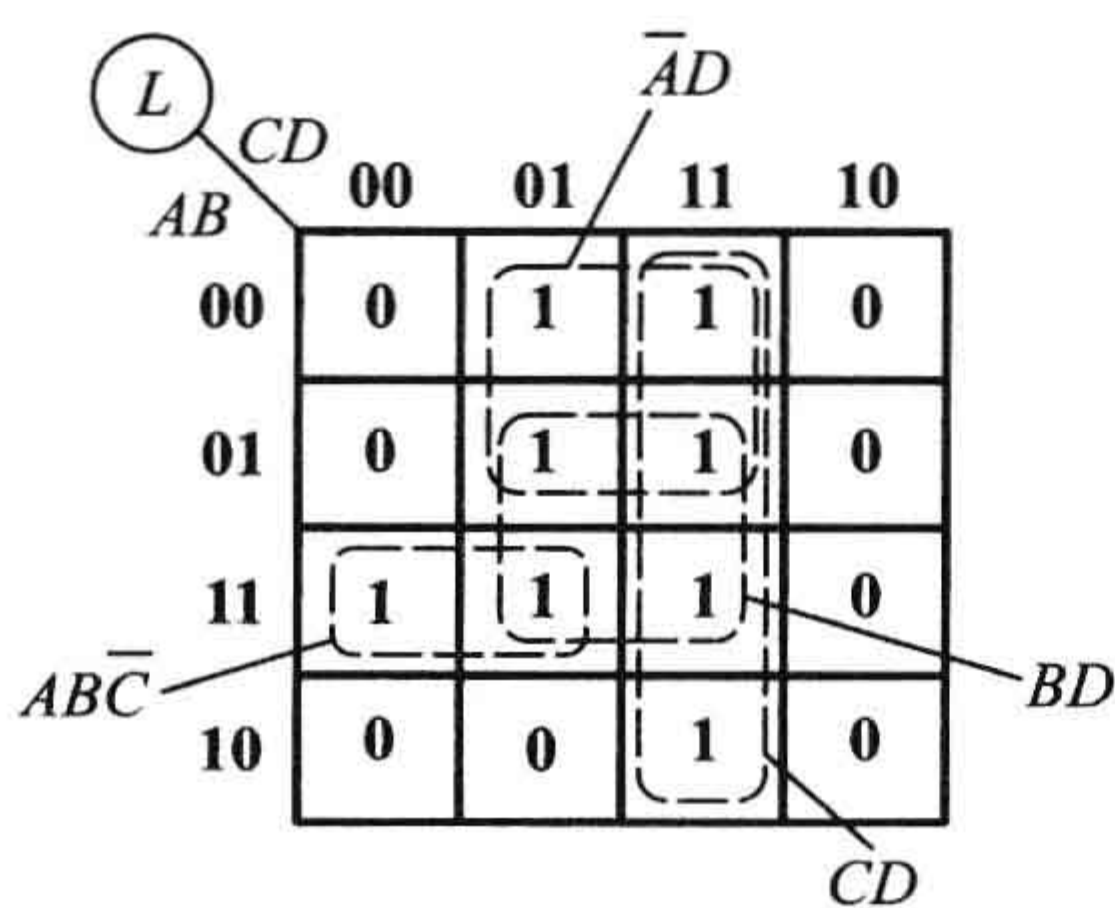


图 2.2 例 2.2 的卡诺图

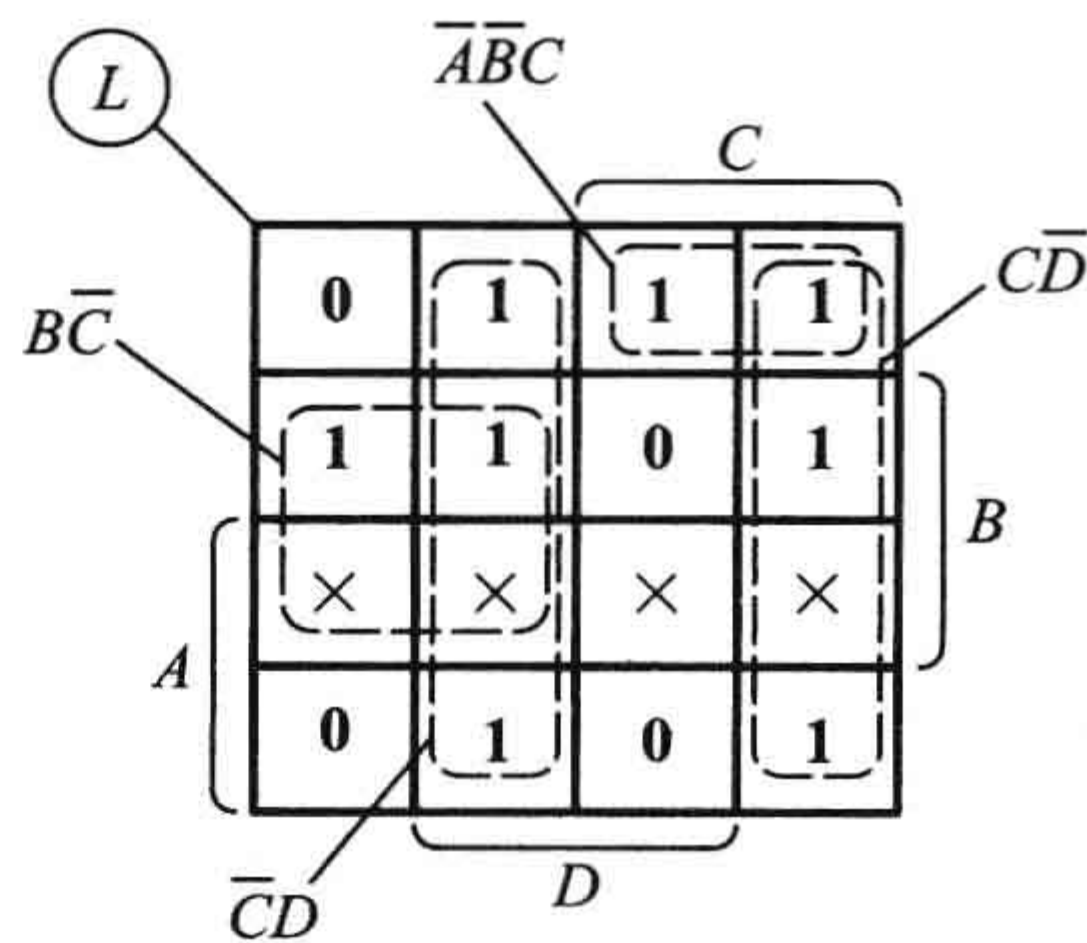


图 2.3 例 2.3 的卡诺图

例 2.3 已知函数 L 的逻辑功能为: $AB = 00$ 时 $L = C + D$, $AB = 01$ 时 $L = \bar{C}\bar{D}$; $AB = 10$ 时 $L = C \oplus D$; $AB = 11$ 时, L 为任意项。试用卡诺图化简该逻辑函数。

解题思路: ① 首先确定逻辑函数的变量数,画出相应的卡诺图。

② 根据 L 的逻辑功能描述填卡诺图。

③ 按照卡诺图合并最小项的原则画包围圈。最后得到简化的与或逻辑表达式。

解: L 与 A 、 B 、 C 、 D 4 个变量有关, 因此画出 4 变量卡诺图。

$AB=00$ 表示 $\overline{A}\overline{B}$, 对应卡诺图第 1 行, 而 $L=C+D=\overline{C}D+CD+C\overline{D}$, 表示第 1 行除 $\overline{C}\overline{D}$ 对应第 1 方格为 0, 其余 3 个方格为 1。以此类推填入 $AB=01$ 和 $AB=10$ 的各项。当 $AB=11$ 时, L 为任意项, 即对应卡诺图第 3 行均填入“×”。

画包围圈如图 2.3 所示。由此得最简逻辑表达式

$$L = \overline{C}D + C\overline{D} + B\overline{C} + \overline{A}BC$$

例 2.4 求逻辑函数 $L = \overline{(AB+AC)C+CD}$ 的最简与-或式和或-与式。

解题思路: ① 由于此题没有规定用何种化简方法, 可以采用代数法或卡诺图法化简得到最简与-或式, 然后使用公式 $A+BC = (A+B)(A+C)$ 进行变换, 得到最简或-与式。

② 如果用卡诺图法求最简或-与式, 可以采用合并 0 的方法, 求出 $\overline{L}$ 的最简与-或式, 然后对 $\overline{L}$ 取反, 得到 L 的最简或-与式。

解一: 用代数法化简。

$$\begin{aligned} L &= \overline{(AB+AC)C+CD} \\ &= \overline{(AB+AC)+\overline{C}+CD} \\ &= (\overline{A+B})(\overline{A+C}) + \overline{C} \\ &= \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{B}\overline{C} + \overline{C} \\ &= \overline{A}\overline{B} + \overline{C} \quad (\text{最简与-或式}) \\ &= (A+\overline{C})(\overline{B}+\overline{C}) \quad (\text{最简或-与式}) \end{aligned}$$

解二: 用合并 0 的卡诺图法化简。首先将逻辑函数变换成与或式

$$\begin{aligned} L &= \overline{(AB+AC)C+CD} \\ &= \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{B}\overline{C} + \overline{C} + \overline{C}D \end{aligned}$$

将上述表达式填入卡诺图, 如图 2.4 所示, 合并 0 的方格, 得

$$\overline{L} = \overline{A}C + BC$$

对 $\overline{L}$ 求反得

$$L = (A+\overline{C})(\overline{B}+\overline{C})$$

		00	01	11	10
00	1	1	0	0	
01	1	1	0	0	
11	1	1	0	0	
10	1	1	1	1	

图 2.4 例 2.4 的卡诺图

三、习题全解

2.1 逻辑代数的基本定律和规则

2.1.1 用真值表证明下列恒等式:

(1) $(A \oplus B) \oplus C = A \oplus (B \oplus C)$

(2) $\overline{A \oplus B} = \overline{A} \overline{B} + AB$

解:根据题意,首先分别列出等式两边逻辑表达式的真值表,然后观察它们是否完全相同,若相同,则说明等式成立。

(1) 根据逻辑恒等式 $(A \oplus B) \oplus C = A \oplus (B \oplus C)$ 列写真值表,如表题解 2.1.1(a)。

表题解 2.1.1(a)

A	B	C	$(A \oplus B)$	$(B \oplus C)$	$(A \oplus B) \oplus C$	$A \oplus (B \oplus C)$
0	0	0	0	0	0	0
0	0	1	0	1	1	1
0	1	0	1	1	1	1
0	1	1	1	0	0	0
1	0	0	1	0	1	1
1	0	1	1	1	0	0
1	1	0	0	1	0	0
1	1	1	0	0	1	1

由表题解 2.1.1(a) 的最右边两栏可知, $(A \oplus B) \oplus C$ 与 $A \oplus (B \oplus C)$ 的真值表完全相同,故等式 $(A \oplus B) \oplus C = A \oplus (B \oplus C)$ 成立。

(2) 根据逻辑恒等式 $\overline{A \oplus B} = \overline{A} \overline{B} + AB$ 列写真值表,如表题解 2.1.1(b)。

表题解 2.1.1(b)

A	B	$A \oplus B$	$\overline{A \oplus B}$	$\overline{A} \overline{B}$	AB	$\overline{A} \overline{B} + AB$
0	0	0	1	1	0	1
0	1	1	0	0	0	0
1	0	1	0	0	0	0
1	1	0	1	0	1	1

由表题解 2.1.1(b) 的最右边两栏可知, $\overline{A \oplus B}$ 与 $\overline{A} \overline{B} + AB$ 的真值表完全相同,故等式 $\overline{A \oplus B} = \overline{A} \overline{B} + AB$ 成立。

2.1.2 用逻辑代数定律证明下列等式:

(1) $A + \overline{A}B = A + B$

$$(2) ABC + A\overline{B}C + AB\overline{C} = AB + AC$$

$$(3) A + A\overline{B}\overline{C} + \overline{A}CD + (\overline{C} + \overline{D})E = A + CD + E$$

$$(4) (A+B)(A+\overline{B}) = A$$

$$(5) AB + \overline{A}C + BCD = AB + \overline{A}C$$

$$(6) (A+B)(B+C)(\overline{A}+C) = (A+B)(\overline{A}+C)$$

解:对于这类题目,需要读者熟记逻辑代数的基本定律,然后对等式的一边进行化简推导,得到另一边的等式。

$$\begin{aligned} (1) A+B &= (A+B)(A+\overline{A}) && (\text{根据 } A+\overline{A}=1) \\ &= A+AB+\overline{A}B = A+\overline{A}B && (\text{根据 } A+AB=A) \end{aligned}$$

$$\begin{aligned} \text{或者: } A+\overline{A}B &= A(1+B) + \overline{A}B && (\text{根据 } A+1=1) \\ &= A+AB+\overline{A}B = A+B(A+\overline{A}) = A+B \end{aligned}$$

$$\begin{aligned} (2) ABC + A\overline{B}C + AB\overline{C} &= AC(B+\overline{B}) + AB\overline{C} && (\text{根据 } A+\overline{A}=1) \\ &= AC+AB\overline{C} = A(C+B\overline{C}) = A(C+B) && (\text{根据 } A+\overline{A}B=A+B) \\ &= AB+AC \end{aligned}$$

$$\begin{aligned} (3) A + A\overline{B}\overline{C} + \overline{A}CD + (\overline{C} + \overline{D})E & \\ &= A(1+\overline{B}\overline{C}) + \overline{A}CD + \overline{C}DE \\ &= A+\overline{A}CD + \overline{C}DE = A+CD+\overline{C}DE && (\text{根据 } A+\overline{A}B=A+B) \\ &= A+CD+E \end{aligned}$$

$$\begin{aligned} (4) (A+B)(A+\overline{B}) &= AA+A\overline{B}+AB+B\overline{B} && (\text{根据 } A(B+C)=AB+AC) \\ &= A+A\overline{B}+AB = A(1+\overline{B}+B) && (\text{根据 } A+1=1) \\ &= A && (\text{根据 } A \cdot 1=A) \end{aligned}$$

$$\begin{aligned} (5) AB + \overline{A}C + BCD &= AB + \overline{A}C + BCD(A+\overline{A}) && (\text{根据 } A+\overline{A}=1) \\ &= AB + \overline{A}C + ABCD + \overline{A}BCD \\ &= AB(1+CD) + \overline{A}C(1+BD) && (\text{根据 } A+1=1) \\ &= AB + \overline{A}C \end{aligned}$$

$$\begin{aligned} (6) \text{左边} &= (A+B)(B+C)(\overline{A}+C) = (A+B)(\overline{A}B + \overline{A}C + BC + CC) \\ &= (A+B)(\overline{A}B + C(\overline{A}+B+1)) \\ &= (A+B)(\overline{A}B + C) \\ &= AC + \overline{A}B + BC \\ \text{右边} &= (A+B)(\overline{A}+C) = A\overline{A} + AC + \overline{A}B + BC \\ &= AC + \overline{A}B + BC \end{aligned}$$

左边 = 右边, 原式成立。

2.1.3 应用反演规则和对偶规则, 求下列函数的非函数和对偶函数。

$$(1) L = A \cdot B + \bar{A} \cdot \bar{B}$$

$$(2) L = AB + \overline{C+D}$$

$$(3) L = \bar{A} \cdot \bar{B} + \overline{A \cdot B \cdot C \cdot D}$$

解: (1) 根据反演规则, 得到

$$\bar{L} = (\bar{A} + \bar{B}) \cdot (A + B) = \bar{A}B + A\bar{B}$$

根据对偶规则, 得到

$$L' = (A + B) \cdot (\bar{A} + \bar{B}) = A\bar{B} + \bar{A}B$$

(2) 根据反演规则, 得到

$$\bar{L} = (\bar{A} + \bar{B}) \cdot \overline{\bar{C} \cdot \bar{D}} = (\bar{A} + \bar{B})(C + D)$$

根据对偶规则, 得到

$$L' = (A + B) \cdot \overline{C \cdot D}$$

(3) 根据反演规则, 得到

$$\bar{L} = (A + B) \cdot (\overline{A + B + C + D}) = (A + B)(\bar{A}\bar{B}\bar{C}\bar{D})$$

根据对偶规则, 得到

$$L' = (\bar{A} + \bar{B}) \cdot (\overline{A + B + C + D}) = (\bar{A} + \bar{B})(A\bar{B}C + D)$$

2.2 逻辑函数表达式的形式

2.2.1 将下列各式转换成与或形式:

$$(1) \overline{A \oplus B \oplus C \oplus D}$$

$$(2) \overline{A+B+C+D+C+D+A+D}$$

$$(3) \overline{AB \cdot BD \cdot BC \cdot AB}$$

解: 与或形式就是乘积项之和的形式, 也称为积之和形式。在化简时, 一般要多次用到摩根定理, 因此, 要熟记该定理, 以达到灵活应用的目的。

$$(1) \overline{A \oplus B \oplus C \oplus D}$$

$$= \overline{A\bar{B} + AB \oplus C\bar{D} + CD} \quad (\text{根据 } \overline{A+B+C} = \bar{A} \cdot \bar{B} \cdot \bar{C})$$

$$= \overline{A\bar{B} \cdot \bar{A}B \oplus C\bar{D} \cdot \bar{C}D} \quad (\text{根据 } \overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C})$$

$$= (\bar{A} + B)(A + \bar{B}) \oplus (\bar{C} + D)(C + \bar{D})$$

$$= (\bar{A}\bar{B} + AB) \oplus (\bar{C}\bar{D} + CD)$$

(若直接用 $\overline{A \oplus B} = A \odot B = \bar{A}\bar{B} + AB$ 进行变换, 此题会更简单)

$$= (\bar{A}\bar{B} + AB)(\bar{C}\bar{D} + CD) + (\bar{A}\bar{B} + AB)(\bar{C}\bar{D} + CD)$$

$$\begin{aligned}
&= \overline{\overline{A} \overline{B}} \cdot \overline{AB} (\overline{C} \overline{D} + CD) + (\overline{A} \overline{B} + AB) \overline{\overline{C} \overline{D}} \cdot \overline{CD} \\
&= (A+B) (\overline{A} + \overline{B}) (\overline{C} \overline{D} + CD) + (\overline{A} \overline{B} + AB) (C+D) (\overline{C} + \overline{D}) \\
&= (A \overline{B} + \overline{A} B) (\overline{C} \overline{D} + CD) + (\overline{A} \overline{B} + AB) (C \overline{D} + \overline{C} D) \\
&= A \overline{B} \overline{C} \overline{D} + A \overline{B} C D + \overline{A} B \overline{C} \overline{D} + \overline{A} B C D + \overline{A} \overline{B} C \overline{D} + \overline{A} \overline{B} \overline{C} D + A B C \overline{D} + A B \overline{C} D
\end{aligned}$$

$$\begin{aligned}
(2) \quad &\overline{\overline{A+B+C+D+C+D+A+D}} \\
&= (A+B) (C+D) + (C+D) (A+D) \\
&= AC+AD+BC+BD+AC+AD+CD+D \\
&= AC+AD+BC+BD+CD+D \\
&= AC+BC+(A+B+C+1)D \\
&= AC+BC+D
\end{aligned}$$

$$\begin{aligned}
(3) \quad &\overline{\overline{AC} \cdot \overline{BD} \cdot \overline{BC} \cdot \overline{AB}} = \overline{(AC+BD)(BC+AB)} \\
&= \overline{ABC+ABC+BCD+ABD} \\
&= \overline{ABC+BCD+ABD} = \overline{ABC} \cdot \overline{BCD} \cdot \overline{ABD} \\
&= (\overline{A} + \overline{B} + \overline{C}) (\overline{B} + \overline{C} + \overline{D}) (\overline{A} + \overline{B} + \overline{D}) \\
&= (\overline{A} \overline{B} + \overline{A} \overline{C} + \overline{A} \overline{D} + \overline{B} \overline{C} + \overline{B} \overline{D} + \overline{C} \overline{D}) (\overline{A} + \overline{B} + \overline{D}) \\
&= [(\overline{A} + 1 + \overline{C} + \overline{D}) \overline{B} + (\overline{A} + \overline{D} + 1) \overline{C} + \overline{A} \overline{D}] (\overline{A} + \overline{B} + \overline{D}) \\
&= (\overline{B} + \overline{C} + \overline{A} \overline{D}) (\overline{A} + \overline{B} + \overline{D}) \\
&= \overline{A} \overline{B} + \overline{A} \overline{C} + \overline{A} \overline{D} + \overline{B} \overline{C} + \overline{B} \overline{D} + \overline{C} \overline{D} \\
&= (\overline{A} + 1 + \overline{C} + \overline{A} \overline{D} + \overline{D}) \overline{B} + \overline{A} \overline{C} + \overline{A} \overline{D} + \overline{C} \overline{D} \\
&= \overline{A} \overline{C} + \overline{A} \overline{D} + \overline{C} \overline{D} + \overline{B}
\end{aligned}$$

2.2.2 列出逻辑函数 $L(A, B, C) = A \overline{B} + B \overline{C}$ 的真值表, 并写出该函数的最小项表达式。

解: 该函数的真值表如表题解 2.2.2 所示。一个函数的真值表和它的最小项表达式之间具有一一对应的关系, 找出真值表中函数值为 1 所对应的最小项, 直接写出 L 的最小项表达式

$$L(A, B, C) = \sum m(2, 4, 5, 6)$$

2.2.3 试写出下列各个函数的最小项表达式。

$$(1) L = A \overline{C} D + \overline{B} C \overline{D} + ABCD$$

$$(2) L = \overline{\overline{A(B+C)}}$$

表题解 2.2.2

A	B	C	L
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$(3) L = \overline{\overline{AB} + ABD(B + \overline{CD})}$$

$$(4) L = \overline{(A\overline{B} + B\overline{C})AB}$$

解: 求一个函数的最小项表达式通常分为两步: 第一步, 将函数表达式变换成为一般的与或表达式; 第二步, 使表达式中的每个与项包含所有的逻辑变量, 使其成为最小项。对于某个与项而言, 若缺少某变量, 一般利用 $A + \overline{A} = 1$ 补齐该变量。

$$\begin{aligned} (1) L &= A\overline{C}\overline{D} + \overline{B}\overline{C}\overline{D} + ABCD \\ &= A\overline{C}\overline{D}(B + \overline{B}) + \overline{B}\overline{C}\overline{D}(A + \overline{A}) + ABCD \\ &= AB\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}\overline{D} + ABCD \\ &\quad \Sigma m(2, 9, 10, 13, 15) \end{aligned}$$

$$\begin{aligned} (2) L &= \overline{\overline{A}(B + \overline{C})} = \overline{A + B + \overline{C}} = \overline{A} + \overline{B} + C \\ &= A(B + \overline{B})(C + \overline{C}) + \overline{B}C(A + \overline{A}) \\ &= ABC + AB\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + \overline{A}\overline{B}C \\ &\quad \Sigma m(1, 4, 5, 6, 7) \end{aligned}$$

$$\begin{aligned} (3) L &= \overline{\overline{AB} + ABD(B + \overline{CD})} \\ &= \overline{AB\overline{ABD}(B + \overline{CD})} = \overline{AB(\overline{A} + \overline{B} + \overline{D})(B + \overline{CD})} \\ &= \overline{AB\overline{D}(B + \overline{CD})} = \overline{AB\overline{D} + AB\overline{D}\overline{C}\overline{D}} \\ &= \overline{AB\overline{D}(C + \overline{C}) + 0} = \overline{ABC\overline{D} + AB\overline{C}\overline{D}} \\ &\quad \Sigma m(12, 14) \end{aligned}$$

$$\begin{aligned} (4) L &= \overline{(A\overline{B} + B\overline{C})AB} = \overline{A\overline{B} + B\overline{C}} + AB \\ &= \overline{A\overline{B}} \cdot \overline{B\overline{C}} + AB = (\overline{A} + B)(\overline{B} + C) + AB \\ &= \overline{A}\overline{B} + \overline{A}C + BC + AB \\ &= \overline{A}\overline{B}(C + \overline{C}) + \overline{A}C(B + \overline{B}) + BC(A + \overline{A}) + AB(C + \overline{C}) \\ &= \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + \overline{A}BC + \overline{A}\overline{B}\overline{C} + ABC + \overline{A}BC + ABC + AB\overline{C} \\ &= \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}BC + AB\overline{C} + ABC \\ &= \Sigma m(0, 1, 3, 6, 7) \end{aligned}$$

2.2.4 判断下列等式是否成立?

$$(1) \overline{A}\overline{C} + BC + A\overline{B} = \overline{A}B + AC + \overline{B}\overline{C}$$

$$(2) \overline{A}C + AB\overline{C} + \overline{A}B + A\overline{B} = \overline{B}C + A\overline{C} + B\overline{C} + \overline{A}BC$$

$$(3) A\overline{C} + BC + \overline{B}\overline{C} = (A + \overline{B} + C)(A + B + \overline{C})(\overline{A} + B + \overline{C})$$

$$(4) (A + C)(\overline{A} + \overline{B} + \overline{C})(\overline{A} + B) = (A + B)(B + C)(\overline{A} + \overline{C})$$

解: 要判断一个等式是否成立, 通常有两种方法: 方法一, 为等式两侧的表达式各建一个真值

表,若这两个真值表相同,则等式成立;方法二,将等式两侧的表达式转换成最小项(或者最大项)表达式,由于一个函数最小项(或者最大项)表达式是唯一的,若等式两侧的最小项(或者最大项)表达式相同,则等式成立。

$$\begin{aligned}
 (1) \text{ 左边} &= \overline{A}\overline{C}(B+\overline{B})+BC(A+\overline{A})+A\overline{B}(C+\overline{C}) \\
 &= \overline{A}\overline{B}\overline{C}+\overline{A}\overline{B}C+ABC+\overline{A}BC+A\overline{B}C+A\overline{B}\overline{C} \\
 &= m_2+m_0+m_7+m_3+m_5+m_4 \\
 &= \sum m(0,2,3,4,5,7)
 \end{aligned}$$

$$\begin{aligned}
 \text{右边} &= \overline{A}B(C+\overline{C})+AC(B+\overline{B})+\overline{B}\overline{C}(A+\overline{A}) \\
 &= \overline{A}BC+\overline{A}B\overline{C}+ABC+A\overline{B}C+A\overline{B}\overline{C}+\overline{A}\overline{B}\overline{C} \\
 &= m_3+m_2+m_7+m_5+m_4+m_0 \\
 &= \sum m(0,2,3,4,5,7)
 \end{aligned}$$

由于等式两侧的最小项表达式相同,它们代表的是同一个函数,所以该等式成立。

$$\begin{aligned}
 (2) \text{ 左边} &= \overline{A}C(B+\overline{B})+AB\overline{C}+\overline{A}B(C+\overline{C})+A\overline{B}(C+\overline{C}) \\
 &= \overline{A}BC+\overline{A}\overline{B}C+AB\overline{C}+\overline{A}BC+\overline{A}B\overline{C}+A\overline{B}C+A\overline{B}\overline{C} \\
 &= m_3+m_1+m_6+m_3+m_2+m_5+m_4 \\
 &= \sum m(1,2,3,4,5,6)
 \end{aligned}$$

$$\begin{aligned}
 \text{右边} &= \overline{B}C(A+\overline{A})+A\overline{C}(B+\overline{B})+B\overline{C}(A+\overline{A})+\overline{A}BC \\
 &= A\overline{B}C+\overline{A}\overline{B}C+AB\overline{C}+A\overline{B}\overline{C}+AB\overline{C}+\overline{A}B\overline{C}+\overline{A}BC \\
 &= m_5+m_1+m_6+m_4+m_6+m_2+m_3 \\
 &= \sum m(1,2,3,4,5,6)
 \end{aligned}$$

由于等式两侧的最小项表达式相同,它们代表的是同一个函数,所以该等式成立。

$$\begin{aligned}
 (3) \text{ 左边} &= A\overline{C}(B+\overline{B})+BC(A+\overline{A})+\overline{B}\overline{C}(A+\overline{A}) \\
 &= AB\overline{C}+A\overline{B}\overline{C}+ABC+\overline{A}BC+A\overline{B}\overline{C}+\overline{A}\overline{B}\overline{C} \\
 &= m_6+m_4+m_7+m_3+m_4+m_0 \\
 &= \sum m(0,3,4,6,7) \\
 &= \prod M(1,2,5)
 \end{aligned}$$

$$\begin{aligned}
 \text{右边} &= (A+\overline{B}+C)(A+B+\overline{C})(\overline{A}+B+\overline{C}) \\
 &= \prod M(2,1,5)
 \end{aligned}$$

由于等式两侧的最大项表达式相同,它们代表的是同一个函数,所以该等式成立。

$$\begin{aligned}
 (4) \text{ 左边} &= (A+C+0)(\overline{A}+\overline{B}+\overline{C})(\overline{A}+B+0) \\
 &= (A+C+B\overline{B})(\overline{A}+\overline{B}+\overline{C})(\overline{A}+B+C\overline{C}) \quad (\text{根据 } A+BC=(A+B)(A+C)) \\
 &= (A+C+B)(A+C+\overline{B})(\overline{A}+\overline{B}+\overline{C})(\overline{A}+B+C)(\overline{A}+B+\overline{C}) \\
 &= (A+B+C)(A+\overline{B}+C)(\overline{A}+\overline{B}+\overline{C})(\overline{A}+B+C)(\overline{A}+B+\overline{C})
 \end{aligned}$$

$$\begin{aligned}
 &= M_0 \cdot M_2 \cdot M_7 \cdot M_4 \cdot M_5 \\
 &= \prod M(0, 2, 4, 5, 7)
 \end{aligned}$$

$$\text{右边} = (A+B+0)(B+C+0)(\bar{A}+\bar{C}+0)$$

$$\begin{aligned}
 &= (A+B+C\bar{C})(B+C+A\bar{A})(\bar{A}+\bar{C}+B\bar{B}) \\
 &= (A+B+C)(A+B+\bar{C})(B+C+A)(B+C+\bar{A})(\bar{A}+\bar{C}+B)(\bar{A}+\bar{C}+\bar{B}) \\
 &= (A+B+C)(A+B+\bar{C})(\bar{A}+B+C)(\bar{A}+B+\bar{C})(\bar{A}+\bar{B}+\bar{C}) \\
 &= M_0 \cdot M_1 \cdot M_4 \cdot M_5 \cdot M_7 \\
 &= \prod M(0, 1, 4, 5, 7)
 \end{aligned}$$

由于等式两侧的最大项表达式不相同, 所以该等式不成立。

2.2.5 列出逻辑函数 $L(A, B, C) = \bar{A} \cdot C +$

$A \cdot \bar{B} \cdot \bar{C}$ 的真值表, 并写出该函数的最大项表达式。

解: 该函数的真值表如表题解 2.2.5 所示。一个函数的真值表和它的最大项表达式之间同样具有一一对应的关系, 找出真值表中函数值为 0 所对应的最大项, 直接写出 L 的最大项表达式

$$L(A, B, C) = \prod M(0, 2, 5, 6, 7)$$

2.2.6 已知下列函数的最大项表达式, 试写出其最小项表达式。

$$(1) L(A, B) = \prod M(0, 1, 2)$$

$$(2) L(A, B, C) = \prod M(0, 1, 3, 6, 7)$$

解: 由于相同变量构成的最小项与最大项之间存在互补关系, 若已知函数的最大项表达式, 由未出现在最大项表达式中的各标号组成的最小项之和就构成了最小项表达式。

(1) $L(A, B)$ 是一个两变量函数, 自变量 A, B 共有 00 ~ 11 四种取值组合, 故它的最小项表达式为

$$L(A, B) = m_3 = AB$$

(2) $L(A, B, C)$ 是一个三变量函数, 自变量 A, B, C 共有 000 ~ 111 八种取值组合, 故它的最小项表达式为

$$\begin{aligned}
 L(A, B, C) &= \sum m(2, 4, 5) \\
 &= \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + A\bar{B}C
 \end{aligned}$$

2.2.7 已知下列函数的最小项表达式, 试写出其最大项表达式。

$$(1) L(A, B) = \sum m(1, 2) \quad (2) L(A, B, C, D) = \sum m(1, 2, 5, 6)$$

解: 由于相同变量构成的最小项与最大项之间存在互补关系, 若已知函数的最小项表达式, 由未出现在最小项表达式中的各标号组成的最大项之积就构成了最大项表达式。

(1) $L(A, B)$ 是一个两变量函数, 自变量 A, B 共有 00 ~ 11 四种取值组合, 故它的最大项表达式

表题解 2.2.5

A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

式为

$$\begin{aligned} L(A, B) &= \prod M(0, 3) \\ &= (A+B)(\bar{A}+\bar{B}) \end{aligned}$$

(2) $L(A, B, C, D)$ 是一个四变量函数, 自变量 A, B, C, D 共有 0000 ~ 1111 十六种取值组合, 故它的最大项表达式为

$$L(A, B, C, D) = \prod M(0, 3, 4, 7, 8, 9, 10, 11, 12, 13, 14, 15)$$

2.3 逻辑函数的代数化简法

2.3.1 用代数法将下列各式化简成最简的与-或表达式:

$$(1) \overline{AB + \bar{A}\bar{B} + AB + A\bar{B}}$$

$$(2) \overline{(\bar{A}+B) + (A+B) + (\bar{A}B)(\bar{A}\bar{B})}$$

$$(3) \overline{B + ABC + \bar{A}C + \bar{A}B}$$

$$(4) \overline{ABC + A\bar{B}C + ABC + A+B\bar{C}}$$

$$(5) \overline{ABC\bar{D} + ABD + BC\bar{D} + ABCD + B\bar{C}}$$

$$(6) \overline{AC + ABC + \bar{B}C + AB\bar{C}}$$

解: 本题要求读者应用逻辑代数的公式和定理进行逻辑运算, 以便消去多余的乘积项和多余的因子, 从而得到逻辑函数的最简式。

$$(1) \overline{AB + \bar{A}\bar{B} + AB + A\bar{B}}$$

$$= \overline{A(B+B) + \bar{A}(\bar{B}+\bar{B})} = \overline{A+A} = 0 \quad (\text{根据 } A+\bar{A}=1)$$

$$(2) \overline{(\bar{A}+B) + (A+B) + (\bar{A}B)(\bar{A}\bar{B})}$$

$$(\text{根据 } \overline{A+B+C} = \bar{A} \cdot \bar{B} \cdot \bar{C})$$

$$= \overline{A \cdot \bar{B} + A \cdot B + (\bar{A}+B)(\bar{A}+\bar{B})}$$

$$(\text{根据 } \overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C})$$

$$= \overline{B + AB + \bar{A}\bar{B}}$$

$$= \overline{AB + \bar{B}} = \overline{A+B} = \bar{A}\bar{B}$$

$$(\text{根据 } A + \bar{A}B = A+B)$$

$$(3) \overline{B + ABC + \bar{A}C + \bar{A}B}$$

$$(\text{根据 } A + \bar{A}B = A+B)$$

$$= \overline{B + AC + \bar{A}C + \bar{A}B}$$

$$(\text{根据 } A + \bar{A} = 1)$$

$$= \overline{B + 1 + \bar{A}B} = 1$$

$$(\text{根据 } A + 1 = 1)$$

$$(4) \overline{ABC + A\bar{B}C + ABC + A+B\bar{C}}$$

$$= \overline{ABC + ABC + A\bar{B}C + A+B\bar{C}}$$

$$(\text{根据 } A + \bar{A} = 1)$$

$$= \overline{1 + A(\bar{B}C + 1) + B\bar{C}} = \overline{1 + A + B\bar{C}} = 1$$

$$(\text{根据 } A + 1 = 1)$$

$$(5) \overline{ABC\bar{D} + ABD + BC\bar{D} + ABCD + B\bar{C}}$$

$$= \overline{ABC(\bar{D} + D) + ABD + B(C\bar{D} + C)}$$

$$(\text{根据 } A + \bar{A} = 1)$$

$$= \overline{B(AC + AD + \bar{C} + \bar{D})}$$

$$(\text{根据 } A + \bar{A}B = A+B)$$

$$= \overline{B(A + \bar{C} + A + \bar{D})}$$

$$= \overline{B(A + \bar{C} + \bar{D})}$$

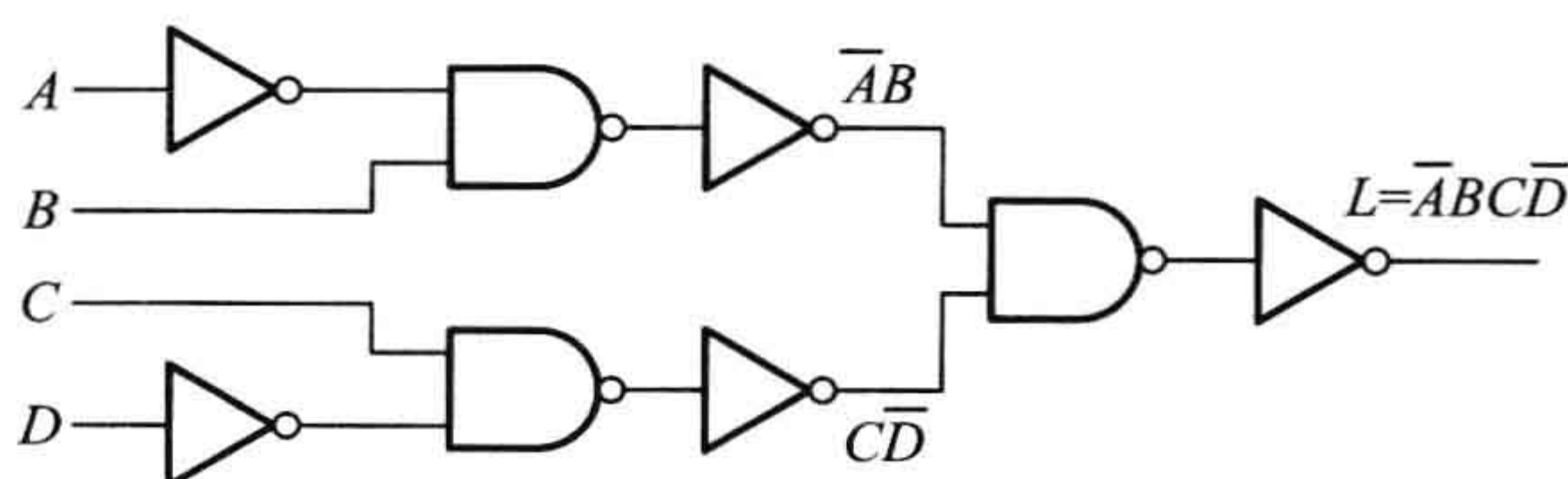
$$= \overline{AB + B\bar{C} + B\bar{D}}$$

$$\begin{aligned}
 (6) \quad & \overline{\overline{AC + \overline{ABC} + \overline{BC} + \overline{AB} \overline{C}}} \\
 &= \overline{C(\overline{A + \overline{AB}}) + \overline{BC} + \overline{AB} \overline{C}} \quad (\text{根据 } A + \overline{AB} = A + B) \\
 &= \overline{(\overline{A + B}) \overline{C} + \overline{BC} + \overline{AB} \overline{C}} \quad (\text{根据 } \overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C}) \\
 &= \overline{\overline{A + B} + \overline{C} + \overline{BC} + \overline{AB} \overline{C}} \quad (\text{根据 } \overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C}) \\
 &= \overline{\overline{A} \overline{B} + \overline{C} + \overline{B} + \overline{AB} \overline{C}} = \overline{(\overline{A} + 1) \overline{B} + \overline{C} (1 + AB)} = \overline{\overline{B} + \overline{C}} = BC
 \end{aligned}$$

2.3.2 已知逻辑函数表达式为 $L = \overline{A}BC\overline{D}$, 画出实现该式的逻辑电路图, 限使用非门和 2 输入与非门。

解: 由逻辑式 $\rightarrow$ 逻辑图, 一般先根据题目要求, 将函数式变换为适于使用限定图形符号的形式, 然后用图形符号代替代数运算符号。对该题而言, 要将函数式化为与非-与非的形式, 然后用非门和 2 输入与非门画出逻辑图。如图题解 2.3.2 所示。

$$L = \overline{A}B \cdot C\overline{D} = \overline{\overline{\overline{A}B} \cdot \overline{C\overline{D}}}$$



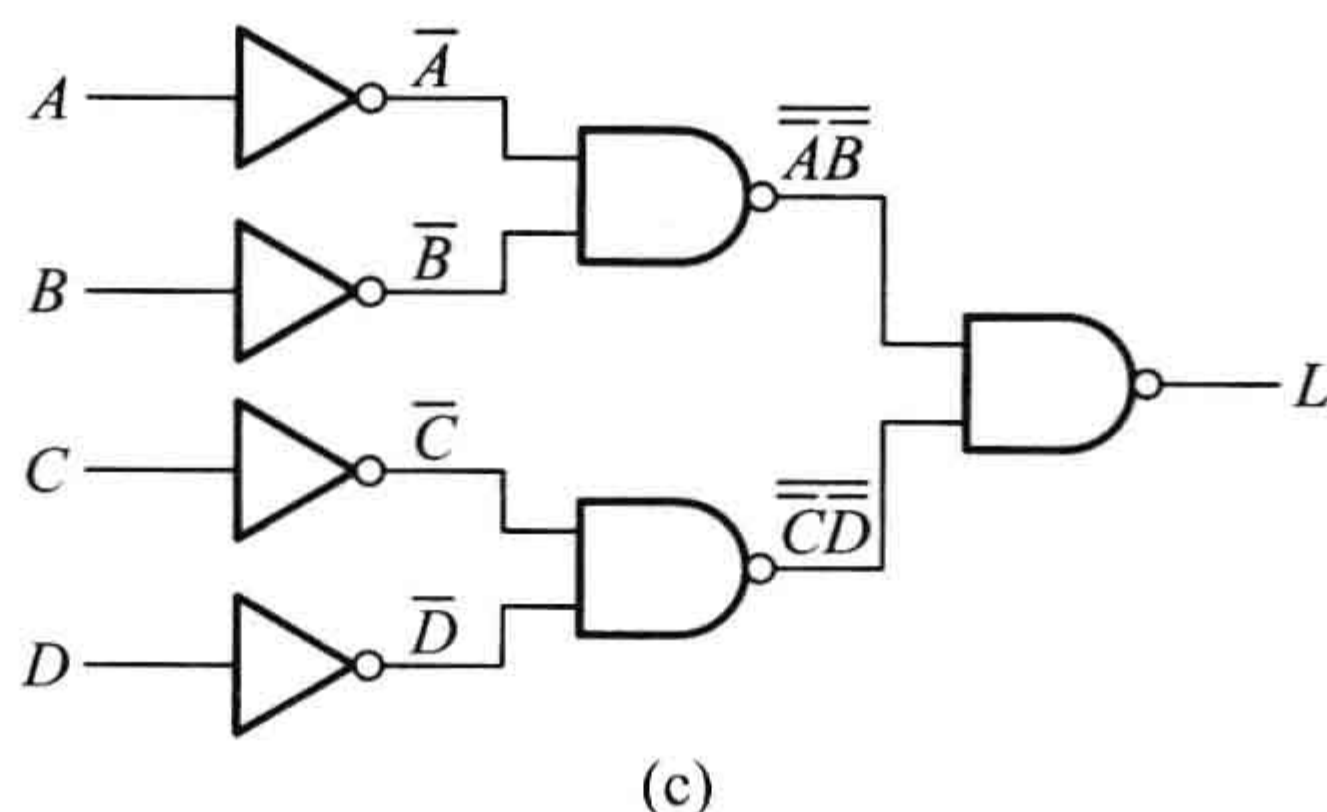
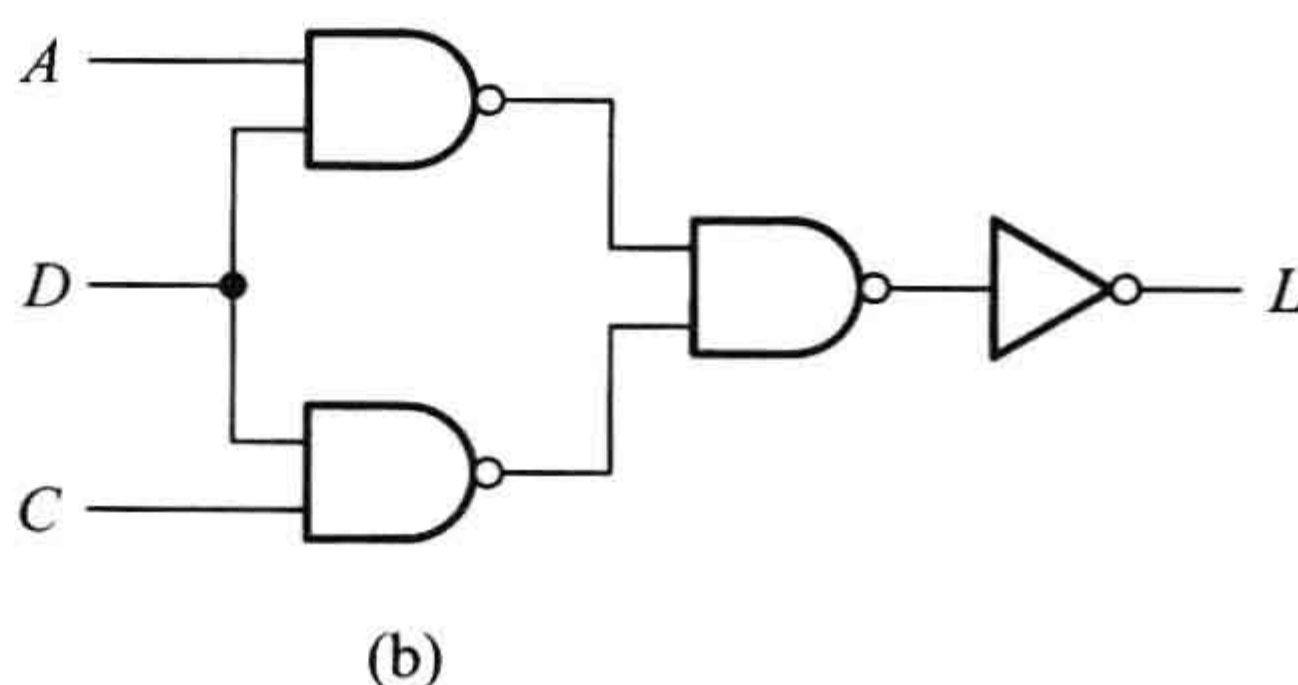
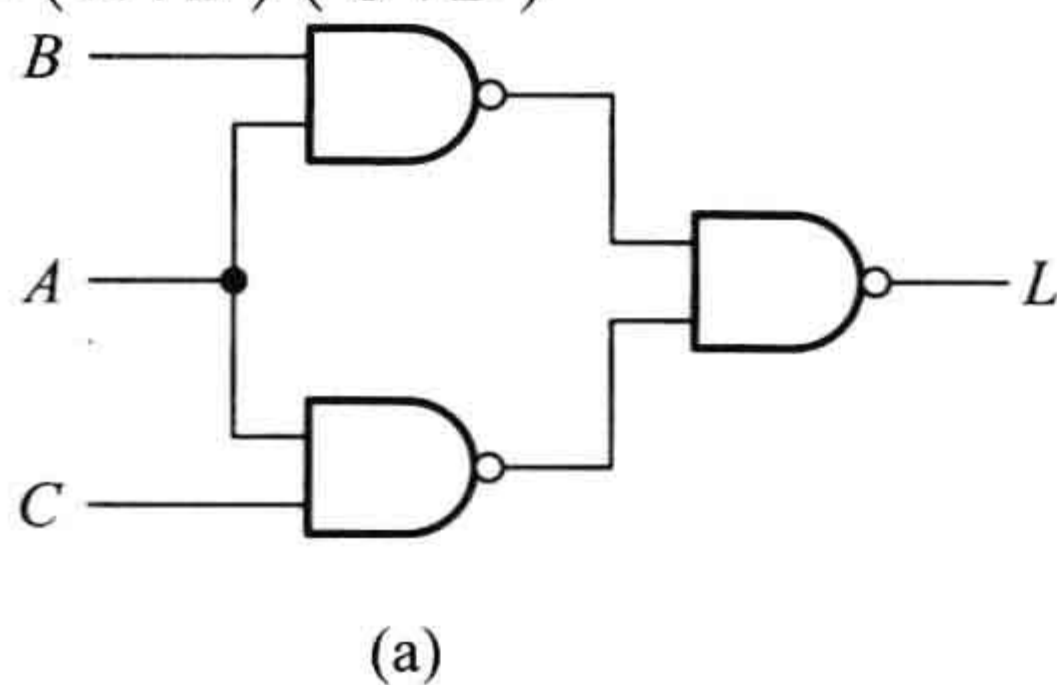
图题解 2.3.2

2.3.3 画出实现下列逻辑表达式的逻辑电路图, 限使用非门和 2 输入与非门。

(1) $L = AB + AC$

(2) $L = \overline{D(A + C)}$

(3) $L = \overline{(A + B)(C + D)}$



图题解 2.3.3

解:先将逻辑表达式化为与非-与非形式,再用与非门、非门实现函数。

$$(1) L = \overline{\overline{AB} + \overline{AC}} = \overline{\overline{AB} \overline{AC}}$$

$$(2) L = \overline{D(A+C)} = \overline{DA + DC} = \overline{DA} \cdot \overline{DC} = \overline{DA} \cdot \overline{DC}$$

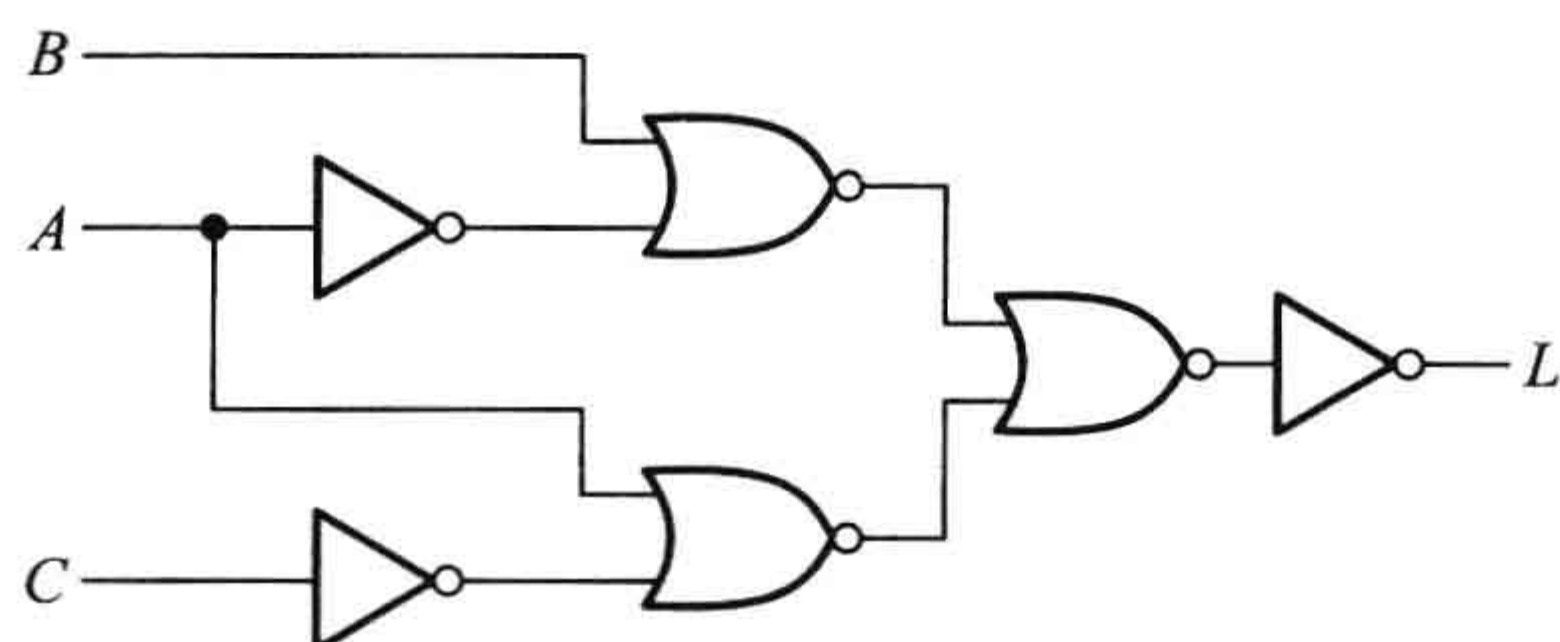
$$(3) L = \overline{(A+B)(C+D)} = \overline{A+B+C+D} = \overline{\overline{\overline{A}B} + \overline{\overline{C}D}} = \overline{\overline{A}B} \cdot \overline{\overline{C}D}$$

最后实现的逻辑电路图如图题解 2.3.3 所示。

2.3.4 已知逻辑函数表达式为 $L = A\overline{B} + \overline{A}C$, 画出实现该式的逻辑电路图, 限使用非门和 2 输入或非门。

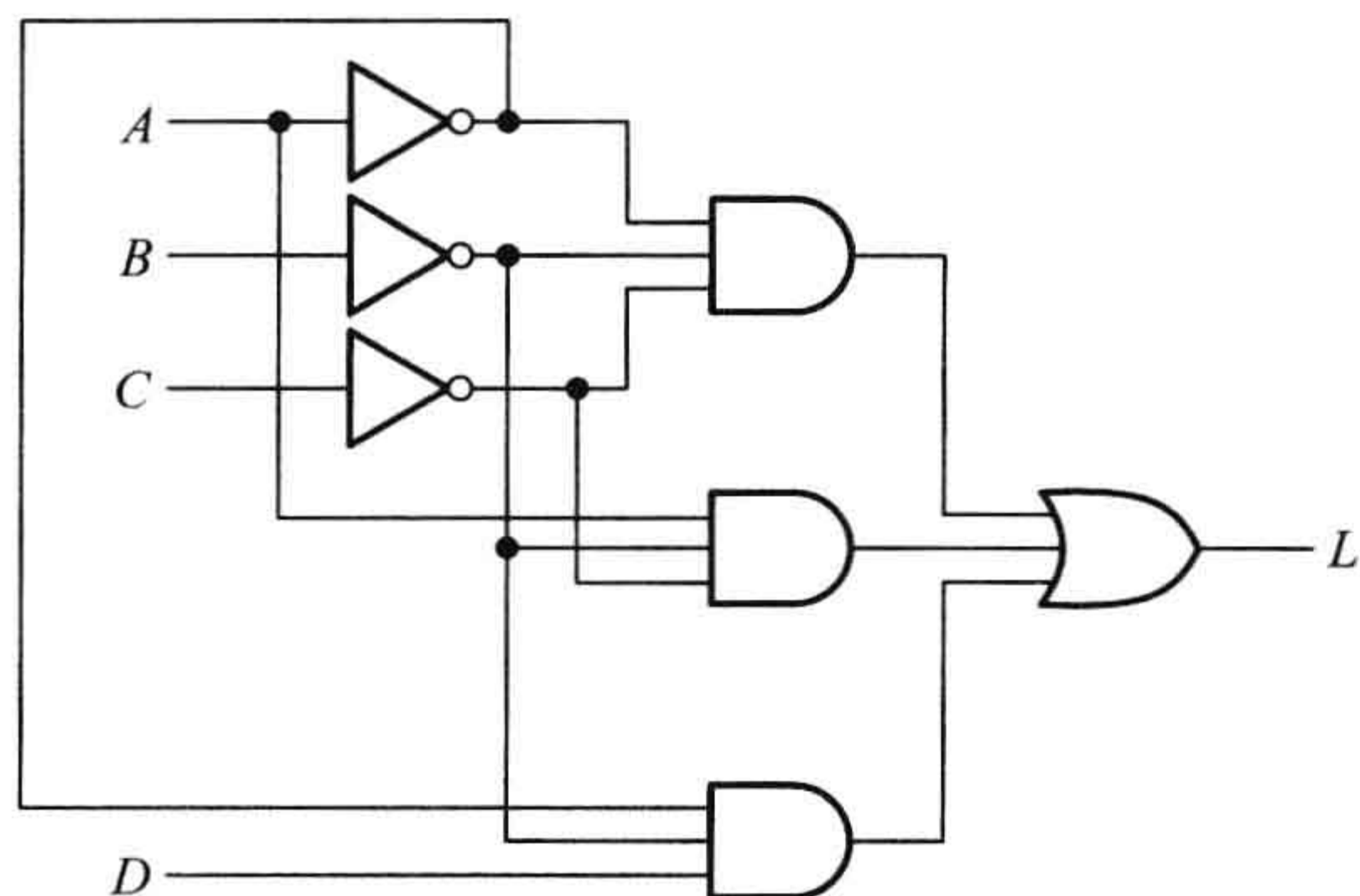
解:先将函数式化为或非-或非表达式,再用或非门和非门实现之。如图题解 2.3.4 所示。

$$L = A\overline{B} + \overline{A}C = \overline{\overline{A\overline{B} + \overline{A}C}} = \overline{\overline{A}B + \overline{\overline{A}C}} = \overline{\overline{A}B + A + C}$$

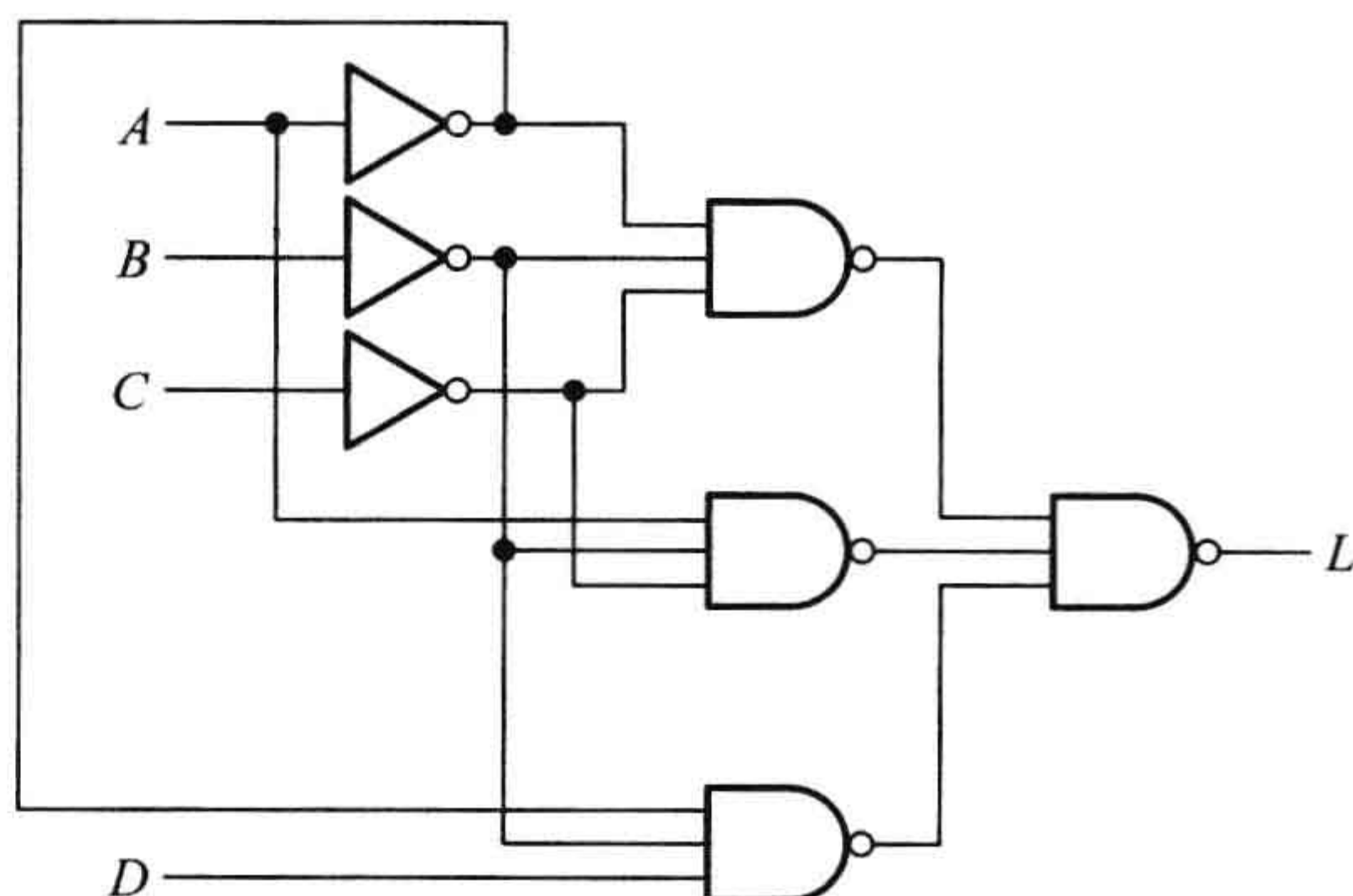


图题解 2.3.4

2.3.5 写出下列图题 2.3.5 所示电路的逻辑表达式, 将其转换成与非-与非表达式, 然后画出仅用非门和与非门实现的逻辑图。



图题 2.3.5



图题解 2.3.5

解:(1) 根据逻辑图,得到逻辑表达式

$$L = \overline{\overline{A}B} + \overline{\overline{A}C} + \overline{\overline{B}C}$$

(2) 应用摩根定理,将逻辑表达式转换成与非-与非表达式

$$\begin{aligned} L &= \overline{\overline{\overline{\overline{A}B}} + \overline{\overline{\overline{\overline{A}C}}} + \overline{\overline{\overline{\overline{B}C}}}} \\ &= \overline{\overline{A}B} \cdot \overline{\overline{A}C} \cdot \overline{\overline{B}C} \end{aligned}$$

(3) 根据与非-与非表达式,画出逻辑图,如图题解 2.3.5 所示。

2.4 逻辑函数的卡诺图化简法

2.4.1 已知逻辑函数 $L(A, B, C) = A\overline{B} + B\overline{C} + C\overline{A}$, 试用真值表、卡诺图和逻辑图(限用非门

和与非门)表示。

解:(1) 根据逻辑函数表达式,可以直接列出真值表,如表题解 2.4.1 所示。

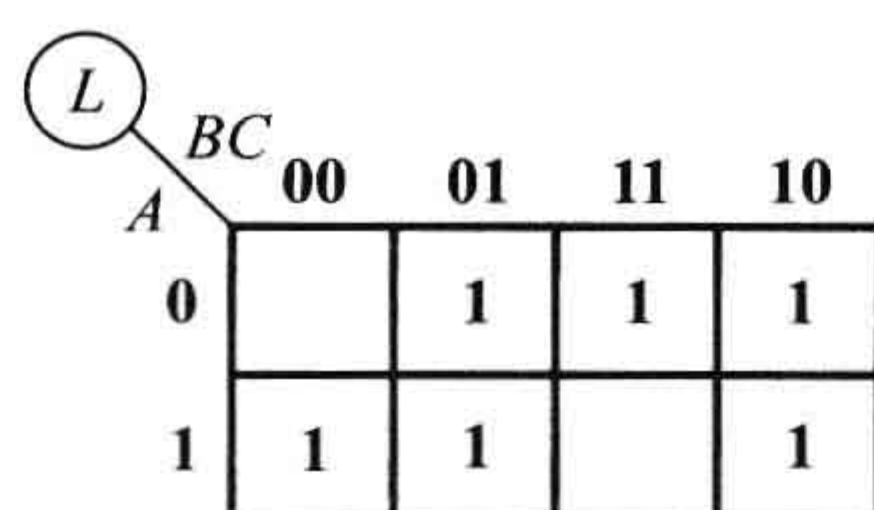
(2) 根据真值表,画出卡诺图,如图题解 2.4.1(a)所示。

(3) 应用摩根定理,将逻辑表达式转换成与非-与非表达式

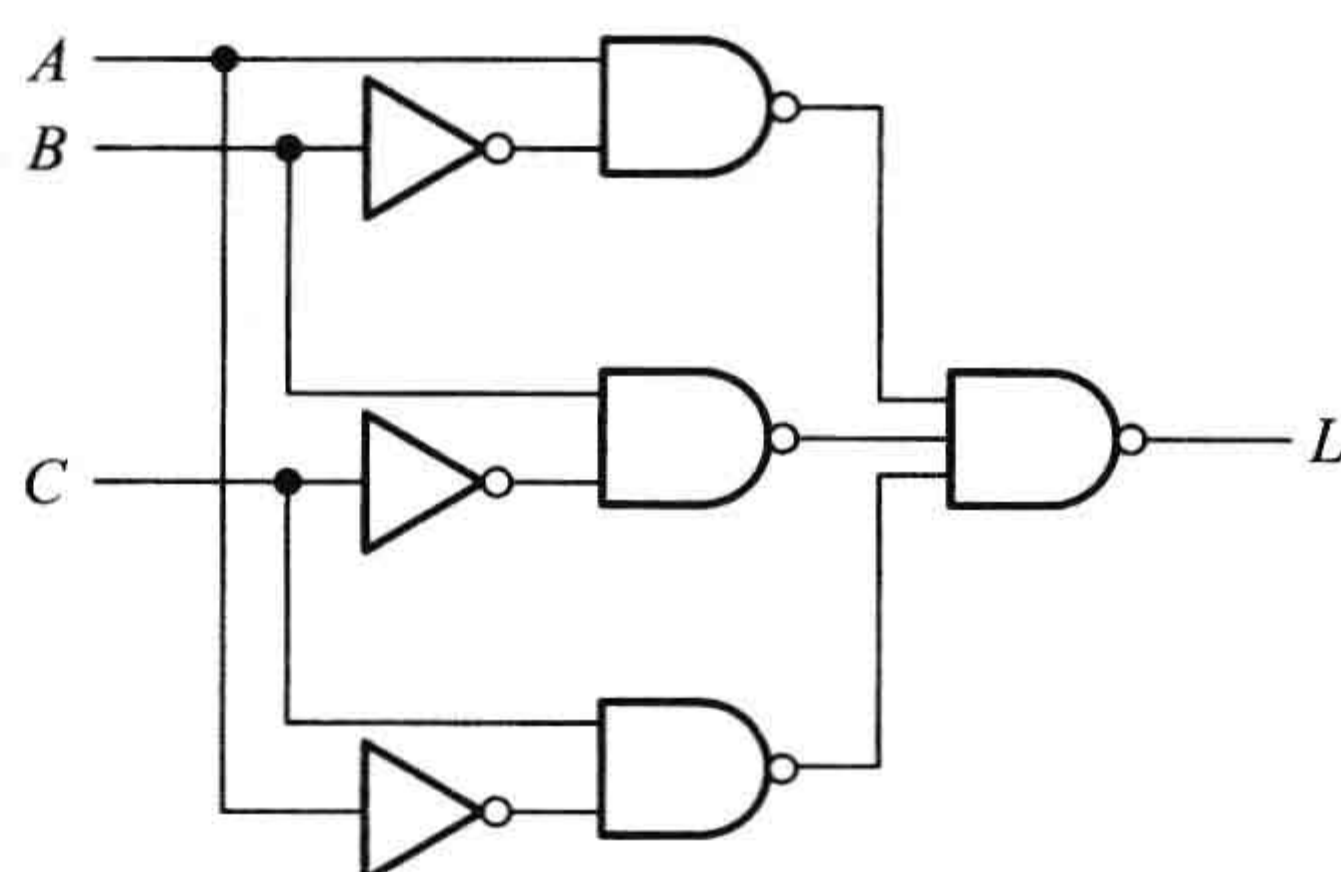
$$L(A, B, C) = \overline{\overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}} = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{B} \overline{C}} \cdot \overline{\overline{C} \overline{A}}$$

表题解 2.4.1

A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



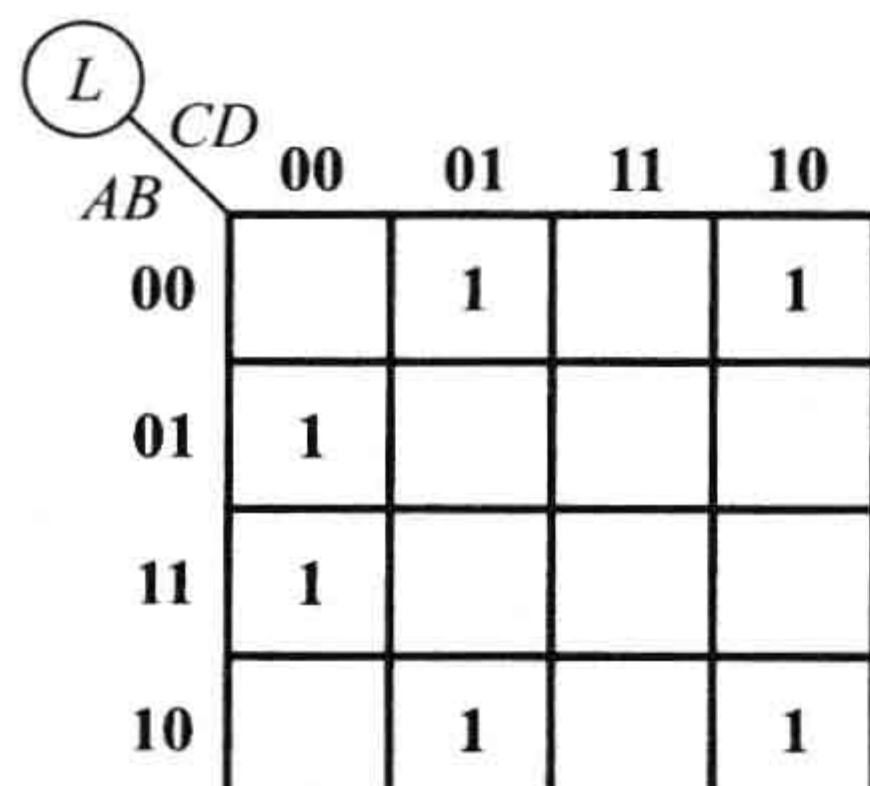
(a)



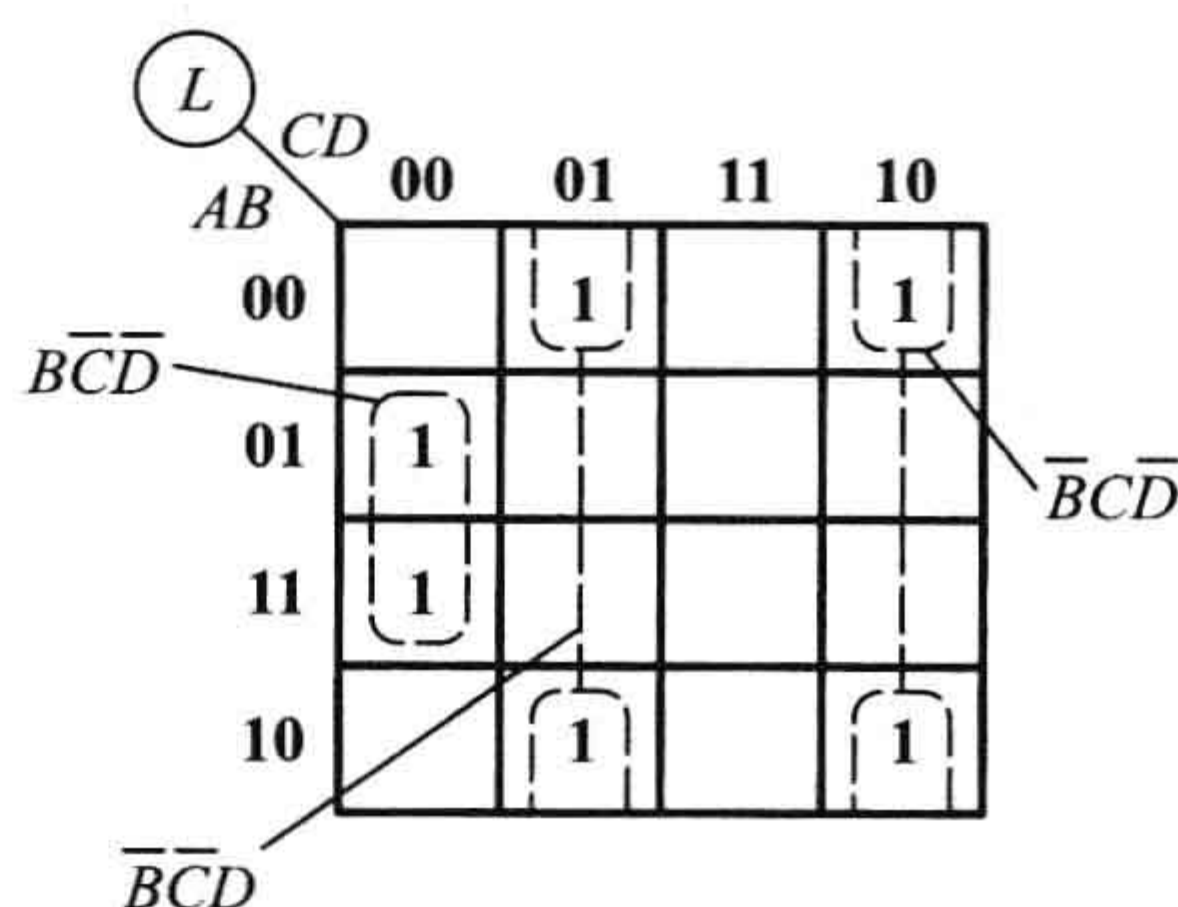
(b)

图题解 2.4.1

2.4.2 已知函数 $L(A, B, C, D)$ 的卡诺图如图题 2.4.2 所示,试写出函数 L 的最简与或表达式。



图题 2.4.2



图题解 2.4.2

解:因为任何逻辑函数都等于它的卡诺图中为 1 的那些最小项之和。要得到一个函数的最简与-或表达式,就是要将逻辑上相邻的最小项圈成一个包围圈,且每个包围圈必须含 2^n 个方格,对应每个包围圈写成一个新的乘积项,然后将所有包围圈对应的乘积项相加即可。此题可画

3 个包围圈,每个对应的乘积项如图题解 2.4.2 所示,其最简与-或表达式为:

$$L(A, B, C, D) = B\bar{C}\bar{D} + \bar{B}\bar{C}D + \bar{B}C\bar{D}$$

2.4.3 用卡诺图法化简下列各式:

$$(1) A\bar{B}CD + AB\bar{C}D + A\bar{B} + A\bar{D} + A\bar{B}C$$

$$(2) \bar{A}\bar{B}C + A\bar{B}\bar{C}D + AB\bar{C}D + ABC$$

$$(3) A\bar{B}CD + D(\bar{B}\bar{C}D) + (A+C)\bar{B}\bar{D} + \bar{A}(\bar{B}+C)$$

$$(4) L(A, B, C, D) = \sum m(0, 2, 4, 8, 10, 12)$$

$$(5) L(A, B, C, D) = \sum m(0, 1, 2, 5, 6, 8, 9, 10, 13, 14)$$

$$(6) L(A, B, C, D) = \sum m(0, 2, 4, 6, 9, 13) + \sum d(1, 3, 5, 7, 11, 15)$$

$$(7) L(A, B, C, D) = \sum m(0, 4, 6, 13, 14, 15) + \sum d(1, 2, 3, 5, 7, 9, 10, 11)$$

解:先将函数化为用最小项表示的与-或表达式,画出卡诺图(或根据表达式直接填写卡诺图),再用卡诺图化简。在画卡诺图的包围圈时,包围圈要尽可能覆盖填 1 的方格,且包围圈的数目要尽可能少,这样可得最简与-或表达式。

$$(1) A\bar{B}CD + AB\bar{C}D + A\bar{B} + A\bar{D} + A\bar{B}C$$

$$= A\bar{B}CD + AB\bar{C}D + A\bar{B}(C+\bar{C})(D+\bar{D}) + A\bar{D}(B+\bar{B})(C+\bar{C}) + A\bar{B}C(D+\bar{D})$$

$$= A\bar{B}CD + AB\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + ABC\bar{D} + AB\bar{C}\bar{D}$$

$$= m_{11} + m_{13} + m_{10} + m_9 + m_8 + m_{14} + m_{12}$$

$$= \sum m(8, 9, 10, 11, 12, 13, 14)$$

由逻辑表达式作卡诺图,如图题解 2.4.3(a)所示。

由卡诺图得最简逻辑表达式 $L = A\bar{C} + A\bar{D} + A\bar{B}$

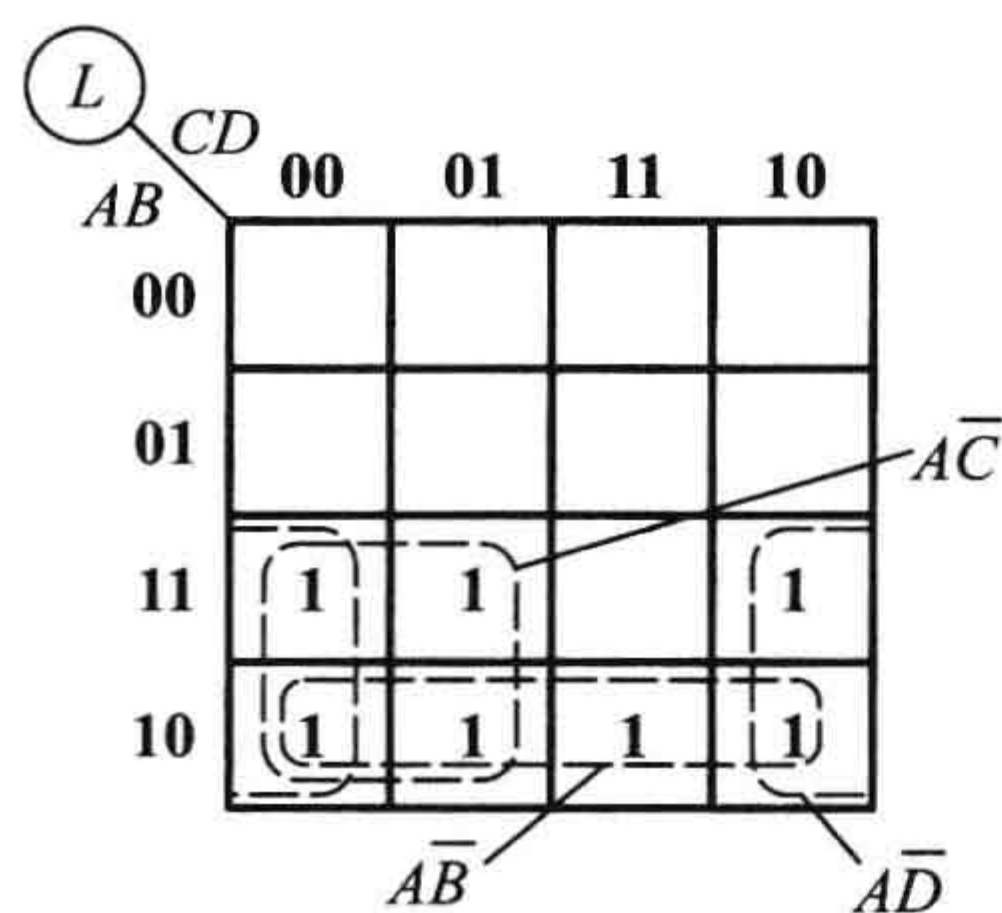
$$(2) \bar{A}\bar{B}C + A\bar{B}\bar{C}D + AB\bar{C}D + ABC$$

$$= \bar{A}\bar{B}C(D+\bar{D}) + A\bar{B}\bar{C}D + AB\bar{C}D + ABC(D+\bar{D})$$

$$= \bar{A}\bar{B}CD + \bar{A}\bar{B}C\bar{D} + A\bar{B}\bar{C}D + AB\bar{C}D + ABCD + ABC\bar{D}$$

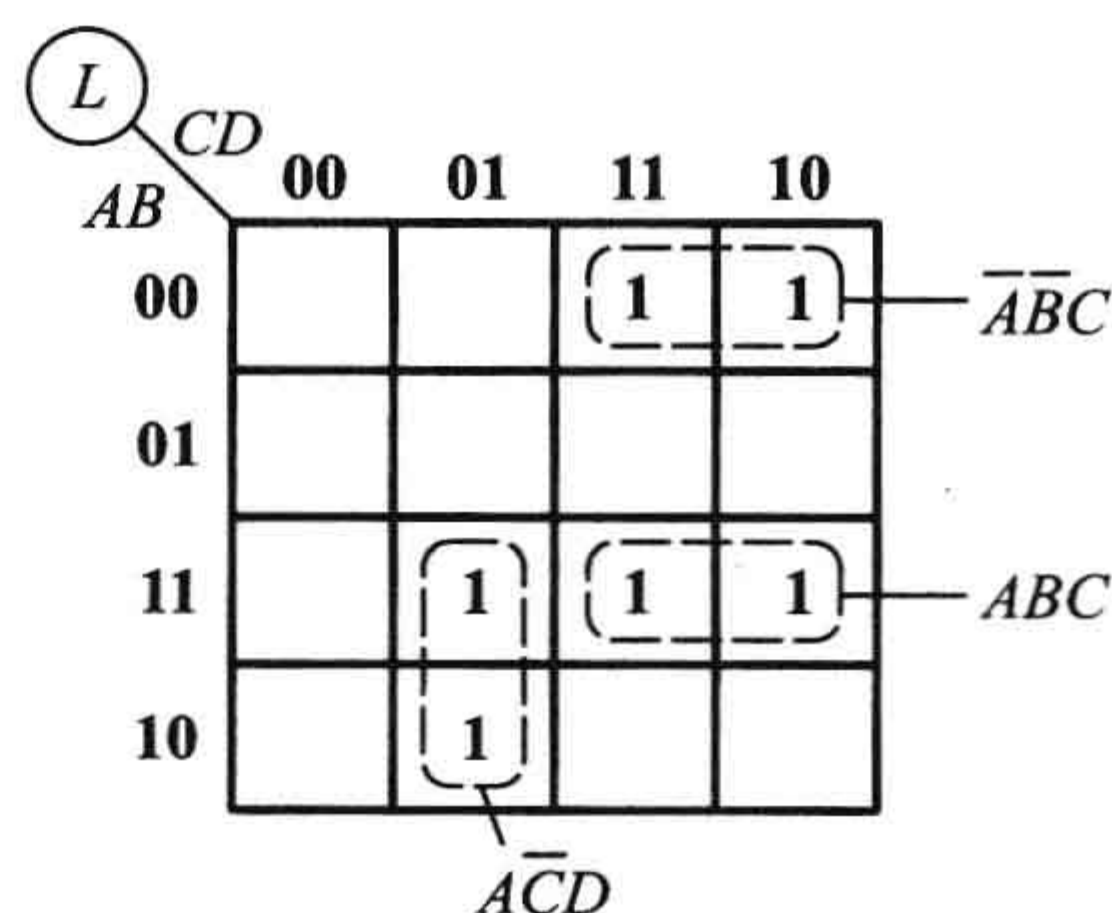
$$= \sum m(2, 3, 9, 13, 14, 15)$$

由逻辑表达式直接作卡诺图,如图题解 2.4.3(b)所示。



(a)

图题解 2.4.3(a)



(b)

图题解 2.4.3(b)

由卡诺图得最简逻辑表达式 $L = A \bar{C} \bar{D} + \bar{A} \bar{B} C + ABC$

$$\begin{aligned}
 (3) \quad & A \bar{B} C D + D(\bar{B} \bar{C} D) + (A + C) \bar{B} \bar{D} + \bar{A}(\bar{B} + C) \\
 &= A \bar{B} C D + \bar{B} \bar{C} D + AB \bar{D} + BC \bar{D} + \bar{A} B \bar{C} \\
 &= A \bar{B} C D + (A + \bar{A}) \bar{B} \bar{C} D + AB(C + \bar{C}) \bar{D} + (A + \bar{A}) BC \bar{D} + \bar{A} B \bar{C} (D + \bar{D}) \\
 &= A \bar{B} C D + A \bar{B} \bar{C} D + \bar{A} \bar{B} \bar{C} D + ABC \bar{D} + AB \bar{C} \bar{D} + \bar{A} B C \bar{D} + \bar{A} B \bar{C} \bar{D} \\
 &= \sum m(1, 4, 5, 6, 9, 11, 12, 14)
 \end{aligned}$$

由逻辑表达式直接作卡诺图,如图题解 2.4.3(c)所示。

由卡诺图得最简逻辑表达式 $L = B \bar{D} + A \bar{B} D + \bar{A} \bar{C} D$

$$(4) \quad L(A, B, C, D) = \sum m(0, 2, 4, 8, 10, 12)$$

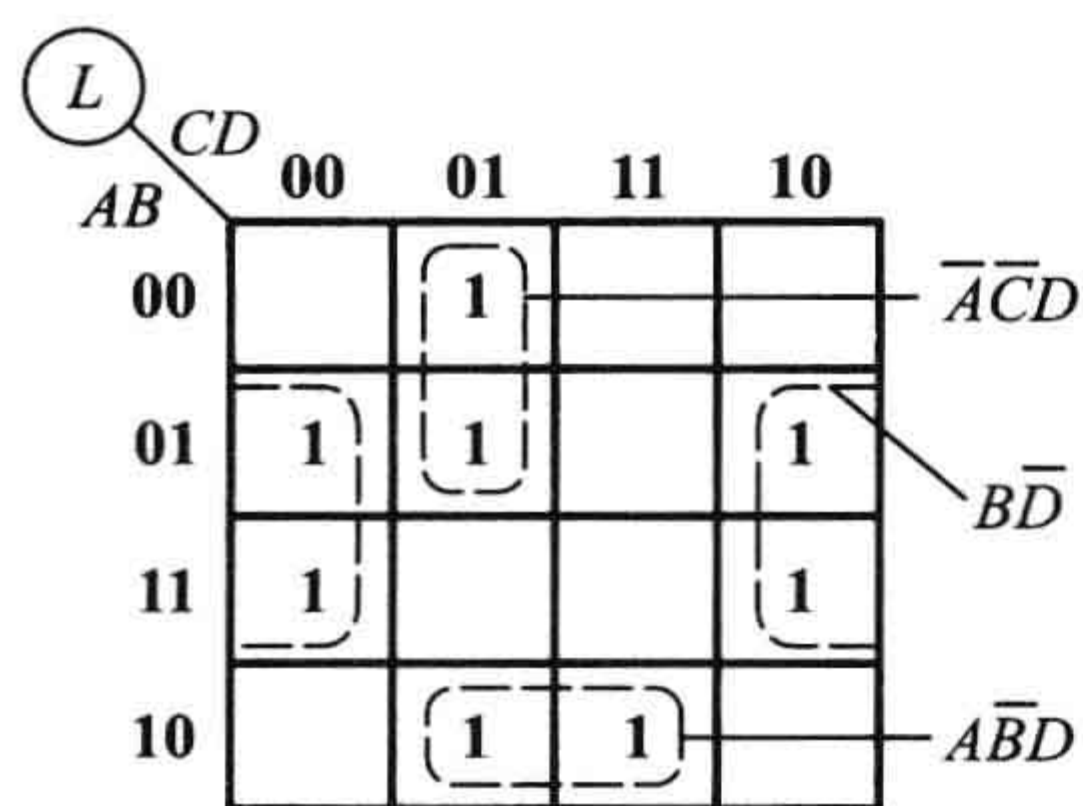
由逻辑表达式作卡诺图,如图题解 2.4.3(d)所示。

由卡诺图得最简逻辑表达式 $L = \bar{C} \bar{D} + \bar{B} \bar{D}$

$$(5) \quad L(A, B, C, D) = \sum m(0, 1, 2, 5, 6, 8, 9, 10, 13, 14)$$

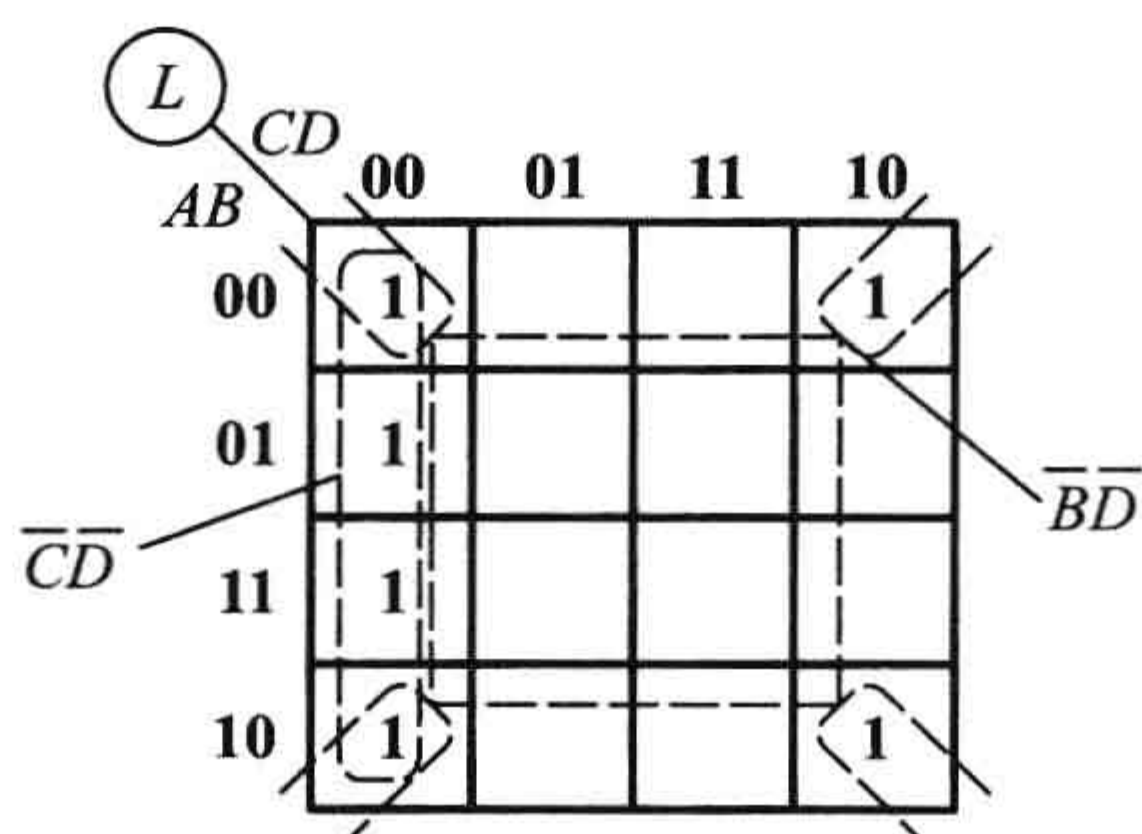
由逻辑表达式作卡诺图,如图题解 2.4.3(e)所示。

由卡诺图得最简逻辑表达式 $L = \bar{C} D + \bar{B} \bar{C} + C \bar{D}$



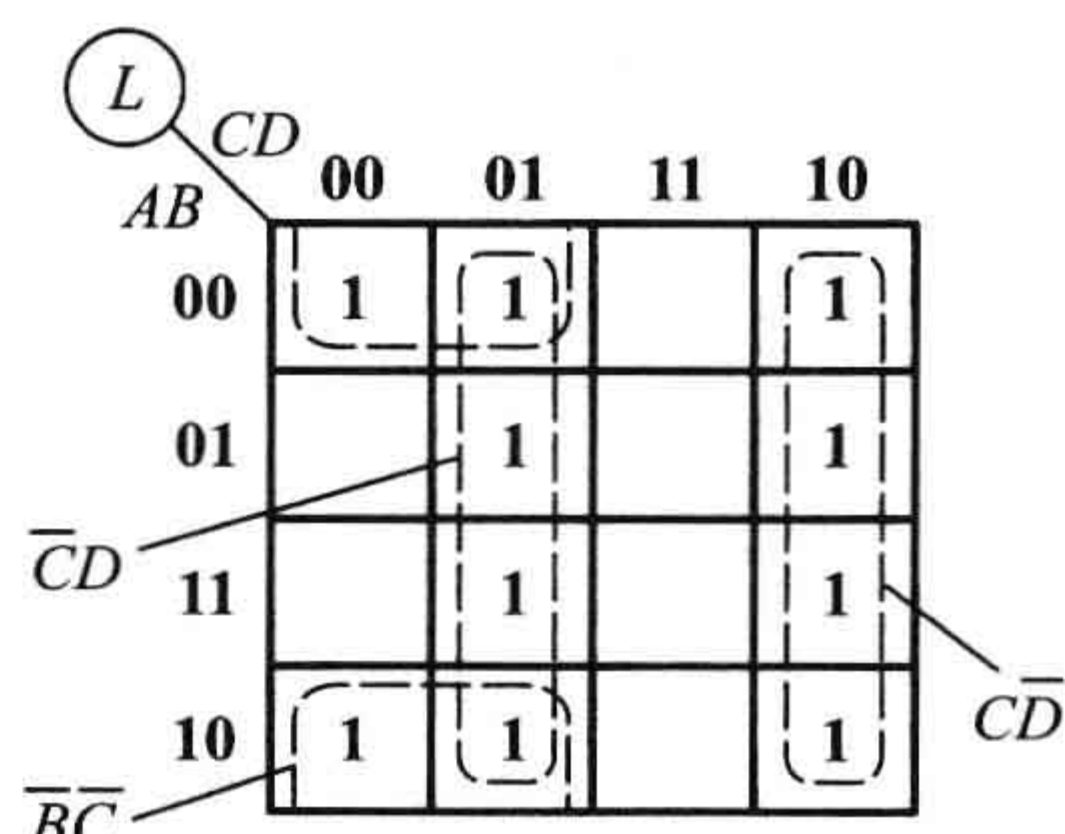
(c)

图题解 2.4.3(c)



(d)

图题解 2.4.3(d)



(e)

图题解 2.4.3(e)

$$(6) \quad L(A, B, C, D) = \sum m(0, 2, 4, 6, 9, 13) + \sum d(1, 3, 5, 7, 11, 15)$$

由逻辑表达式作卡诺图,如图题解 2.4.3(f)所示。

由卡诺图得最简逻辑表达式 $L = \bar{A} + D$

$$(7) \quad L(A, B, C, D) = \sum m(0, 4, 6, 13, 14, 15) + \sum d(1, 2, 3, 5, 7, 9, 10, 11)$$

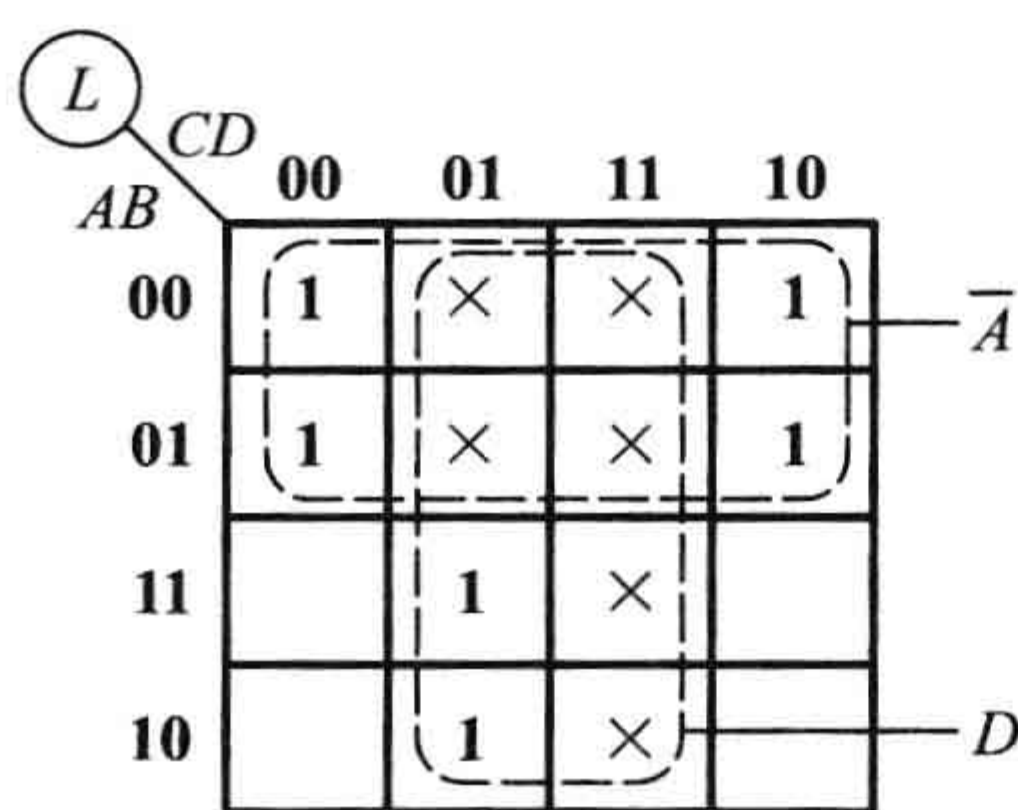
由逻辑表达式作卡诺图,如图题解 2.4.3(g)所示,此题卡诺图采用了另一种简化画法。

由卡诺图得最简逻辑表达式 $L = \bar{A} + C + D$

2.4.4 用卡诺图化简法,求下列函数的最简或与表达式。

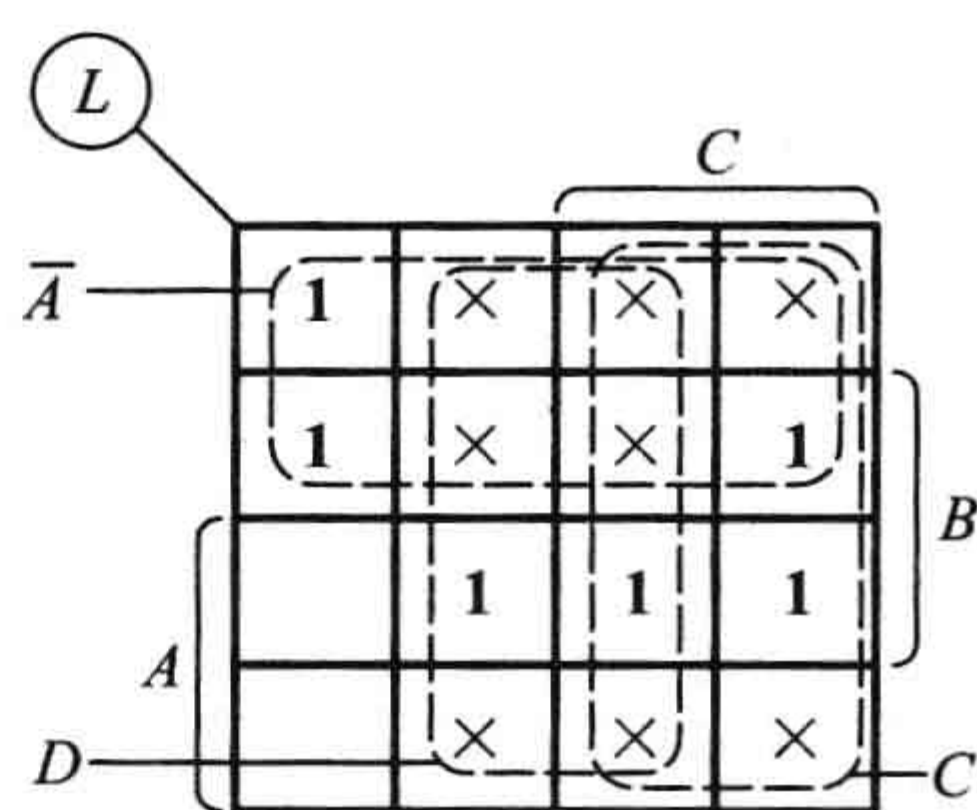
$$(1) \quad L(A, B, C, D) = A \bar{C} + AD + \bar{B} \bar{C} + \bar{B} D$$

$$(2) \quad L(A, B, C, D) = \sum m(3, 4, 5, 7, 13, 14, 15)$$



(f)

图题解 2.4.3(f)



(g)

图题解 2.4.3(g)

$$(3) L(A, B, C, D) = (\bar{A} + D)(B + \bar{D})(A + B)$$

$$(4) L(A, B, C, D) = \prod M(3, 4, 6, 7, 11, 12, 13, 14, 15)$$

解:求一个函数的最简或与表达式,通常采用“两次取反法”,具体可分为两种情况处理:

- ① 当给定的函数 L 为与或表达式时,首先画出卡诺图,合并卡诺图上的 0 方格,求出非函数 $\bar{L}$ 的最简与或表达式,然后对 $\bar{L}$ 取非,得到函数 L 的最简或与表达式。② 当给定的函数 L 为或与表达式时,首先根据反演规则求出非函数 $\bar{L}$,画出 $\bar{L}$ 的卡诺图,合并卡诺图上的 1 方格,求出非函数 $\bar{L}$ 的最简与或表达式,然后对 $\bar{L}$ 取非,得到函数 L 的最简或与表达式。

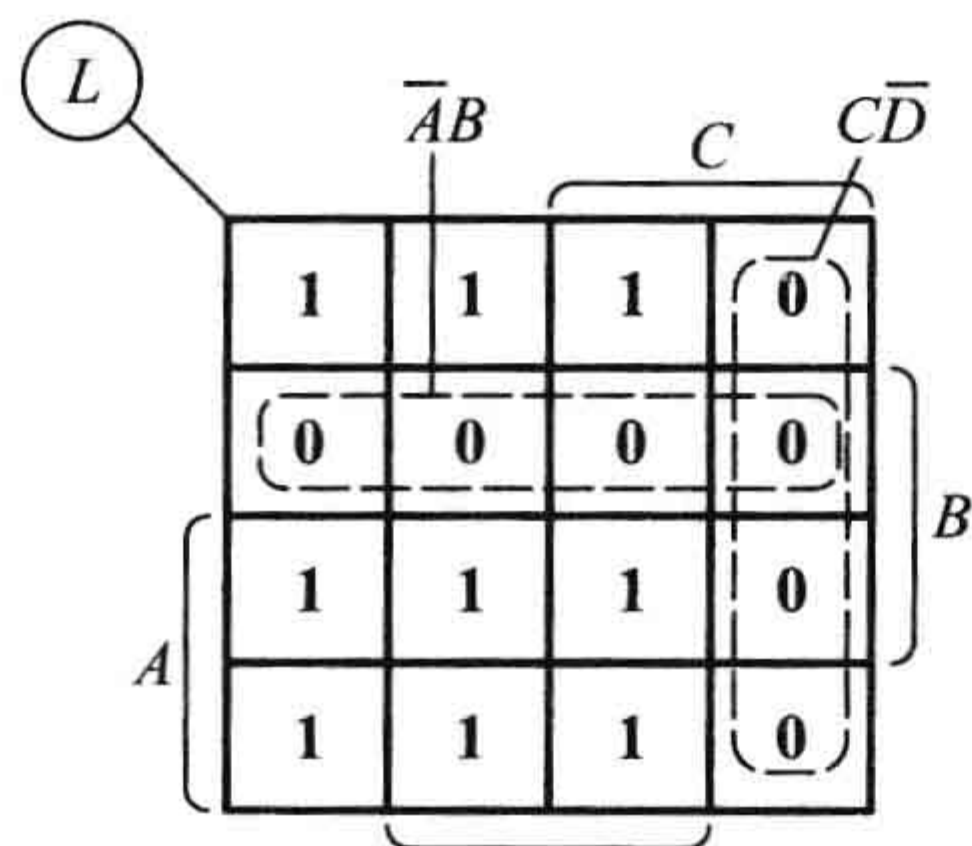
(1) 首先根据给定的逻辑表达式,画出卡诺图,如图题解 2.4.4(a)所示。图中,1 方格表示原函数 L 所包含的最小项,0 方格表示非函数 $\bar{L}$ 所包含的最小项(L 为 0 时, $\bar{L}$ 为 1)。合并卡诺图中的 0 方格,可以得到非函数 $\bar{L}$ 的最简与或表达式为

$$\bar{L}(A, B, C, D) = \bar{A}B + C\bar{D}$$

然后对 $\bar{L}$ 的最简与或表达式取非,得到函数 L 的最简或与表达式

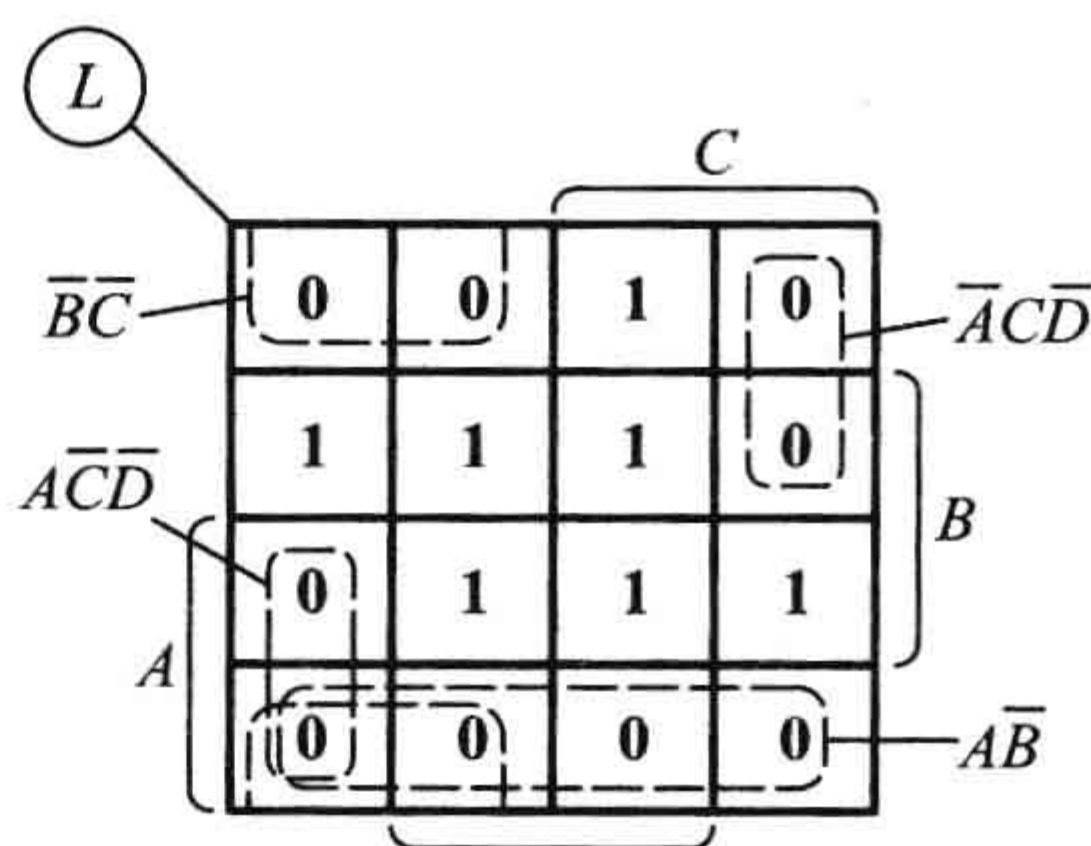
$$L(A, B, C, D) = \overline{\bar{A}B + C\bar{D}} = (\bar{A} + \bar{B})(\bar{C} + D)$$

(2) 根据给定的逻辑表达式,画出卡诺图,如图题解 2.4.4(b)所示。合并卡诺图中的 0 方格,得到非函数 $\bar{L}$ 的最简与或表达式为



(a)

图题解 2.4.4(a)



(b)

图题解 2.4.4(b)

$$\bar{L}(A, B, C, D) = A\bar{B} + \bar{B}\bar{C} + A\bar{C}\bar{D} + \bar{A}\bar{C}\bar{D}$$

然后对 $\bar{L}$ 的最简与或表达式取非, 得到函数 L 的最简或与表达式

$$\begin{aligned} L(A, B, C, D) &= \overline{A\bar{B} + \bar{B}\bar{C} + A\bar{C}\bar{D} + \bar{A}\bar{C}\bar{D}} \\ &= (\bar{A} + B)(B + C)(\bar{A} + C + D)(A + \bar{C} + D) \end{aligned}$$

(3) 根据给定的或与表达式, 应用反演规则, 得到非函数 $\bar{L}$ 的表达式

$$\bar{L}(A, B, C, D) = A\bar{D} + \bar{B}D + \bar{A}\bar{B}$$

画出 $\bar{L}$ 的卡诺图, 如图题解 2.4.4(c) 所示。合并卡诺图中的 1 方格, 得到非函数 $\bar{L}$ 的最简与或表达式为

$$\bar{L}(A, B, C, D) = \bar{B} + A\bar{D}$$

然后对 $\bar{L}$ 的最简与或表达式取非, 得到函数 L 的最简或与表达式

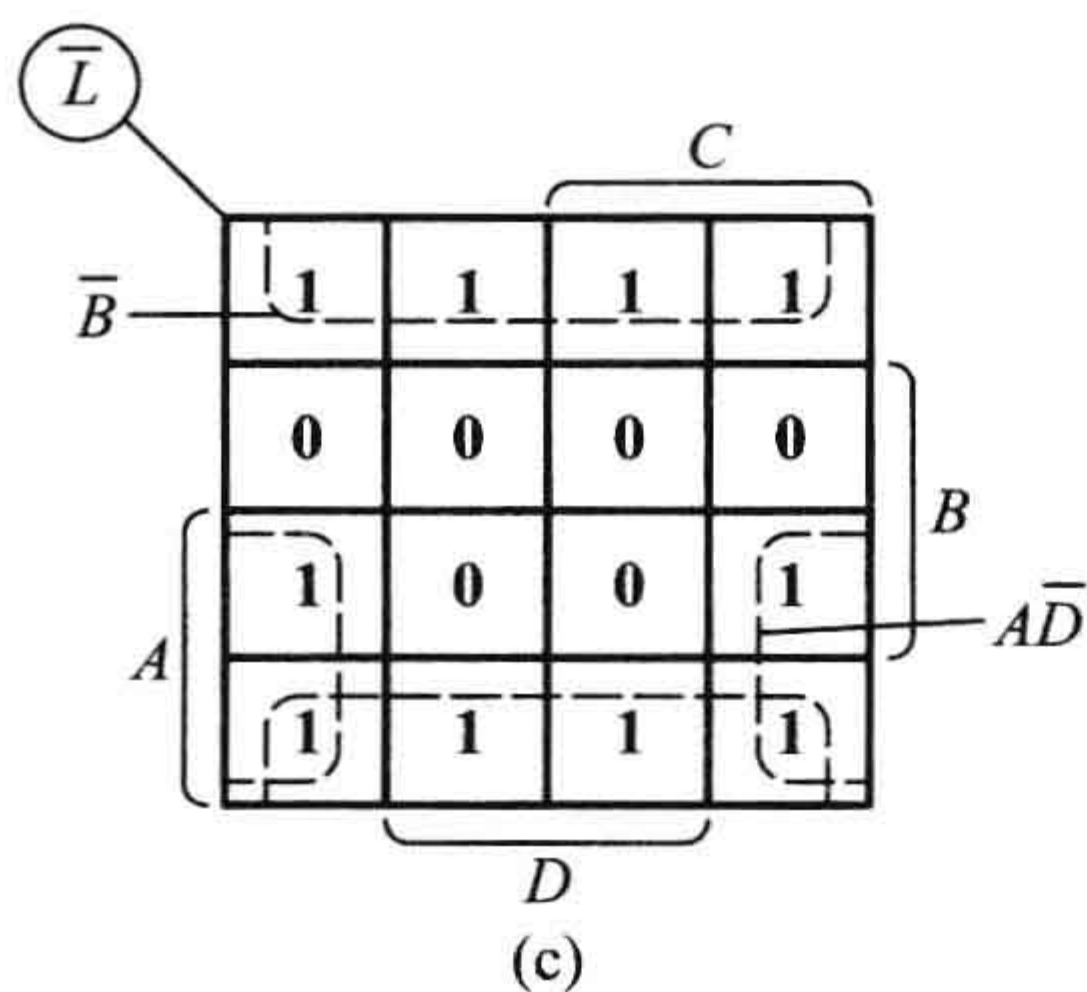
$$L(A, B, C, D) = \overline{\bar{B} + A\bar{D}} = B(\bar{A} + D)$$

(4) 根据给定的最大项表达式, 画出 L 的卡诺图, 如图题解 2.4.4(d) 所示。合并卡诺图中的 0 方格, 得到非函数 $\bar{L}$ 的最简与或表达式为

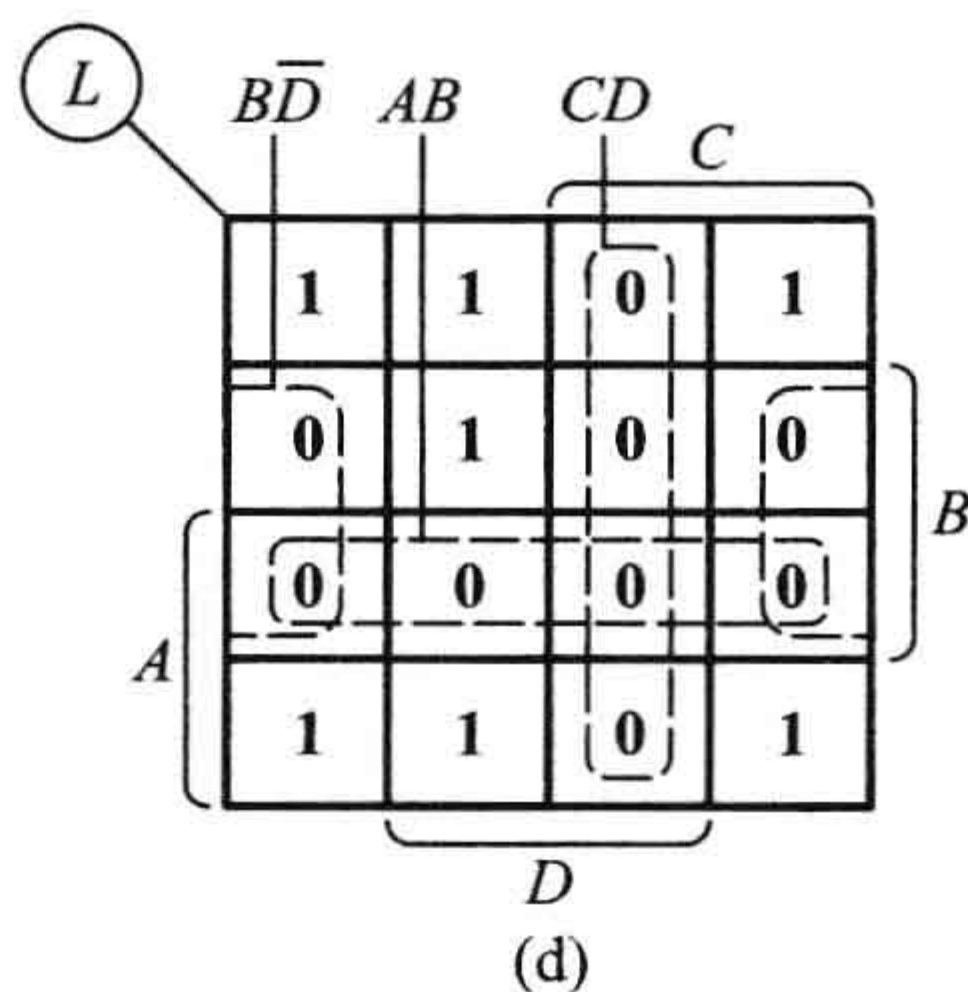
$$\bar{L}(A, B, C, D) = B\bar{D} + AB + CD$$

然后对 $\bar{L}$ 的最简与或表达式取非, 得到函数 L 的最简或与表达式

$$L(A, B, C, D) = \overline{B\bar{D} + AB + CD} = (\bar{B} + D)(\bar{A} + \bar{B})(\bar{C} + \bar{D})$$



图题解 2.4.4(c)



图题解 2.4.4(d)

2.5 硬件描述语言 Verilog HDL 基础

2.5.1 在 Verilog HDL 中, 下列标识符是否正确?

(1) system1 (2) 2reg (3) FourBit_Adder (4) exec\$ (5) _2to1mux

解: (1)、(3)、(4) 和 (5) 正确; (2) 错误, 因为标识符通常由英文字母、数字、\$ 符或者下划线组成, 并且规定标识符必须以英文字母或下划线开始, 不能以数字或 \$ 符开头。该标识符以数字开头, 所以它是错误的。

2.5.2 Verilog 语言规定的 4 种基本逻辑值是什么?

答: Verilog 语言规定的 4 种基本逻辑值如表题解 2.5.2 所示。

表题解 2.5.2 4 种逻辑状态的表示

0	逻辑 0、逻辑假
1	逻辑 1、逻辑真
x 或 X	不确定的值(未知状态)
z 或 Z	高阻态

2.5.3 在 Verilog 程序中,如果没有说明输入、输出变量的数据类型,试问它们的数据类型是什么?

答:在 Verilog 程序中,默认的数据类型为 1-bit 的 wire 类型。

2.5.4 填空题:

(1) 问下列运算的二进制值是多少?

reg [3:0] m;
m=4'b1010; // {2{m}} 的二进制值是 _____ ;

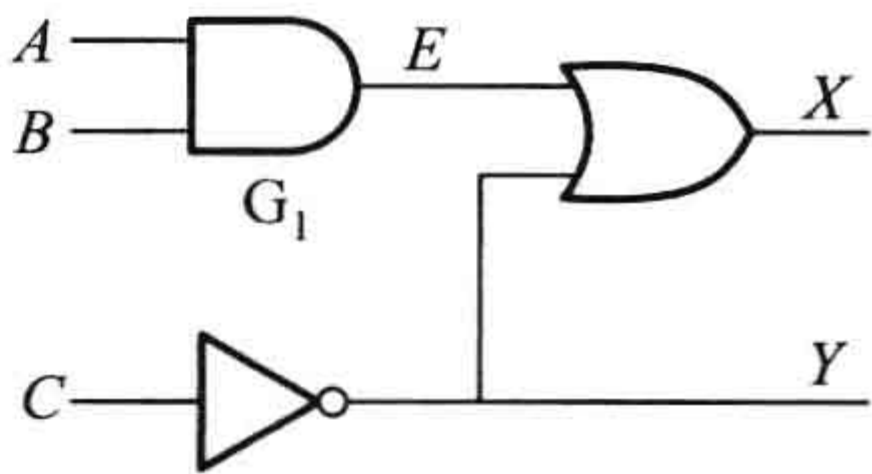
(2) 假设 m=4'b0101,按要求填写下列运算的结果:

&m = _____ , |m = _____ ,
^m = _____ , ~^m = _____ 。

解:(1) {2{m}} 的二进制值是 8'b1010_1010 ;
(2) &m = 1'b0, |m = 1'b1, ^m = 1'b0, ~^m = 1'b1。

2.5.5 下列 Verilog 程序描述了图题 2.5.5 所示的电路,但程序中每一行有一个语法错误,请改正。(注意:基本门级元件的调用名可以省略)。

```
module Ex1(A,B,C,X,Y)
  input A, B, C
  output X, Y
  reg E;
  and G1(A,B,E);
  NOT (Y, C);
  OR (X, E, Y);
endmodule;
```



图题 2.5.5

解:在第 1、2、3 行末尾添加漏掉了的分号,第 4 行将“reg E;”改为“wire E;”,第 5 行将“and G1(A,B,E);”改为“and G1(E , A, B);”,第 6 行将“NOT (Y, C);”改为“not (Y, C);”,第 7 行将“OR (X, E, Y);”改为“or (X, E, Y);”,第 8 行将末尾的分号去掉。

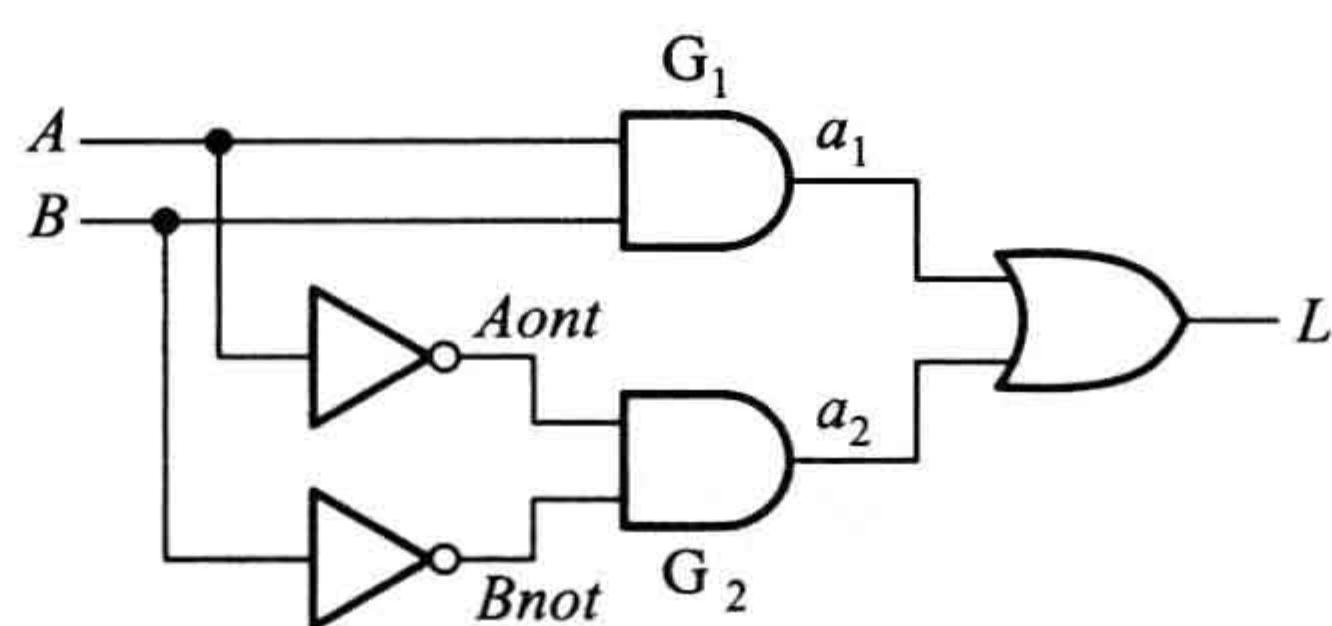
2.5.6 根据下面的 HDL 描述,画出数字电路的逻辑图。

```
module circuit(A,B,L);
  input A,B;
  output L;
  wire a1,a2,Anot,Bnot;
```



```
and G1(a1,A,B);  
and G2(a2,Anot,Bnot);  
not (Anot,A);  
not (Bnot,B);  
or (L,a1,a2);  
endmodule
```

解:逻辑图如图题解 2.5.6 所示。



图题解 2.5.6

3 逻辑门电路

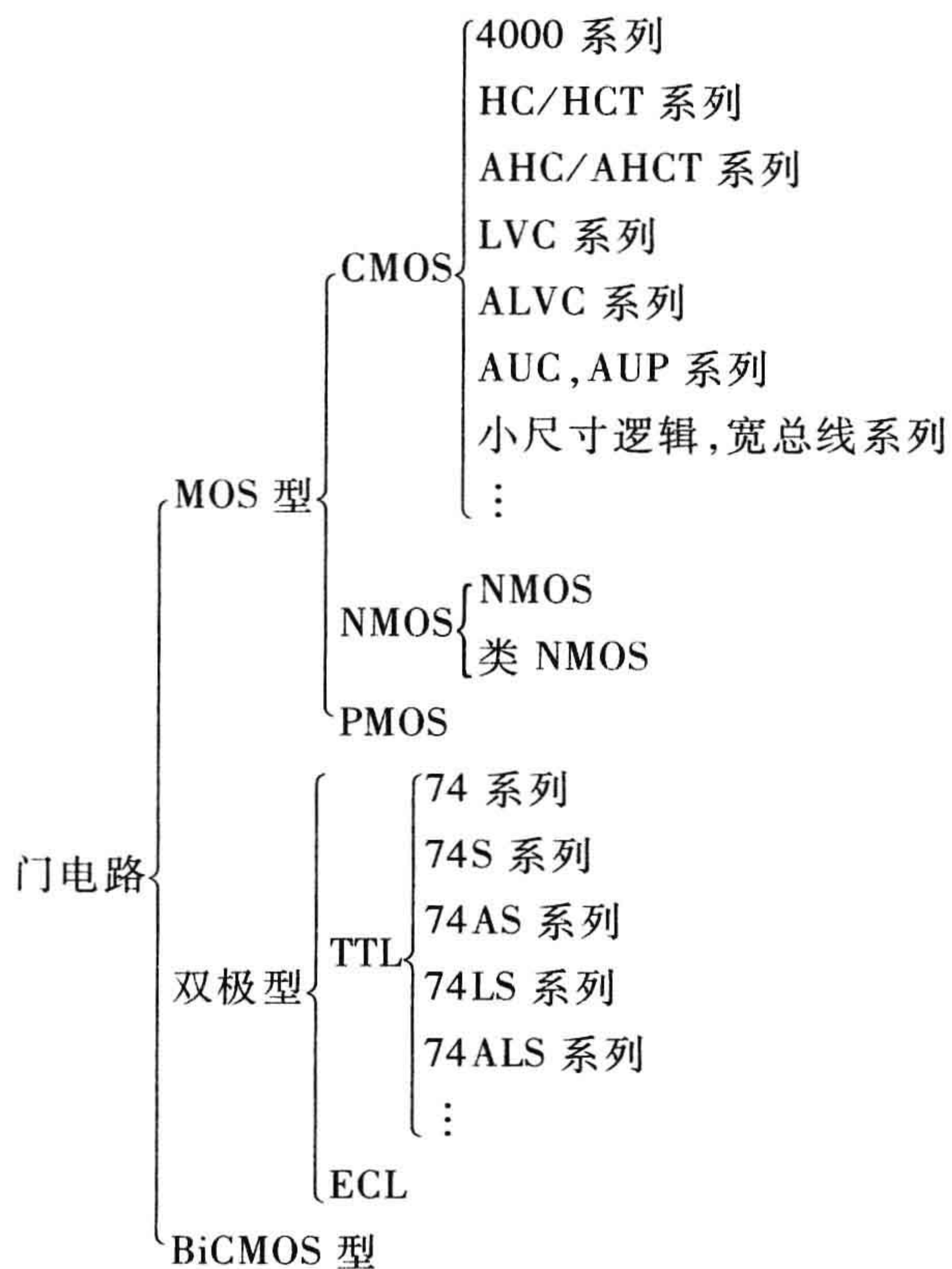
数字电路中,各种逻辑运算都是用相应的门电路实现的。门电路是组成数字电路的基本逻辑单元。

一、内容提要及重点

本章的内容提要:

1. 门电路的分类

(1) 根据制造工艺分:



(2) 根据输出结构分:

门电路 { 普通输出:互补输出(CMOS)/推拉式输出(TTL)
 { OD 输出/OC 输出
 { 三态输出

(3) 根据逻辑功能分:

门电路 { 与门
 { 或门
 { 非门
 { 与非门
 { 或非门
 { 与或非门
 { 异或门
 { 同或门

2. 数字电路中 MOS 管或 BJT 管工作在“闭合”和“断开”两种状态。

3. MOS 管的输出特性分为三个区:截止区、饱和区、可变电阻区。数字电路中 MOS 管工作在截止区或可变电阻区。

4. BJT 管的输出特性分为三个区:截止区、放大区、饱和区。数字电路中 BJT 管工作在截止区或饱和区。

5. 半导体器件的特性分为静态特性和动态特性。静态特性是指 MOS 管或 BJT 管工作在导通或截止状态下的特性。动态特性是指开关管在状态转换过程的特性。

6. 逻辑门电路的重要参数有:输入和输出高、低电平,噪声容限,传输延迟时间,功耗,扇入和扇出数等等。

7. 当不同系列的逻辑门电路混合使用时,要考虑门电路的输入或输出电平是否超过数据手册规定的极值,逻辑电平兼容问题以及扇出问题。即:

$$V_{I(\min)} \leq V_I \leq V_{I(\max)}$$

$$V_{O(\min)} \leq V_O \leq V_{O(\max)}$$

$$V_{OH(\min)} \geq V_{IH(\min)}$$

$$V_{OL(\max)} \leq V_{IL(\max)}$$

$$I_{OL(\max)} \geq |I_{IL(\text{total})}|$$

$$|I_{OH(\max)}| \geq I_{IH(\text{total})}$$

8. 集成门电路在使用时,一般不让多余的输入端悬空,以防止引入干扰信号。对多余输入端的处理以不改变电路工作状态并且稳定可靠为原则。

本章的重点:

MOS 管及 BJT 管的开关特性。CMOS 及 TTL 门电路的逻辑功能和主要的外特性,包括电压传输特性,输入、输出特性及动态特性。

二、典型例题解析

例 3.1 NMOS 构成的开关电路如图 3.1 所示,其参数为 $K_n = 4 \text{ mA/V}$, $V_T = 0.8 \text{ V}$ 。该电路用于使发光二极管导通或截止。二极管的正向压降为 $V_F = 1.5 \text{ V}$ 。如果输入 $v_i = 5 \text{ V}$ 时二极管导通电流为 12 mA ,试确定此时 R_d 及 v_{DS} 的数值。

解题思路: NMOS 构成的开关电路中,为了使 NMOS 管工作在开关状态,必须保证输入为低电平时 NMOS 管工作在截止区, d、s 间呈现高阻抗,漏极电流近似为零, v_{DS} 趋于 V_{DD} ; 输入为高电平时 NMOS 管工作在可变电阻区, d、s 间呈现低阻抗,使 v_{DS} 趋于零。

解: (1) 当 $v_i = 0$ 时, $v_{GS} < V_T$, 因此, NMOS 管处于截止状态。

(2) 当 $v_i = 5 \text{ V}$ 时, 要求 NMOS 管工作在可变电阻区。

因为 $i_D = K_n [2(v_{GS} - V_T)v_{DS} - v_{DS}^2]$, 将已知参数代入并整理得

$$v_{DS}^2 - 8.4v_{DS} + 3 = 0$$

解得 $v_{DS1} = 0.37 \text{ V}$, $v_{DS2} = 8.03 \text{ V}$ (舍去)。

$v_{DS} = 0.37 \text{ V} < (v_{GS} - V_T) = 4.2 \text{ V}$, NMOS 管确实工作在可变电阻区。

则

$$\begin{aligned} R_d &= \frac{V_{DD} - V_F - v_{DS}}{i_D} \\ &= \frac{5 - 1.5 - 0.37}{12} \text{ k}\Omega \\ &\approx 261 \Omega \end{aligned}$$

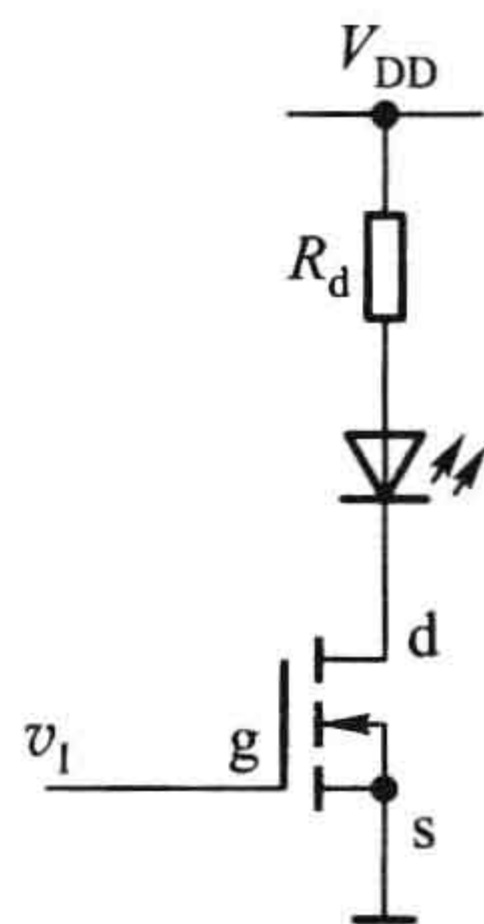


图 3.1 例 3.1 电路

例 3.2 试分析图 3.2 所示的 CMOS 电路,写出其逻辑表达式,说明它是什么逻辑电路?

解题思路: ① 将电路分成若干基本功能结构模块。图 3.2 所示的 CMOS 电路包括两个输入反相器、一个输出反相器、一个传输门及 T_1 、 T_2 和 T_3 构成的电路。

② 写出每个模块的输出与输入的逻辑关系。由于电路结构比较复杂,所以根据输入信号的不同取值列真值表进行分析。

解: 传输门由 B 和 $\bar{B}$ 控制,当 $B = 0$ 时传输门导通, $B = 1$ 时传输门截止。 T_1 、 T_2 和 T_3 构成的电路的工作状态由 $\bar{B}$ 控制,当 $\bar{B} = 1$ 时 T_1 、 T_3 均截止, T_1 、 T_2 和 T_3 构成的电路不工作;当 $\bar{B} = 0$ 时 T_1 、 T_3 均导通, T_1 、 T_2 和 T_3 构成的电路工作,并且起反相器作用,其输出等于 A 。

综上所述,当 $B = 0$ 时, T_1 、 T_2 和 T_3 构成的反相器不工作,传输门导通,输出 $L = A$; 当 $B = 1$ 时 T_1 、 T_2 和 T_3 构成的反相器工作,传输门截止,输出 $L = \bar{A}$ 。列出真值表如表 3.2 所示。其逻辑表达式 $L = \bar{A}B + A\bar{B} = A \oplus B$, 故图 3.2 所示电路为异或门电路。

例 3.3 图 3.3 所示电路为 74HCT03 中的两个 OD 与非门线与连接,驱动 74LS00 中的两个 TTL 与非门,并且 TTL 与非门的两个输入端并联使用,试确定上拉电阻 R_p 的取值范围。已知 $V_{DD} = 5 \text{ V}$, OD 门高电平输出漏电流 $I_{OZ} = 5 \mu\text{A}$, $V_{OL(\max)} = 0.33 \text{ V}$, $I_{OL(\max)} = 4 \text{ mA}$, $V_{OH(\min)} = 3.84 \text{ V}$,

TTL 门参数为 $I_{IL}=0.4\text{ mA}$, $I_{IH}=20\text{ }\mu\text{A}$ 。

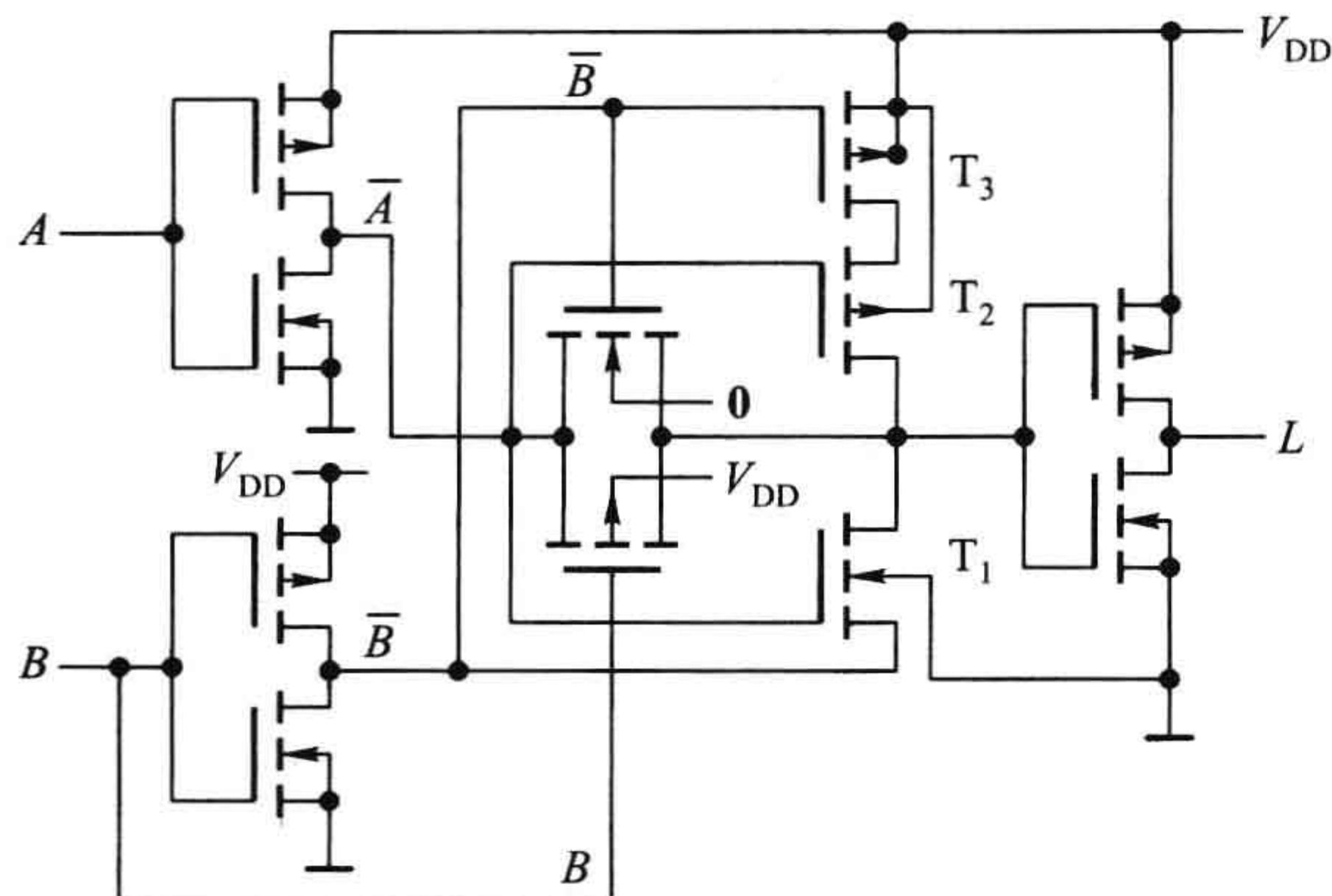


图 3.2 例 3.2 电路

表 3.2 例 3.2 真值表

A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

解题思路:① $R_{p(\min)}$ 是只有一个 OD 门导通,输出为低电平时确定,如图 3.3(a)所示。此时流入导通的 OD 门的电流为流过 R_p 的电流与所有负载 TTL 与非门的低电平输入电流之和。为保证 OD 门 I_{OL} 不超过额定值 $I_{OL(\max)}$, R_p 的值不能取得太小,即

$$\frac{V_{DD}-V_{OL(\max)}}{R_p}+I_{IL(\text{total})}\leq I_{OL(\max)}$$

$$R_p\geq\frac{V_{DD}-V_{OL(\max)}}{I_{OL(\max)}-I_{IL(\text{total})}}$$

由此确定 R_p 的最小值

$$R_{p(\min)}=\frac{V_{DD}-V_{OL(\max)}}{I_{OL(\max)}-I_{IL(\text{total})}} \quad (3.1)$$

② $R_{p(\max)}$ 是所有 OD 门截止,输出为高电平时确定,如图 3.3(b)所示。此时流过 R_p 的电流为所有 OD 门截止状态下的漏电流 I_{OZ} 和负载 TTL 与非门接入 R_p 的所有高电平输入电流之和。为保证 OD 门高电平输出电压高于 $V_{OH(\min)}$, R_p 的值不能取得太大,即

$$V_{DD}-R_p(I_{OZ(\text{total})}+I_{IH(\text{total})})\geq V_{OH(\min)}$$

$$R_p\leq\frac{V_{DD}-V_{OH(\min)}}{I_{OZ(\text{total})}+I_{IH(\text{total})}}$$

由此可确定 R_p 的最大值

$$R_{p(\max)}=\frac{V_{DD}-V_{OH(\min)}}{I_{OZ(\text{total})}+I_{IH(\text{total})}} \quad (3.2)$$

解:当只有一个 OD 门导通时,输出为低电平。式(3.1)中

$$I_{IL(\text{total})}=nI_{IL}=2\times 0.4\text{ mA}=0.8\text{ mA}$$

得

$$R_{p(\min)}=\frac{V_{DD}-V_{OL(\max)}}{I_{OL(\max)}-I_{IL(\text{total})}}=\frac{5\text{ V}-0.33\text{ V}}{4\text{ mA}-0.8\text{ mA}}\approx 1.5\text{ k}\Omega$$

当所有 OD 门输出为高电平时,式(3.2)中

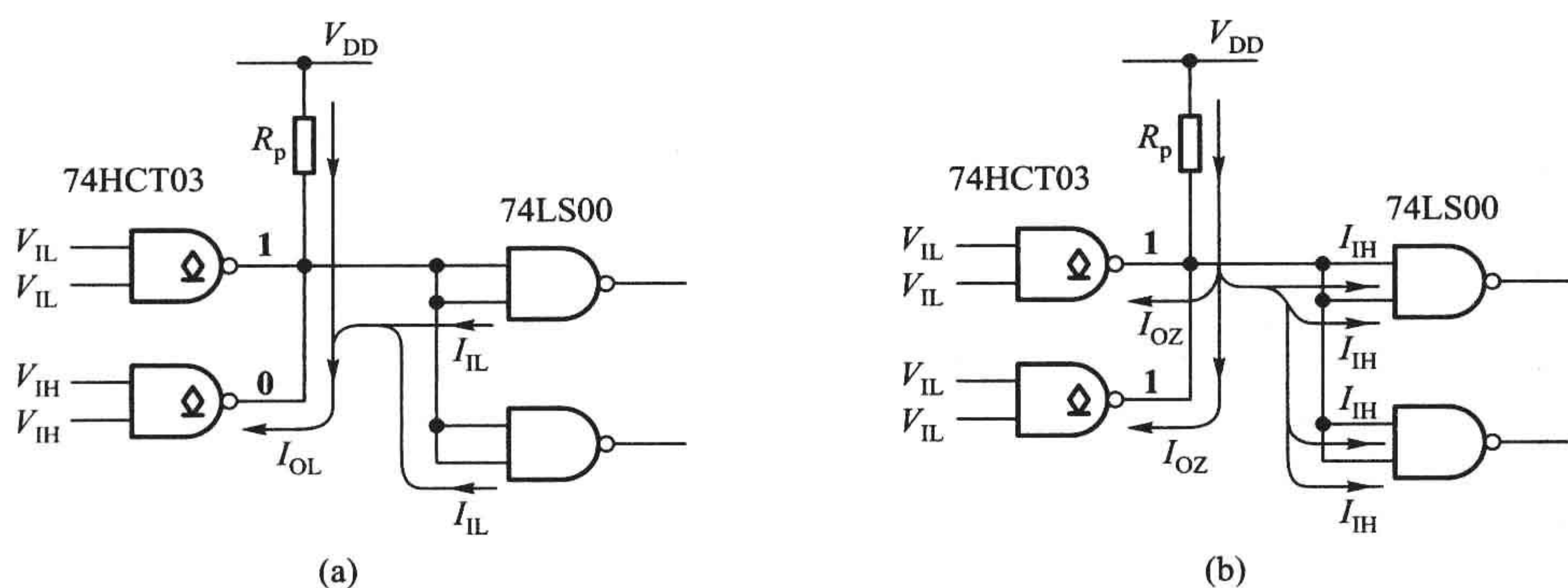


图 3.3 例 3.3 电路

(a) $R_{p(\min)}$ 的工作情况 (b) $R_{p(\max)}$ 的工作情况

$$I_{OZ(\text{total})} = 2 \times 5 \mu\text{A} = 0.01 \text{ mA}$$

$$I_{IH(\text{total})} = 4 \times 20 \mu\text{A} = 0.08 \text{ mA}$$

得

$$R_{p(\max)} = \frac{V_{DD} - V_{OH(\min)}}{I_{OZ(\text{total})} + I_{IH(\text{total})}} = \frac{5 \text{ V} - 3.84 \text{ V}}{0.01 \text{ mA} + 0.08 \text{ mA}} \approx 12.9 \text{ k}\Omega$$

根据上述计算, R_p 的值可在 $1.5 \text{ k}\Omega$ 至 $12.9 \text{ k}\Omega$ 之间选择。 R_p 的取值越小, 电路工作速度越快, 但功耗会增加; 要想电路的功耗低, R_p 的取值应尽可能大。所以要综合考虑。

例 3.4 图 3.4(a)、(b) 所示的逻辑门电路均为 +5 V 电源供电, 在下列两种情况下, 分别讨论图 3.4(a)、(b) 的输出各是什么?

(1) 两个电路均为 CMOS 门;

(2) 两个电路均为 74LS 系列 TTL 门, $V_{IL(\max)} = 0.8 \text{ V}$, $V_{IH(\min)} = 2 \text{ V}$ 。

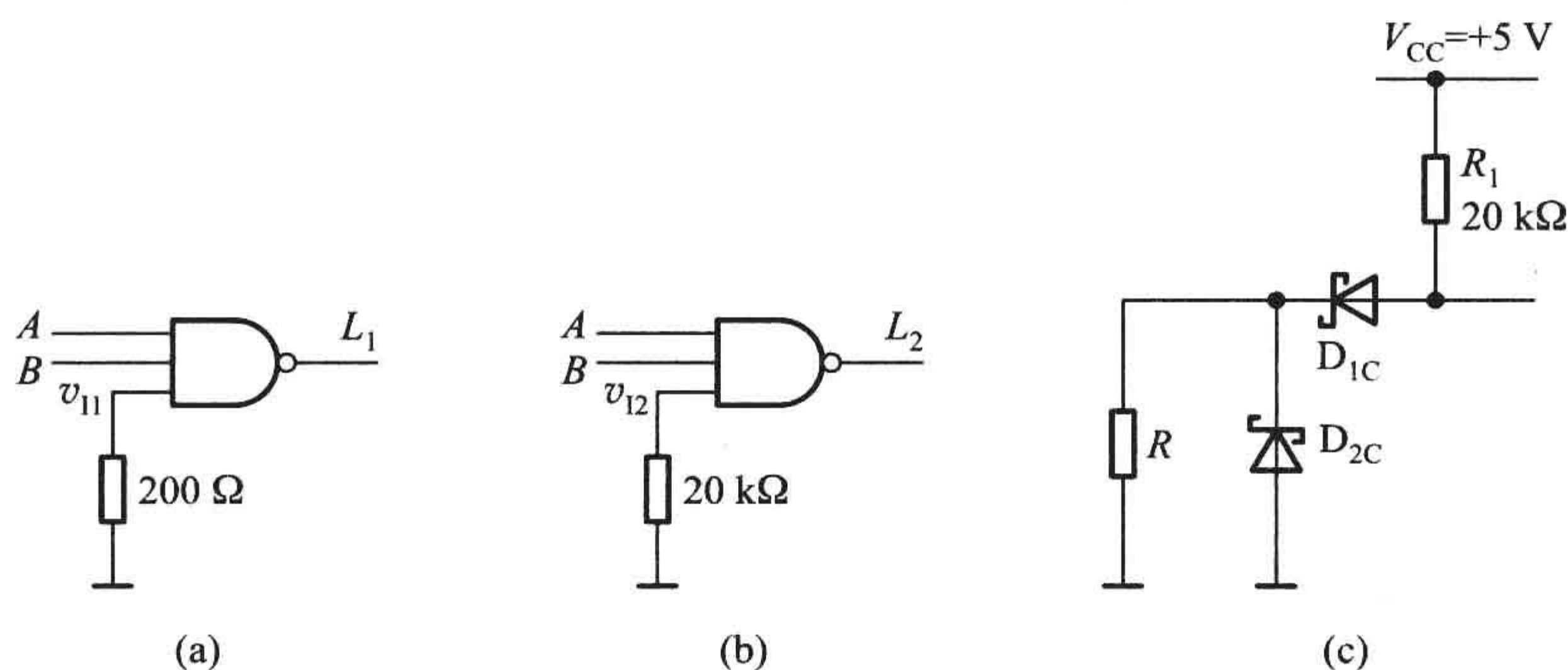


图 3.4 例 3.4 电路

解题思路: 当输入端通过电阻接地时, 首先要根据 CMOS(或 TTL) 门电路的结构及输入低电平的最大值 $V_{IL(\max)}$ 或输入高电平的最小值 $V_{IH(\min)}$, 判断该输入端是低电平还是高电平输入。

解: 当两个门电路均是 CMOS 门时, 由于是绝缘栅管, 栅极电流近似为零, 所以输入端通过电阻接地, 无论电阻取何值, 只要不是无穷大, 其输入端电位为地电位, 图 3.4(a)、(b) 所示与非门的输出均为高电平。

当两个门电路均是 74LS 系列 TTL 门,输入端 A 、 B 悬空时,与非门输入端的等效电路如图 3.4(c) 所示。74LS 系列电路规定 $V_{CC} = +5\text{ V}$, $V_{IL(\max)} = 0.8\text{ V}$, $V_{IH(\min)} = 2\text{ V}$ 。肖特基二极管正向导通时的典型压降 $V_{D1C} = 0.4\text{ V}$ 。当 $V_{IL(\max)} = 0.8\text{ V}$ 时,电阻 R 的取值应满足 $\frac{V_{CC} - V_{D1C} - V_{IL(\max)}}{R_1} R \leq V_{IL(\max)}$,求得此时电阻 $R = 4.2\text{ k}\Omega$ 。因此,当输入端接 $200\text{ }\Omega$ 电阻时,电阻上的压降为低电平,输出为高电平。同理,电阻 R 的取值应满足 $\frac{V_{CC} - V_{D1C} - V_{IH(\min)}}{R_1} R \geq V_{IH(\min)}$,求得此时电阻 $R = 15.4\text{ k}\Omega$ 。因此,当输入端接 $20\text{ k}\Omega$ 电阻时,电阻上的压降为高电平,输出 $L_2 = \overline{AB}$ 。

三、习题全解

3.1 逻辑门电路简介

3.1.1 按照制造门电路晶体管的不同,集成门电路分为哪几种类型?各种类型的代表是什么?

解:按照制造门电路的晶体管的不同,集成门电路分为 MOS 型、双极型和混合型。MOS 型集成逻辑门有 CMOS、NMOS、PMOS,双极型集成逻辑门主要有 TTL 和 ECL,混合型集成逻辑门有 BiCMOS。

3.1.2 为什么要发展低电压和超低电压 CMOS 器件?

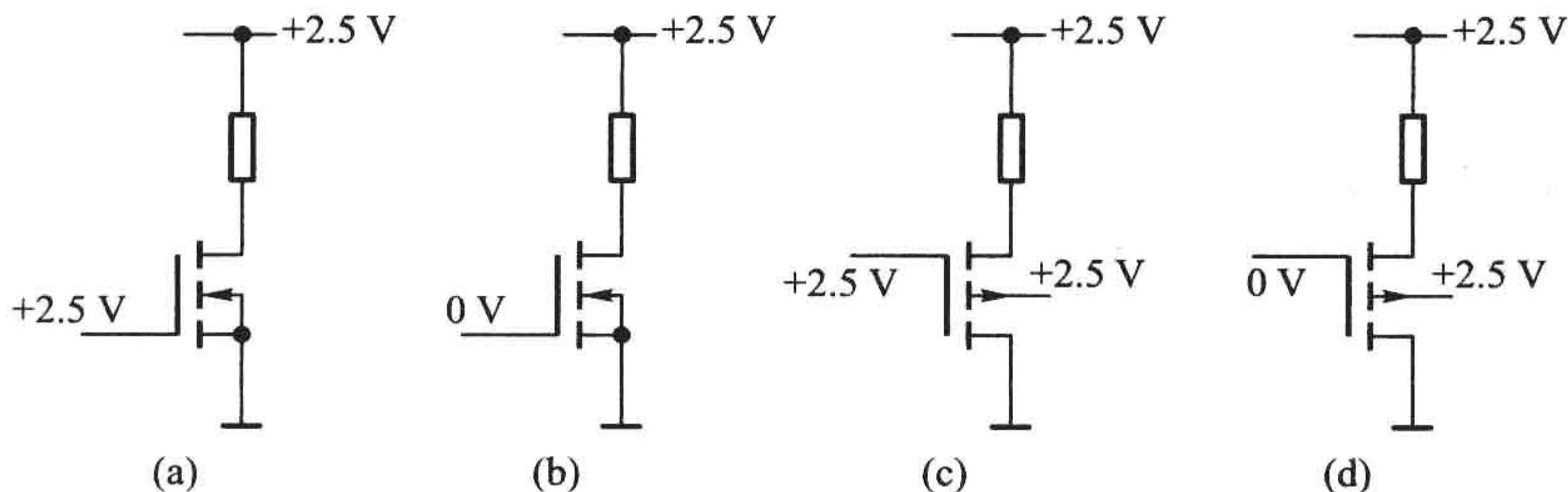
解:笔记本电脑、数码相机等便携式设备的发展,要求使用体积小、重量轻、功耗低的半导体器件。因此,发展低电压和超低电压 CMOS 器件。

3.1.3 数字逻辑变量可以取什么值?晶体管在数字电路中工作在什么状态?

解:数字逻辑变量可以取 0 或 1。数字电路中,晶体管工作在“闭合”和“断开”两种状态。

3.2 基本 CMOS 逻辑门电路

3.2.1 已知图题 3.2.1 所示各 MOS 管的 $|V_T| = 0.5\text{ V}$,忽略电阻上的压降,试分别确定它们的工作状态(导通或截止)。



图题 3.2.1

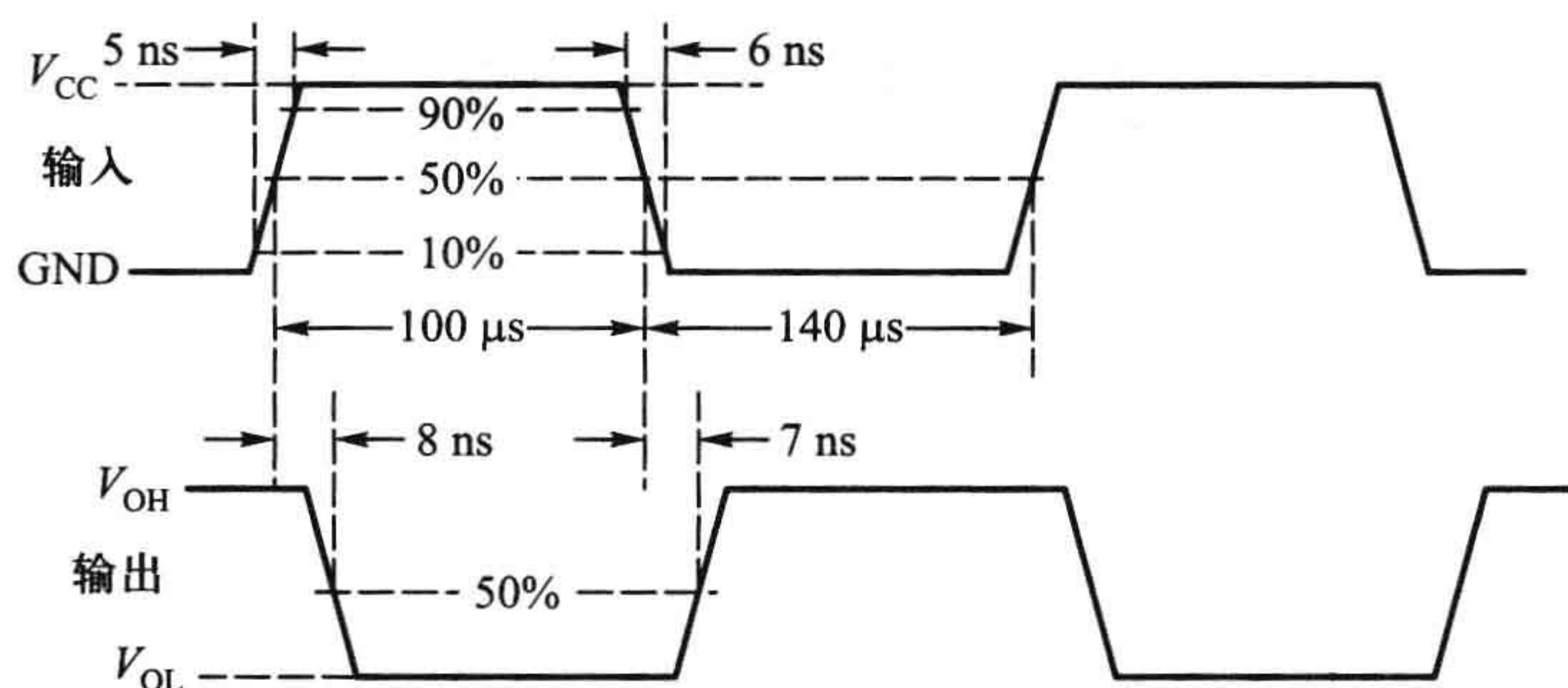
解:图题 3.2.1(a)和(b)为 N 沟道增强型 MOS,图题 3.2.1(c)和(d)为 P 沟道增强型 MOS。

N 沟道增强型 MOS 管的开启电压 V_T 为正。当 $v_{GS} < V_T$ 时, MOS 管处于截止状态; 当 $v_{GS} \geq V_T$, 且 $v_{DS} \geq (v_{GS} - V_T)$ 时, MOS 管处于饱和导通状态。

对于图题 3.2.1(a), $v_{GS} = 2.5\text{ V}$, $v_{DS} = 2.5\text{ V}$, 可以判断该 MOS 管处于饱和导通状态。对于图题 3.2.1(b), $v_{GS} = 0\text{ V} < V_T$, 所以 MOS 管处于截止状态。

P 沟道增强型 MOS 管的开启电压 V_T 为负。当 $v_{GS} > V_T$ 时, MOS 管处于截止状态; 当 $v_{GS} \leq V_T$, 且 $v_{DS} \leq (v_{GS} - V_T)$ 时, MOS 管处于饱和导通状态。对于图题 3.2.1(c), $v_{GS} = 0\text{ V} > -0.5\text{ V}$, 该 MOS 管处于截止状态。对于图题 3.2.1(d), $v_{GS} = -2.5\text{ V}$, $v_{DS} = -2.5\text{ V}$, 可以判断该 MOS 管处于饱和导通状态。

3.2.2 一个反相器的输入和输出波形如图题 3.2.2 所示, 试确定:



图题 3.2.2

(1) 输入信号的周期和频率; (2) 输入信号的上升时间 t_r 和下降时间 t_f ; (3) 输出由高电平变为低电平的传输延迟时间 t_{pHL} 和由低电平变为高电平的传输延迟时间 t_{pLH} 。

解: (1) 输入信号的周期为

$$T = 100 + 140 = 240\ \mu\text{s}$$

频率为

$$f = \frac{1}{T} = \frac{1}{240\ \mu\text{s}} \approx 4.2\ \text{kHz}$$

(2) 上升时间 $t_r = 5\text{ ns}$, 下降时间 $t_f = 6\text{ ns}$ 。

(3) $t_{pHL} = 8\text{ ns}$, $t_{pLH} = 7\text{ ns}$ 。

3.2.3 为什么说 74LVC 系列 CMOS 与非门在 +3.3V 电源工作时, 输入端在以下四种接法下都属于逻辑 0 (74LVC 系列输入输出电压值参考主教材中表 3.3.2):

(1) 输入端接地; (2) 输入端接低于 0.8V 的电源; (3) 输入端接同类与非门的输出低电平 0.2V; (4) 输入端到地之间接 10kΩ 的电阻。

解: 对于 74LVC 系列 CMOS 门电路来说, 输出和输入低电平的标准电压值为: $V_{OL} = 0.2\text{ V}$, $V_{IL} = 0.8\text{ V}$ 。因此,

(1) $v_i = 0 < V_{IL} = 0.8\text{ V}$, 属于逻辑 0。

(2) $v_i < 0.8\text{ V} = V_{IL}$, 属于逻辑 0。

(3) $v_i = 0.2\text{ V} < V_{IL} = 0.8\text{ V}$, 属于逻辑 0。

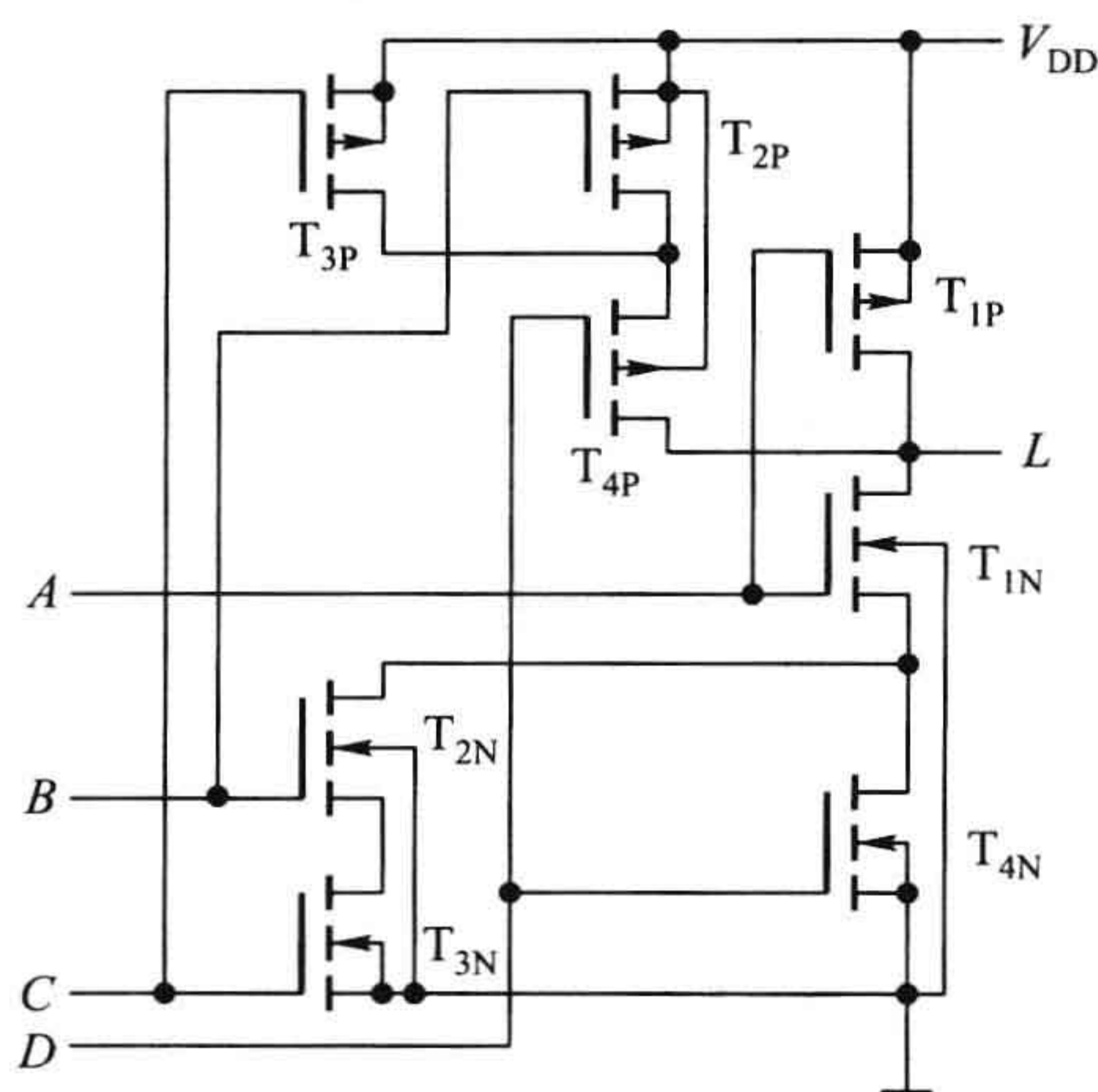
(4) 由于 CMOS 管的栅极电流非常小, 通常小于 $1\ \mu\text{A}$, 在 $10\text{ k}\Omega$ 电阻上产生的压降小于

10 mV, 即 $v_i < 0.01 \text{ V} < V_{\text{IL}} = 0.8 \text{ V}$, 故亦属逻辑 0。

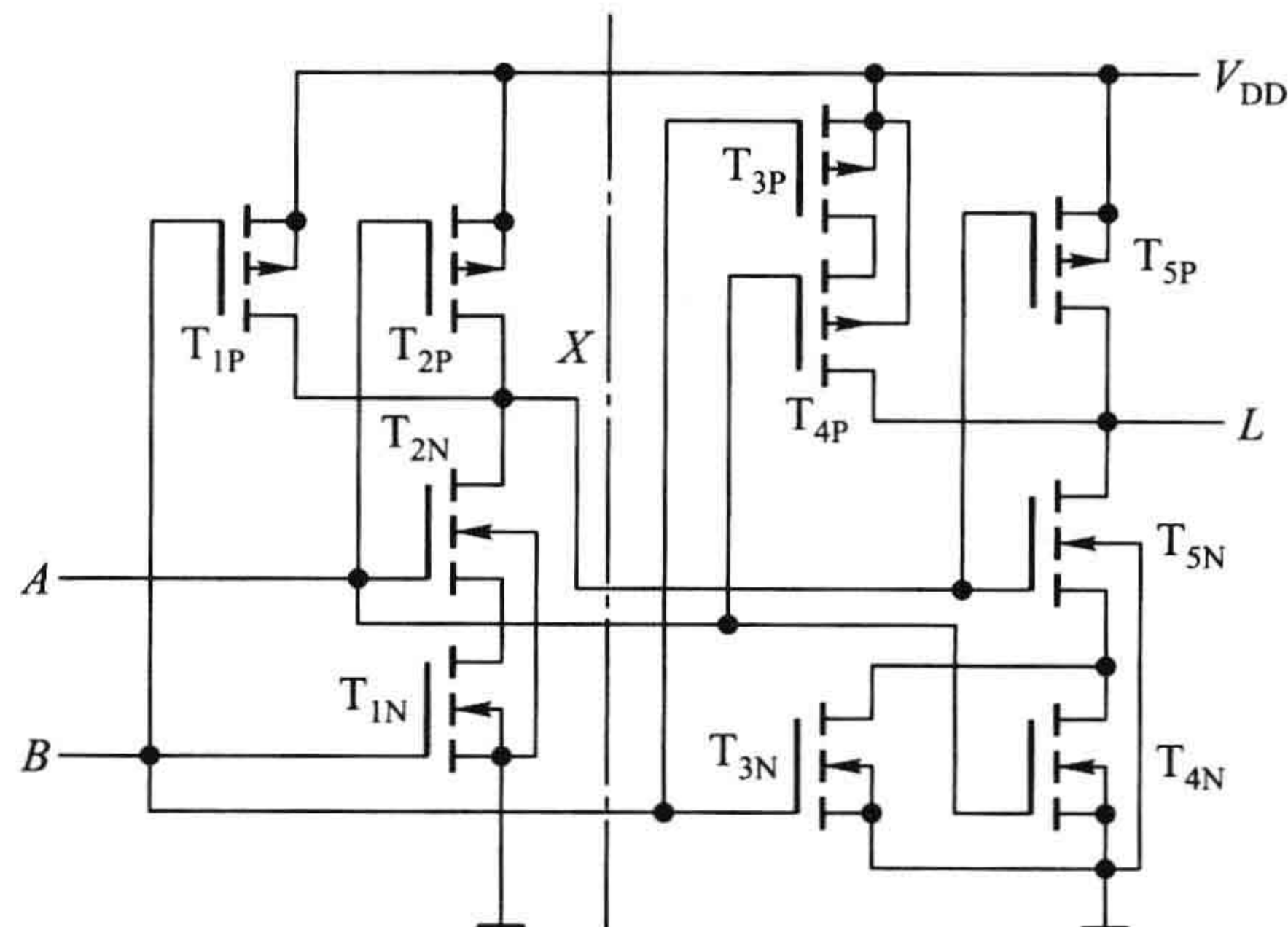
3.2.4 试分析图题 3.2.4 所示电路, 写出 L 的逻辑表达式。

解: 该 CMOS 电路中的 NMOS 管 $T_{2\text{N}}$ 和 $T_{3\text{N}}$ 串联实现 B 和 C 相与, 然后两者与 $T_{4\text{N}}$ 管并联实现与 D 相或, 最后再与 $T_{1\text{N}}$ 管串联实现与 A 相与。因此, 逻辑表达式为

$$L = \overline{A(BC+D)}$$



图题 3.2.4



图题 3.2.5

3.2.5 试分析图题 3.2.5 所示的电路, 写出 L 的逻辑表达式, 说明它实现什么逻辑功能?

解: 该电路由两部分组成, 如图题 3.2.5 所示, 虚线左边为一级与非门, 虚线右边组成与或非门, 其中 $T_{3\text{N}}$ 和 $T_{4\text{N}}$ 并联实现或功能, 两者再与 $T_{5\text{N}}$ 串联实现与功能。与非门的输出 $X = \overline{AB}$ 。与或非门的输出 L 为

$$L = \overline{(A+B)X} = \overline{(A+B)\overline{AB}} = \overline{AB + \overline{A}\overline{B}} = A \odot B$$

该电路实现同或功能。

3.2.6 试画出实现下列逻辑功能的 CMOS 电路图。

$$(1) L = \overline{AB+CD} \quad (2) L = \overline{(A+B)(C+D)}$$

解: CMOS 电路中 NMOS 管是按照“串与并或”的规律组成, PMOS 管是按照“串或并与”的规律组成, 即 NMOS 管串联实现“与”功能, 并联实现“或”功能, PMOS 管则相反。由此实现的 (1) $L = \overline{AB+CD}$ (2) $L = \overline{(A+B)(C+D)}$ 分别如图题解 3.2.6(a) 和 3.2.6(b) 所示。

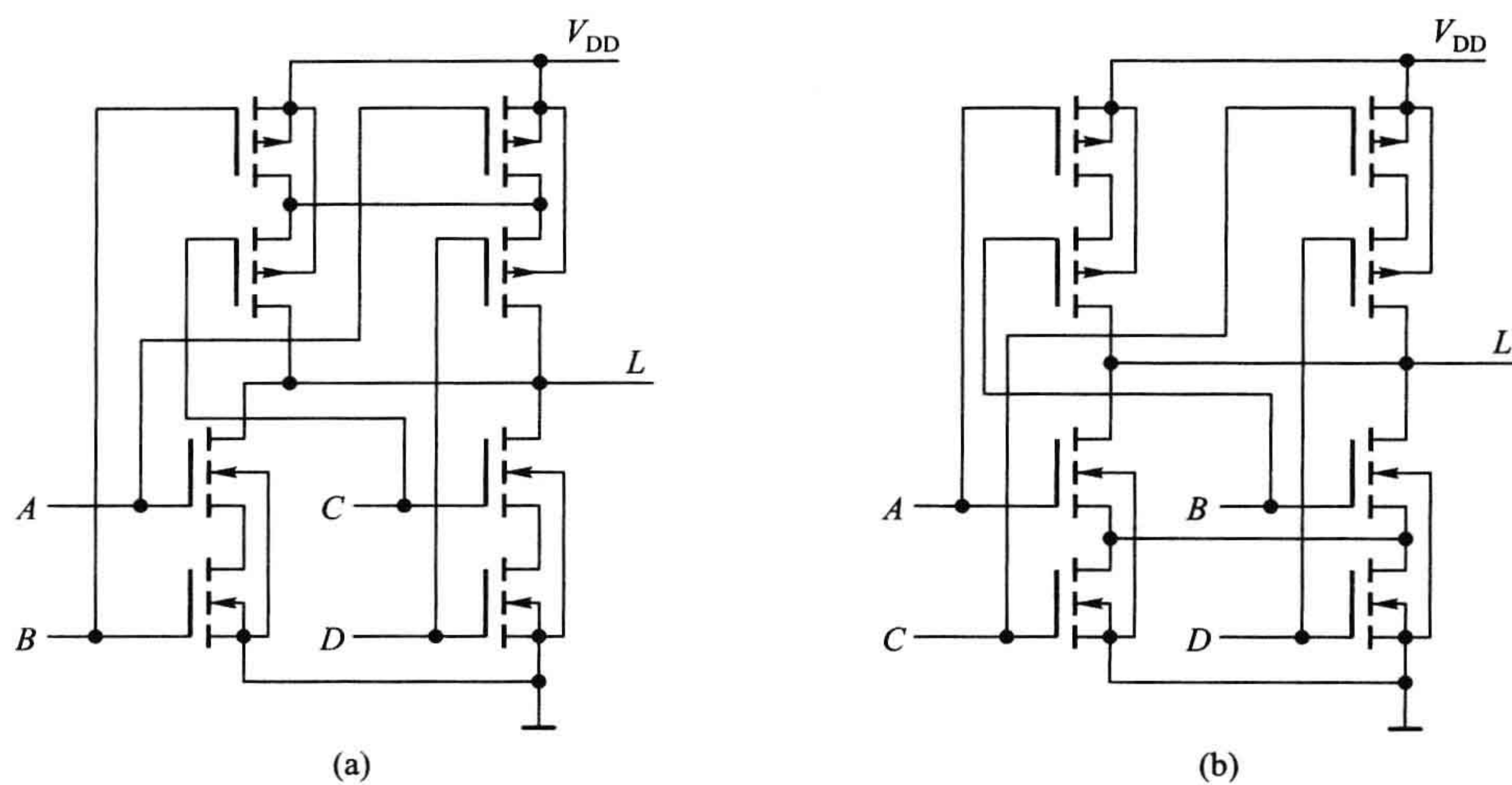
3.2.7 CMOS 集成芯片 4007 中包含两个互补对和一个反相器如图题 3.2.7 所示, 试分别连接: (1) 三个反相器; (2) 3 输入端或非门; (3) 3 输入端与非门; (4) 或与或非门 [$L = \overline{C(A+B)}$]; (5) 传输门 (一个非门控制两个传输门分时传送)。

解: (1) 三个反相器

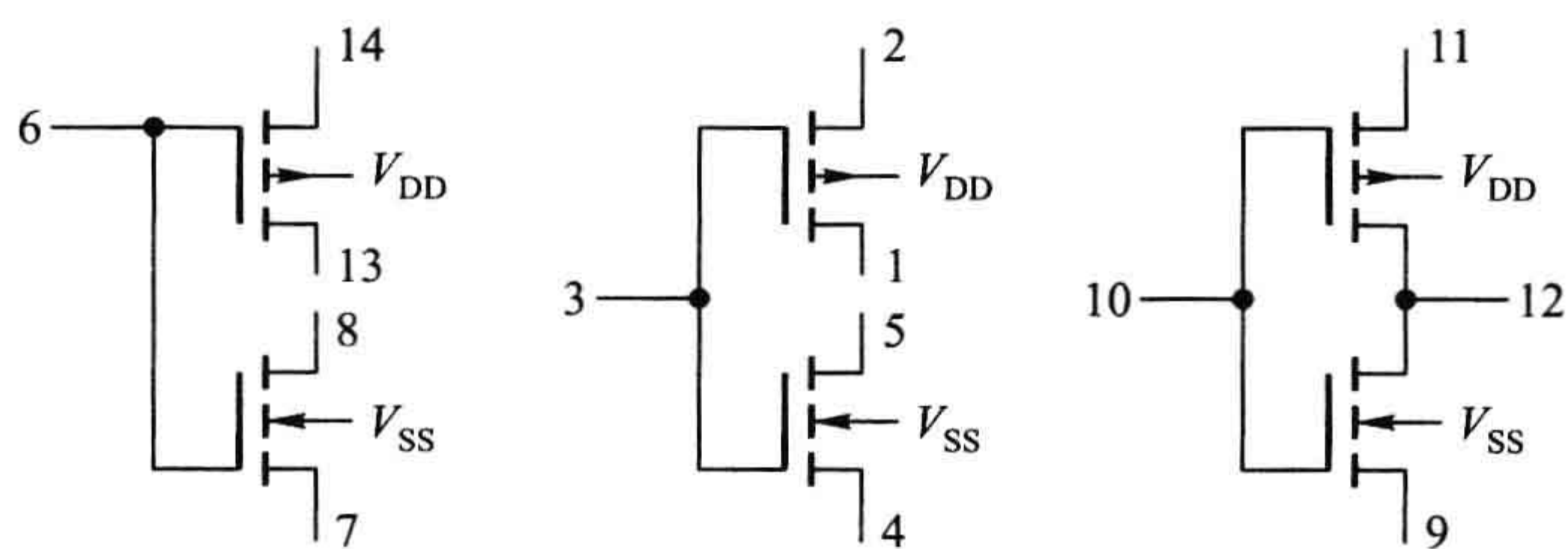
将图题 3.2.7 所示电路按下列方式连接, 可以得到三个反相器。

① 8、13 相连, 6 端为输入, 8 端为输出, 14 端接 V_{DD} , 7 端接地;

② 1、5 相连, 3 端为输入, 5 端为输出, 2 端接 V_{DD} , 4 端接地;



图题解 3.2.6

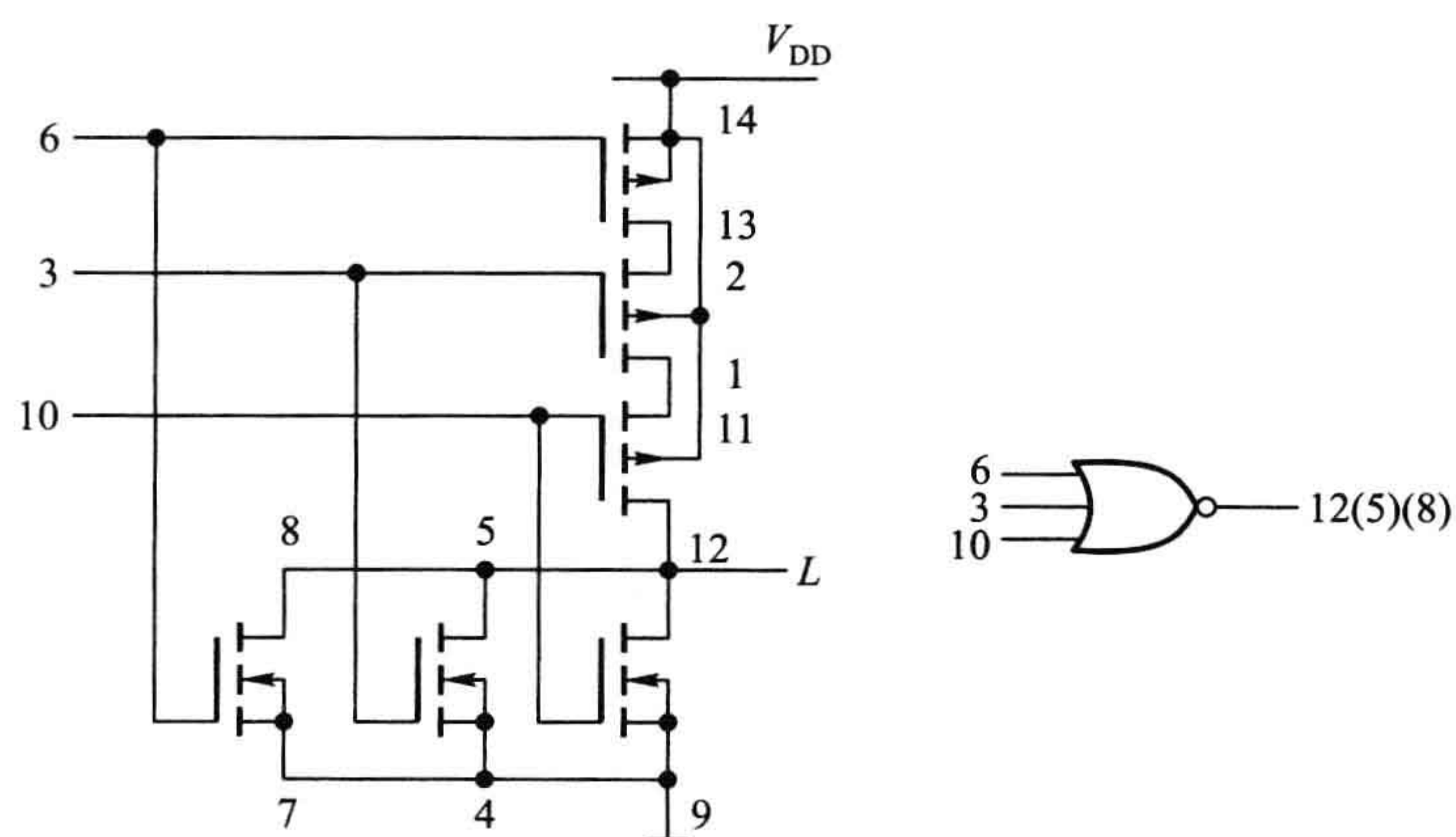


图题 3.2.7

③ 10 端为输入, 12 端为输出, 11 端接 V_{DD} , 9 端接地。

(2) 3 输入端或非门

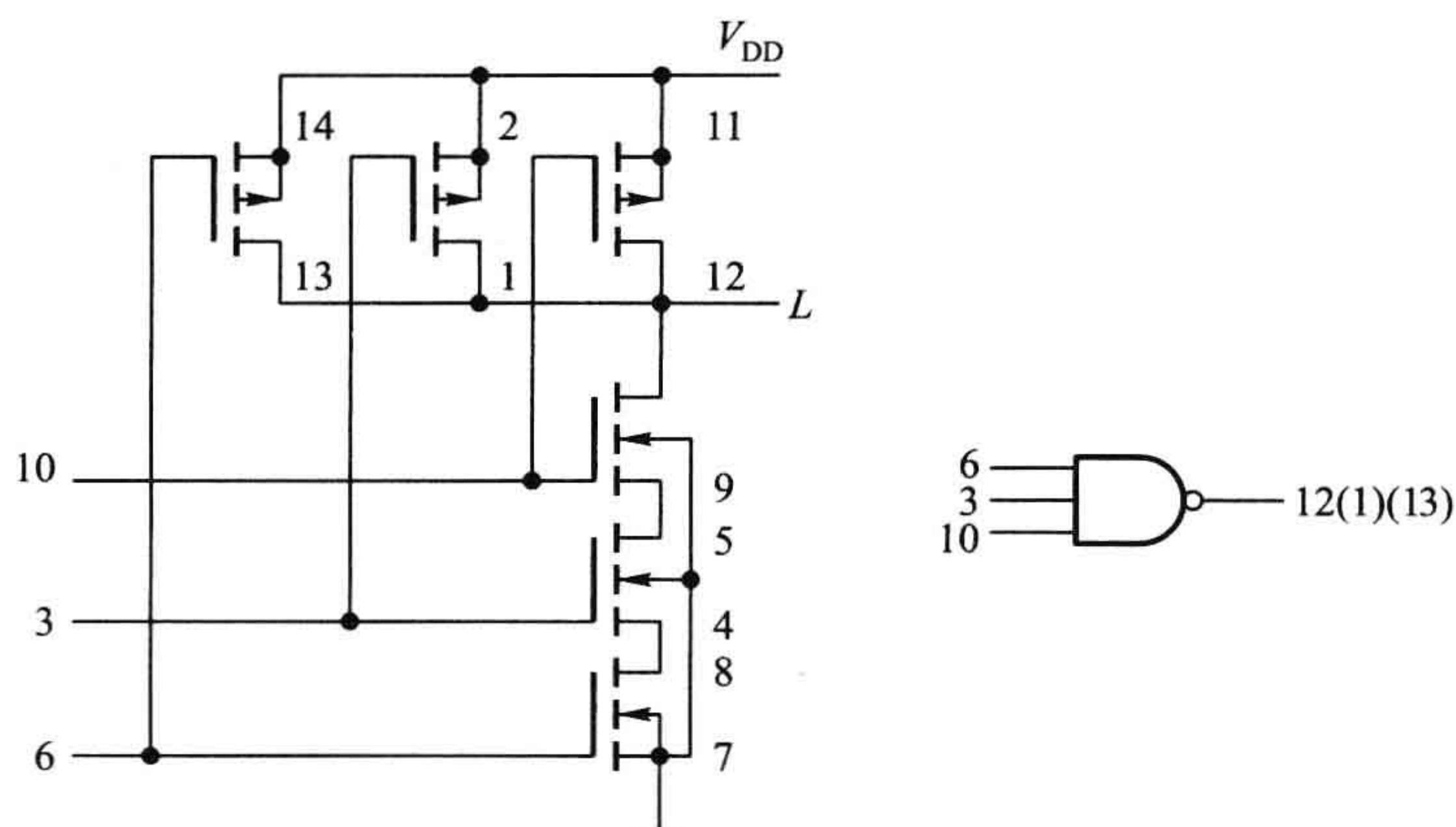
电路图如图题解 3.2.7(a) 所示。



图题解 3.2.7(a)

(3) 3 输入端与非门

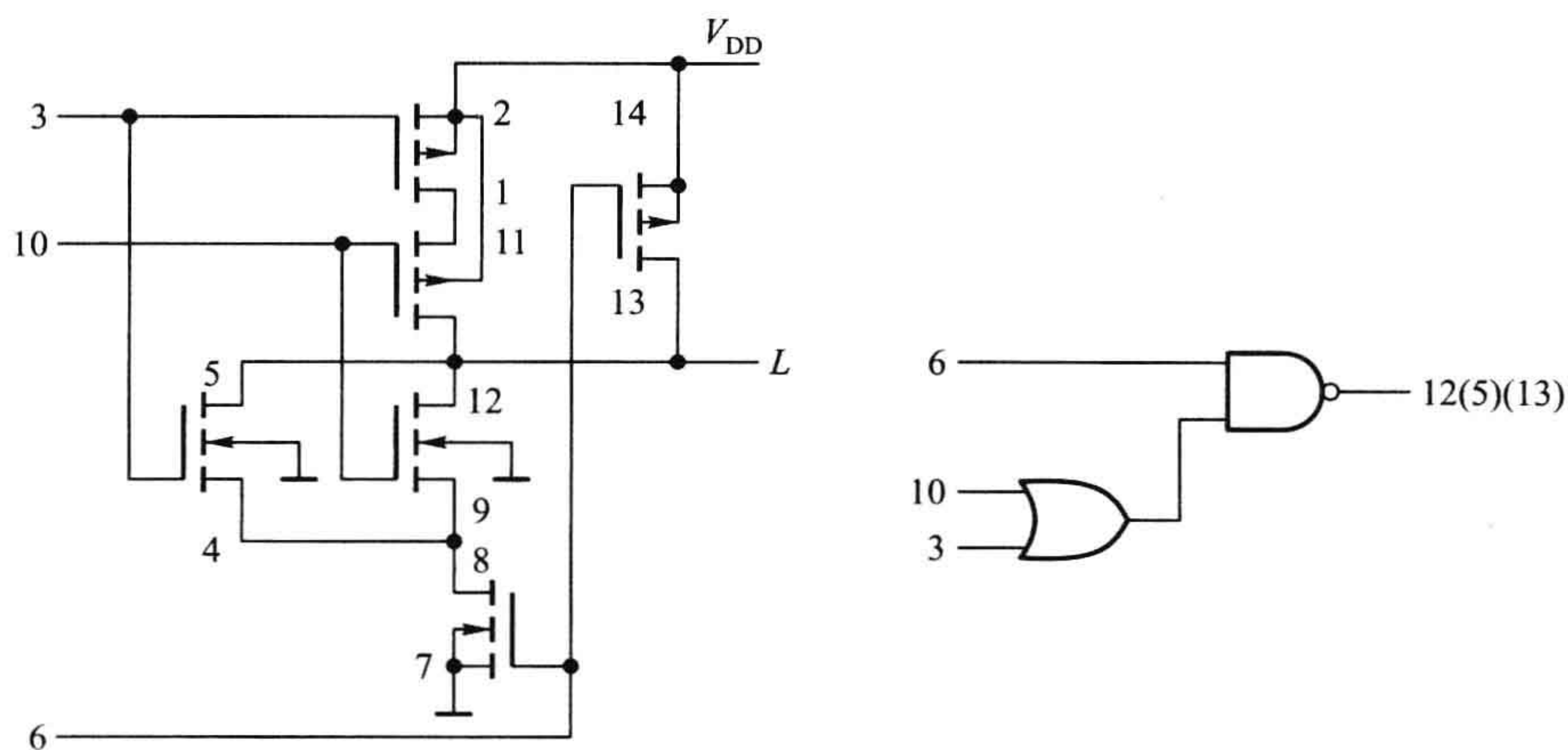
电路图如图题解 3.2.7(b) 所示。



图题解 3.2.7(b)

(4) 或与非门

电路图如图题解 3.2.7(c) 所示。



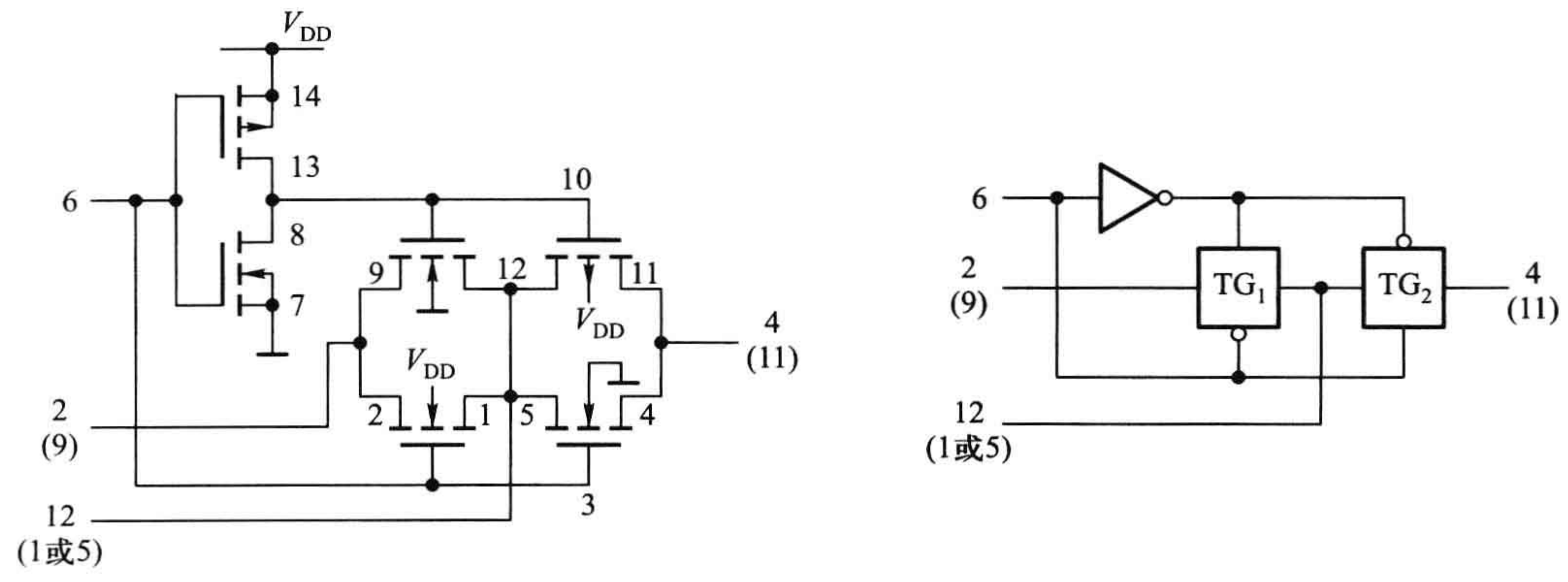
图题解 3.2.7(c)

(5) 传输门

电路图如图题解 3.2.7(d) 所示,由 6 端输入的信号控制 TG_1 、 TG_2 分时传送数据。6 端接低电平时, TG_1 导通, 2 端的数据传送到 12 端; 6 端接高电平时, TG_2 导通, 4 端的数据传送到 12 端。

3.2.8 试分析图题 3.2.8 所示 CMOS 门电路, 写出 L 的逻辑表达式, 说明它实现什么逻辑功能?

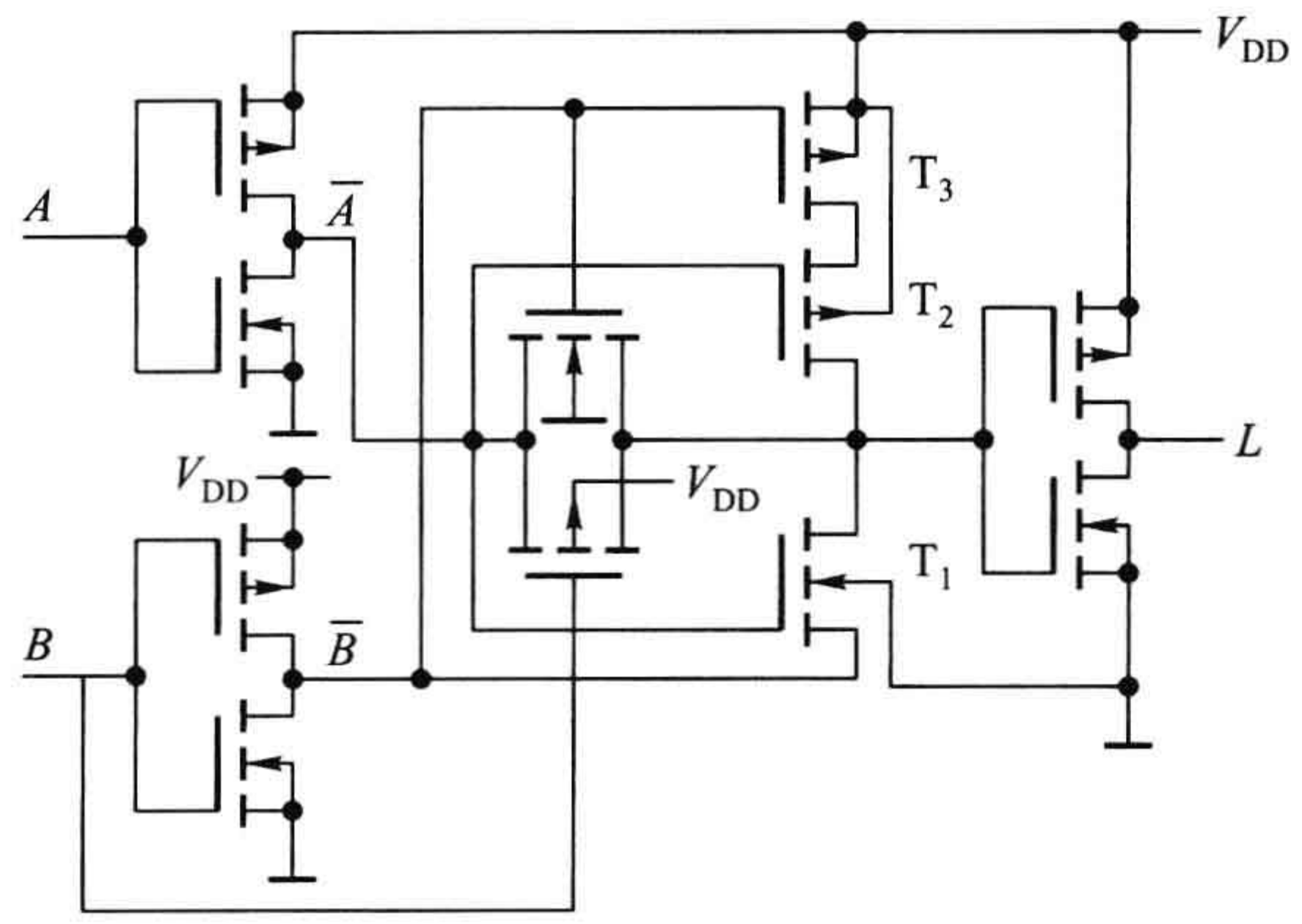
解: 电路由两个输入反相器、一个输出反相器、一个传输门及 T_1 、 T_2 和 T_3 构成的电路组成。传输门由 B 和 $\bar{B}$ 控制, 当 $B=0$ 时传输门导通, $B=1$ 时传输门截止。 T_1 、 T_2 和 T_3 构成的电路的工作状态由 $\bar{B}$ 控制, 当 $\bar{B}=1$ 时 T_1 、 T_3 均截止, T_1 、 T_2 和 T_3 构成的电路不工作; 当 $\bar{B}=0$ 时 T_1 、 T_3 均导



图题解 3.2.7(d)

通, T_1 、 T_2 和 T_3 构成的电路工作, 并且起反相作用, 其输出等于 $\bar{A}$ 。

综上所述, 当 $B=0$ 时, T_1 、 T_2 和 T_3 构成的电路不工作, 传输门导通, 输出 $L=A$; 当 $B=1$ 时 T_1 、 T_2 和 T_3 构成的电路工作, 传输门截止, 输出 $L=\bar{A}$ 。列出真值表如表题解 3.2.8 所示。其逻辑表达式 $L=\bar{A}B+A\bar{B}=A\oplus B$, 故电路为异或门电路。



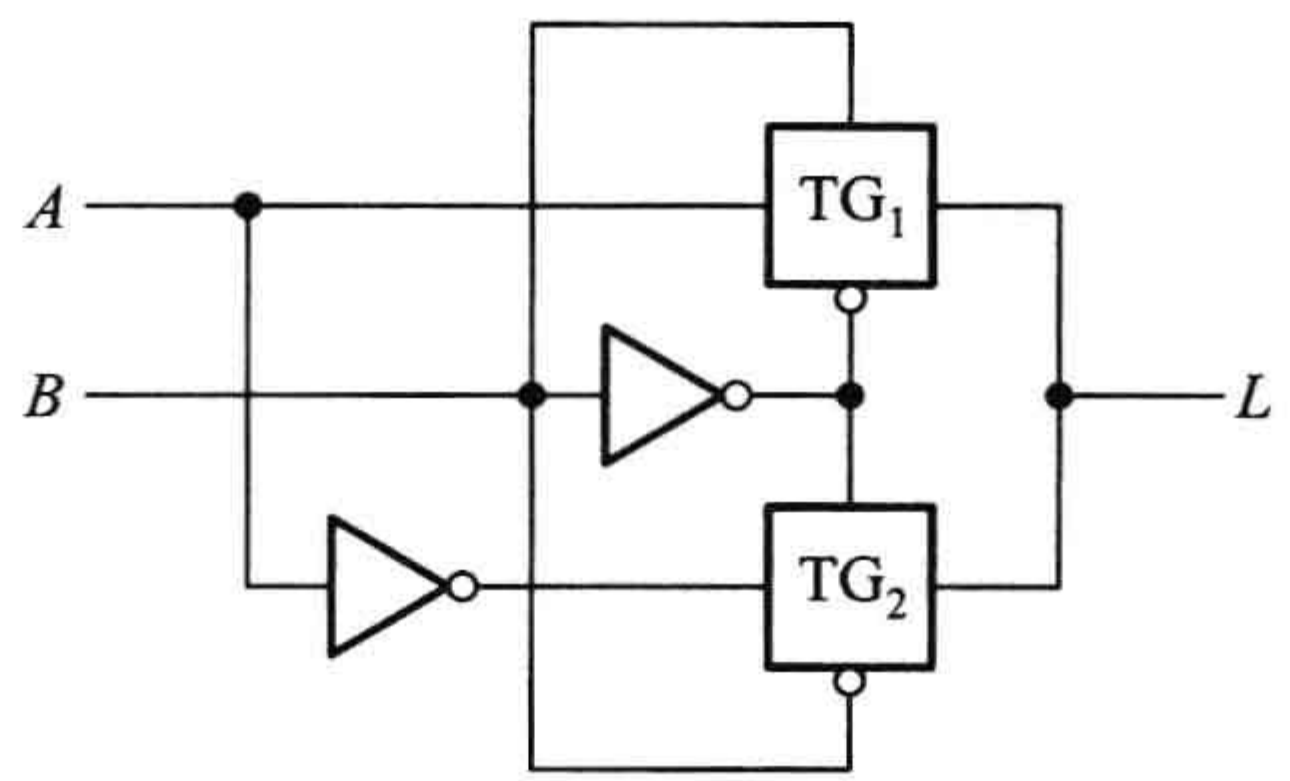
图题 3.2.8

表题解 3.2.8

A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

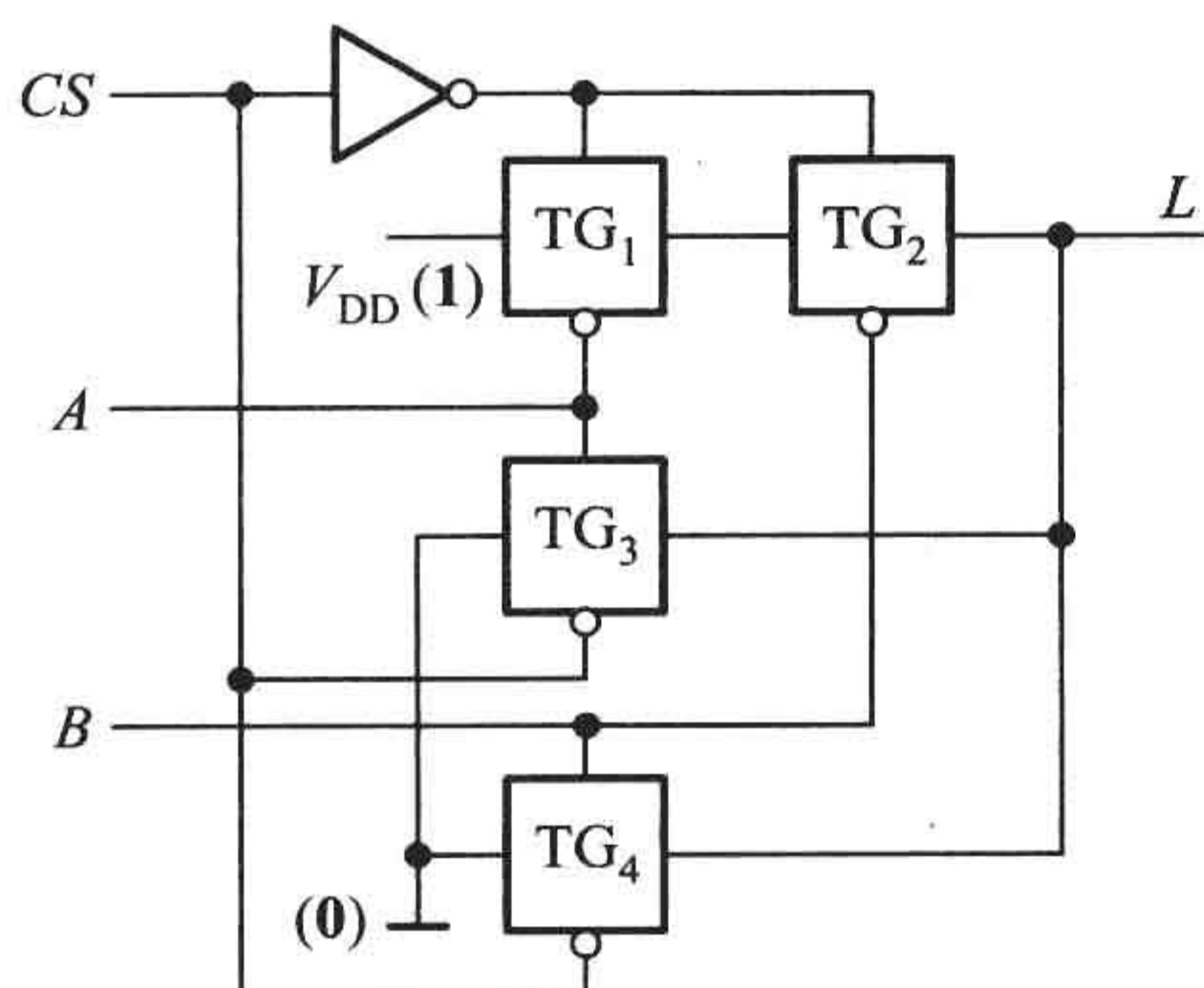
3.2.9 试用两个传输门和两个反相器实现同或逻辑功能, 并画出逻辑电路。

解: 由传输门和反相器构成的同或电路如图题解 3.2.9 所示。



图题解 3.2.9

3.2.10 由 CMOS 传输门构成的电路如图题 3.2.10 所示, CS 为控制端, A 、 B 为输入, L 为输出, 试列出其真值表, 说明该电路的逻辑功能。



图题 3.2.10

表题解 3.2.10

CS	A	B	L
1	×	×	高阻态
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0

解: 当 $CS=1$ 时, 4 个传输门均为断开状态, 输出处于高阻状态。当 $CS=0$ 时, 4 个传输门的工作状态由 A 和 B 决定, $A=B=0$ 时, TG_1 和 TG_2 导通, TG_3 和 TG_4 截止, $L=1$ 。依此分析, 可以列出真值表如表题解 3.2.10 所示, 根据真值表可得 $L=\overline{A+B}$ 。该电路实现三态输出的 2 输入或非逻辑功能。

3.3 CMOS 逻辑门电路的不同输出结构及参数

3.3.1 在漏极开路门电路中, 输出上拉电阻值的大小对逻辑门有什么影响?

解: 当 OD 门作为驱动门时, 其输出电容、负载门的输入电容以及接线电容的存在, 上拉电阻 R_p 的大小必将影响 OD 门的开关速度, R_p 的值愈小, 负载电容的充电时间常数亦愈小, 因而开关速度愈快。但上拉电阻不能任意地减小, 它必须保证 OD 门输出端的电流不能超过允许的最大值 $I_{OL(max)}$ 。

3.3.2 试判断下列哪些 CMOS 门可以将输出端并接使用: (1) 普通的互补输出; (2) 漏极开路输出; (3) 三态输出。

解: (1) 普通互补输出门的输出端不能并接。(2) OD 门输出端可以并接。(3) 三态输出端可以并接。

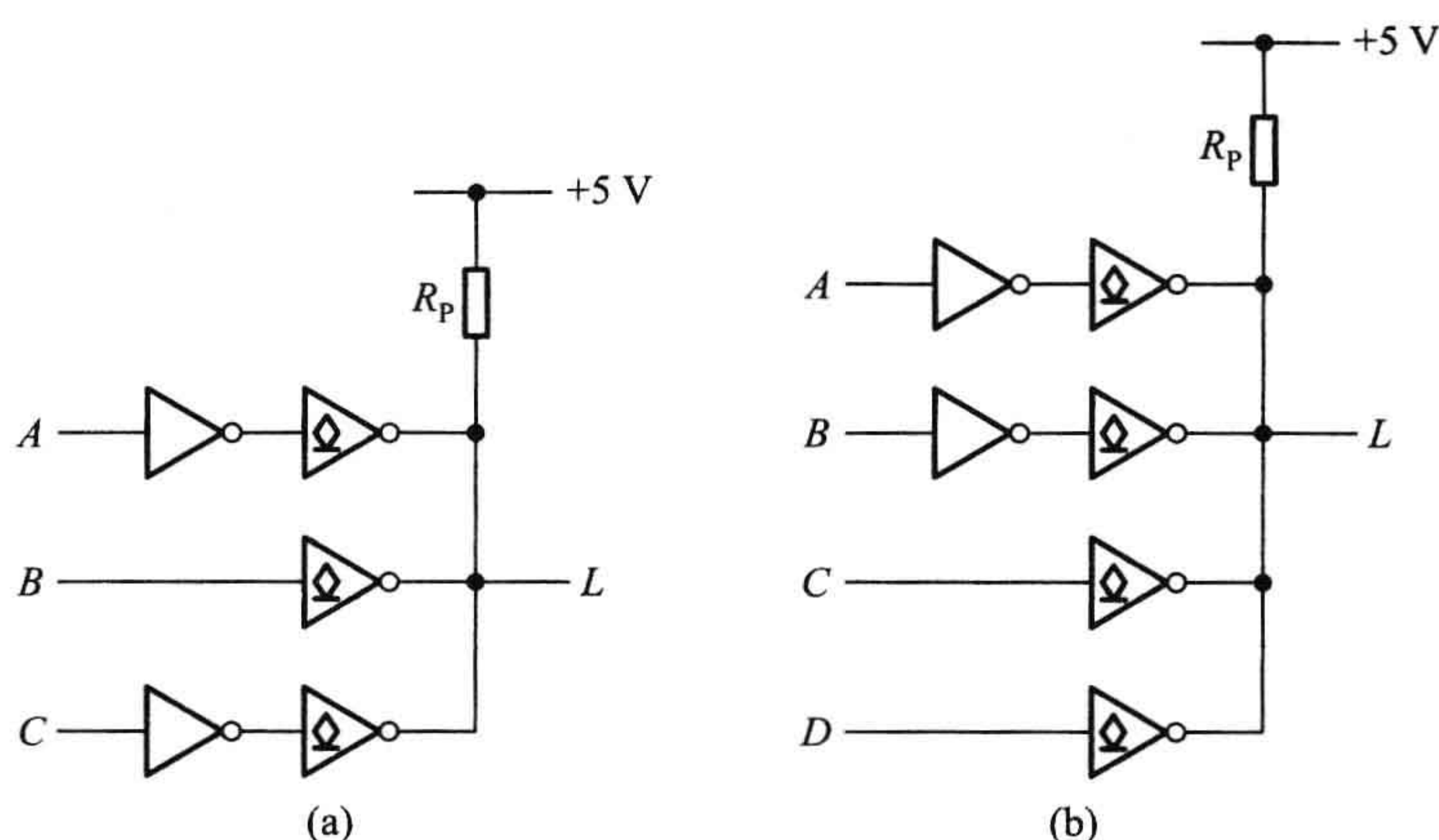
3.3.3 试用普通反相器和 OD 输出反相器实现下列表达式, 并画出逻辑电路图。

(1) $L=A\overline{B}C$; (2) $L=AB\overline{C}D$ 。

解: 题中要求的两个表达式均需要进行与运算, 故用 OD 门实现与逻辑关系, 电路如图题解 3.3.3 所示。

3.3.4 用 74HC03 中 2 个漏极开路与非门及 74HC00 中的 4 个与非门构成的电路如图题 3.3.4 所示。试确定上拉电阻 R_p 的取值范围。已知 $V_{DD}=5\text{ V}$, OD 门输出低电平 $V_{OL(max)}=0.33\text{ V}$ 时的输出电流 $I_{OL(max)}=4\text{ mA}$, 输出高电平 $V_{OH(min)}=4.4\text{ V}$ 时的漏电流 $I_{OZ}=5\text{ }\mu\text{A}$ 。负载门高电平和低电平输入电流最大值 $I_{IH(max)}=I_{IL(max)}=1\text{ }\mu\text{A}$ 。

解: 灌电流情况时, 求出 R_p 的最小值:

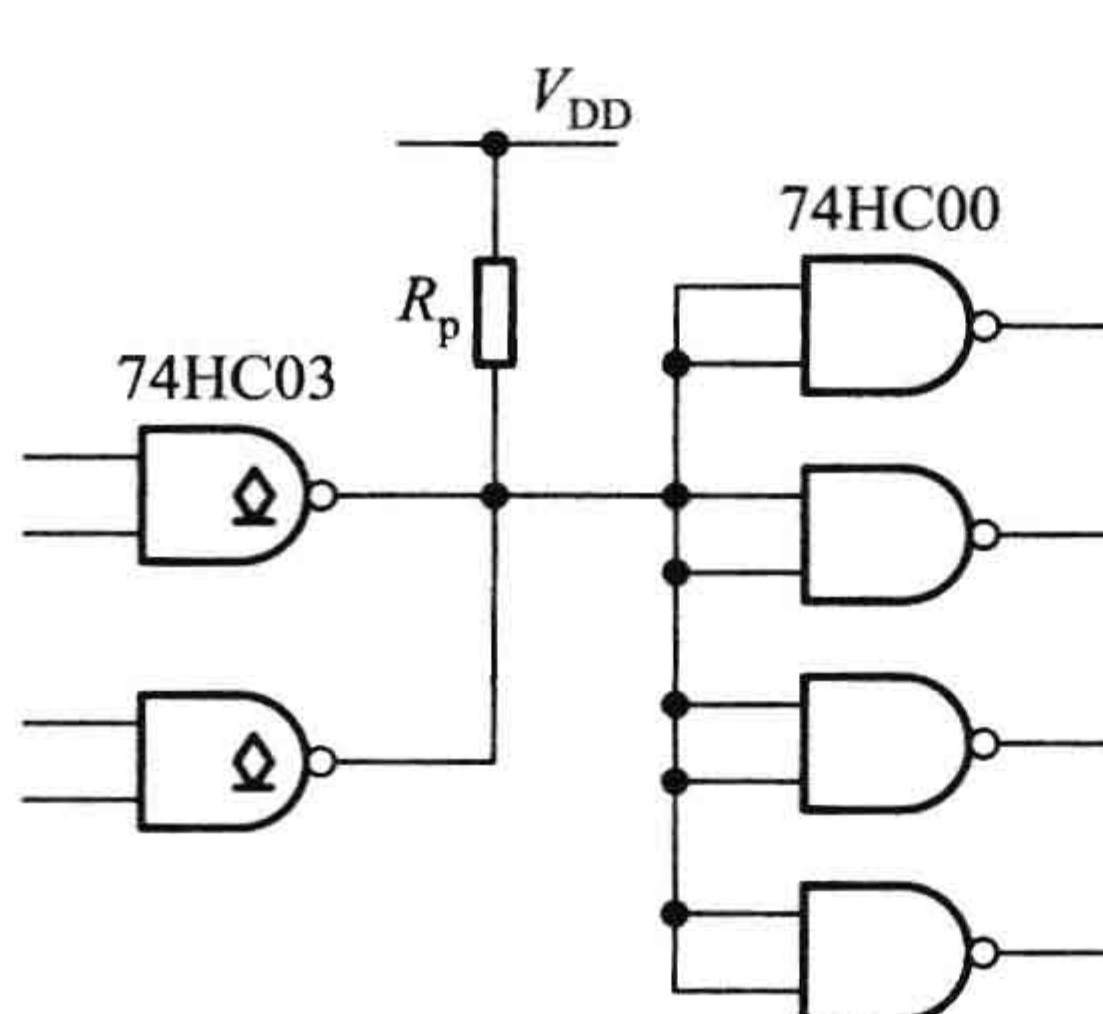


图题解 3.3.3

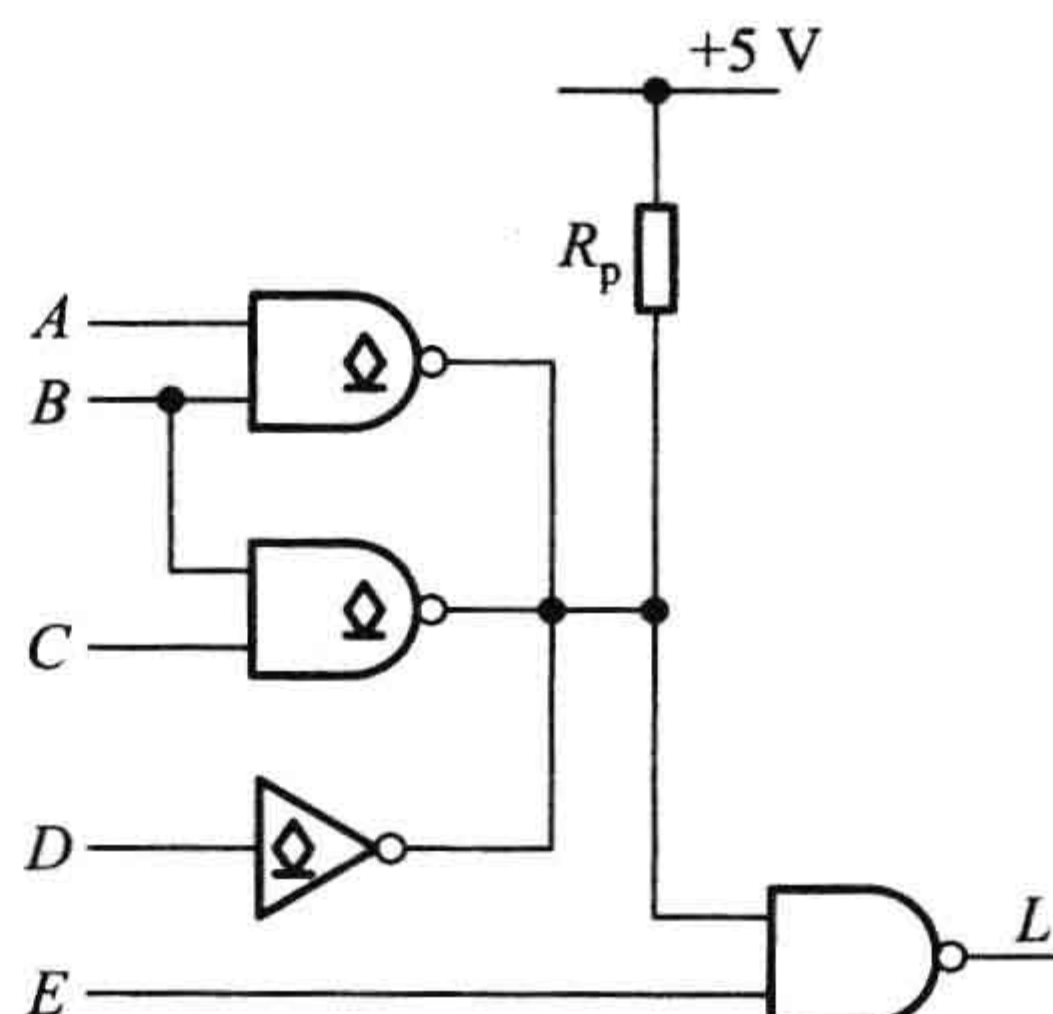
$$R_{p(\min)} = \frac{V_{DD} - V_{OL(\max)}}{I_{OL(\max)} - I_{IL(\text{total})}} = \frac{(5 - 0.33) \text{ V}}{(4 - 0.001 \times 8) \text{ mA}} \approx 1.2 \text{ k}\Omega$$

拉电流情况时, 求出 R_p 的最大值:

$$R_{p(\max)} = \frac{V_{DD} - V_{OH(\min)}}{I_{OZ(\text{total})} + I_{IH(\text{total})}} = \frac{(5 - 4.4) \text{ V}}{(0.005 \times 2 + 0.001 \times 8) \text{ mA}} \approx 33.3 \text{ k}\Omega$$



图题 3.3.4



图题 3.3.5

3.3.5 用 74HC03 中三个漏极开路与非门和 74LS00 中一个 TTL 与非门实现图题 3.3.5 所示的电路, 试写出输出与输入的逻辑关系式, 并计算 $R_{p(\min)}$ 和 $R_{p(\max)}$ 。已知驱动门输出低电平 $V_{OL(\max)} = 0.33 \text{ V}$ 时的最大电流 $I_{OL(\max)} = 4 \text{ mA}$, 输出高电平 $V_{OH(\min)} = 4.4 \text{ V}$ 时的漏电流 $I_{OZ} = 5 \mu\text{A}$ 。负载门高电平和低电平输入电流分别为 $I_{IH} = 0.02 \text{ mA}$, $I_{IL} = 0.4 \text{ mA}$ 。

解: 第一级的两个与非门和一个非门用漏极开路与非门 74HC03 组成, 第二级的与非门用 TTL 与非门 74LS00 实现。其逻辑表达式

$$L = \overline{AB} \cdot \overline{BC} \cdot \overline{D} \cdot E$$

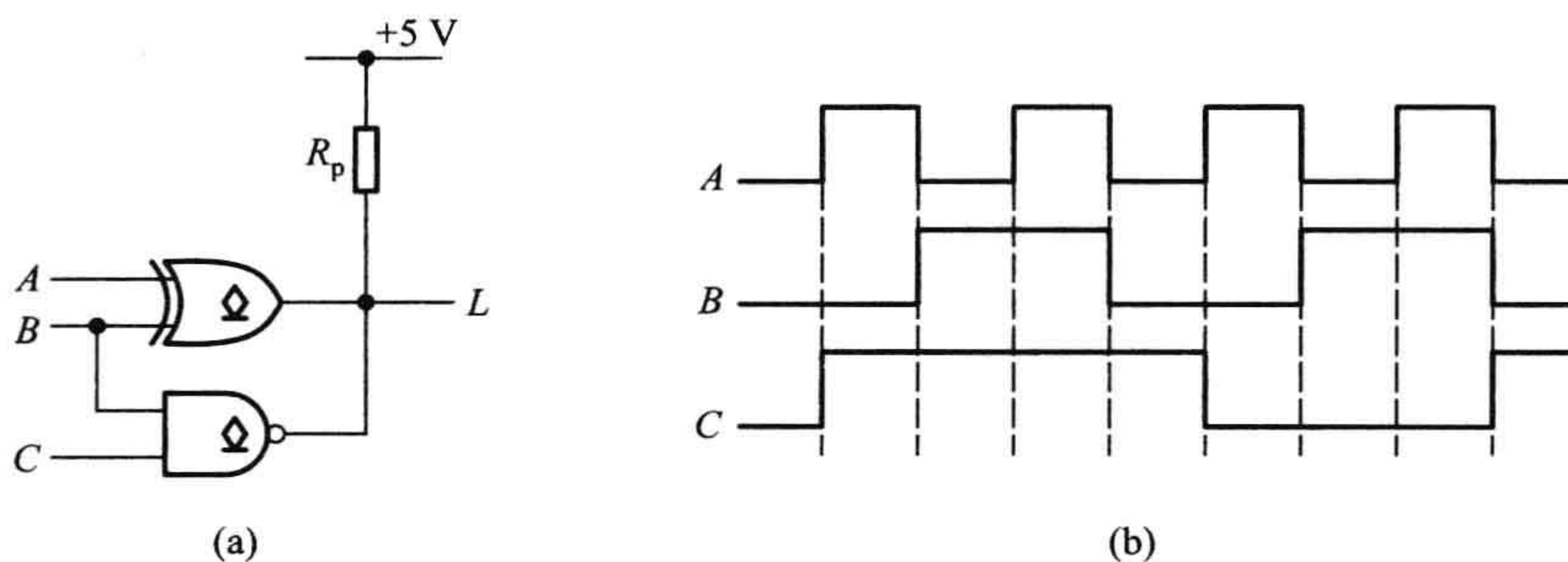
三个漏极开路门的公共上拉电阻 R_p 的下端接 74LS00 的一个输入端, 即: 灌电流情况时, 求出 R_p 的最小值:

$$R_{p(\min)} = \frac{V_{DD} - V_{OL(\max)}}{I_{OL(\max)} - I_{IL(\text{total})}} = \frac{(5 - 0.33) \text{ V}}{(4 - 0.4) \text{ mA}} \approx 1.3 \text{ k}\Omega$$

拉电流情况时, 求出 R_p 的最大值:

$$R_{p(\max)} = \frac{V_{DD} - V_{OH(\min)}}{I_{OZ(\text{total})} + I_{IH(\text{total})}} = \frac{(5 - 4.4) \text{ V}}{(0.005 \times 3 + 0.02) \text{ mA}} \approx 17.1 \text{ k}\Omega$$

3.3.6 由 OD 异或门和 OD 与非门构成的电路及输入电压波形如图题 3.3.6 所示。



图题 3.3.6

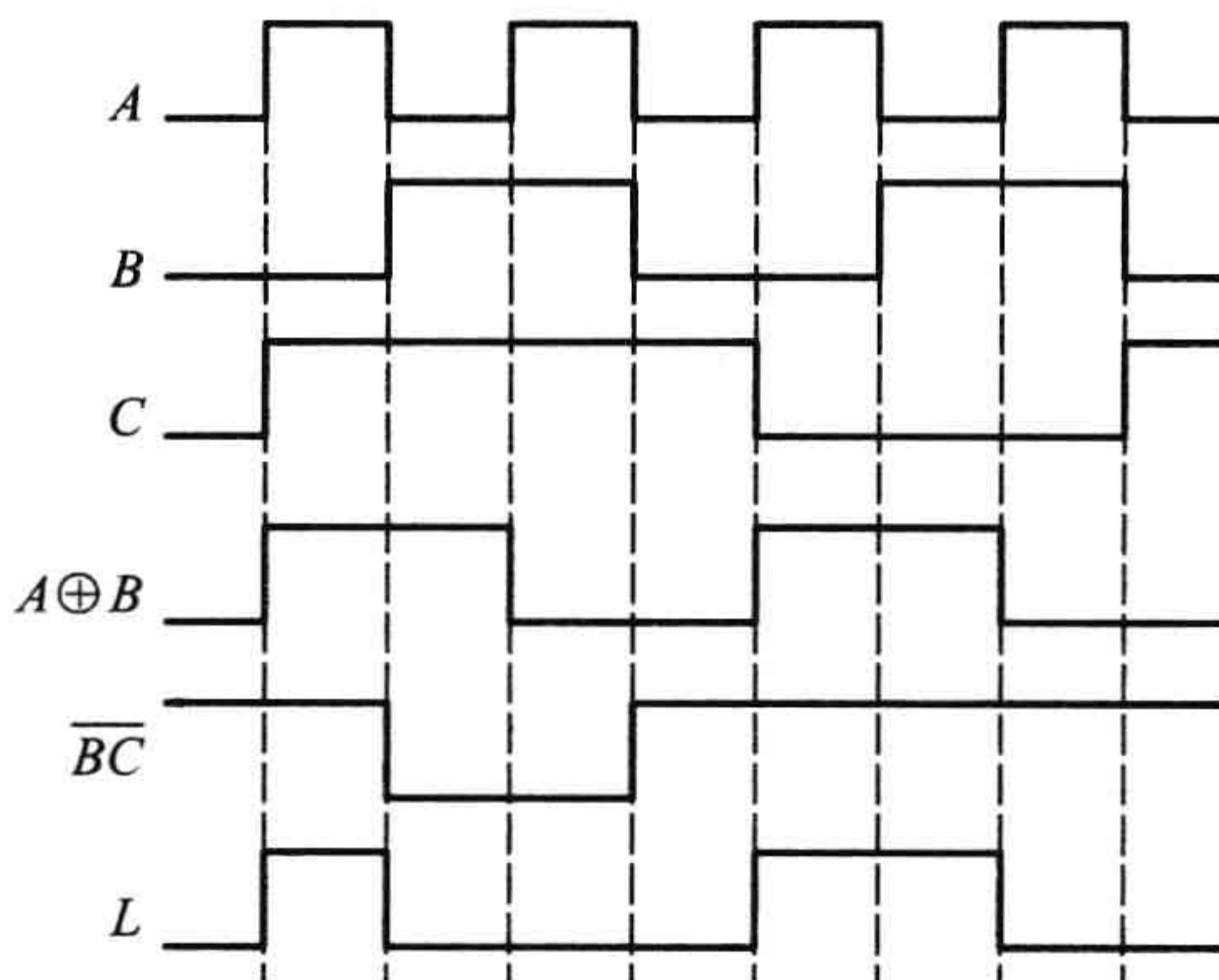
(1) 试写出输出与输入的逻辑关系式, 画出输出电压波形。

(2) 已知输出低电平 $V_{OL(\max)} = 0.33 \text{ V}$ 时的最大输出电流 $I_{OL(\max)} = 4 \text{ mA}$, 输出高电平 $V_{OH(\min)} = 4.4 \text{ V}$ 时的漏电流 $I_{OZ} = 5 \mu\text{A}$, 计算 $R_{p(\min)}$ 和 $R_{p(\max)}$ 。

解: (1) 其逻辑表达式

$$L = (A \bar{B} + \bar{A} B) \bar{B} C = A \bar{B} + \bar{A} B \bar{C}$$

输出电压波形如图题解 3.3.6 所示。



图题解 3.3.6

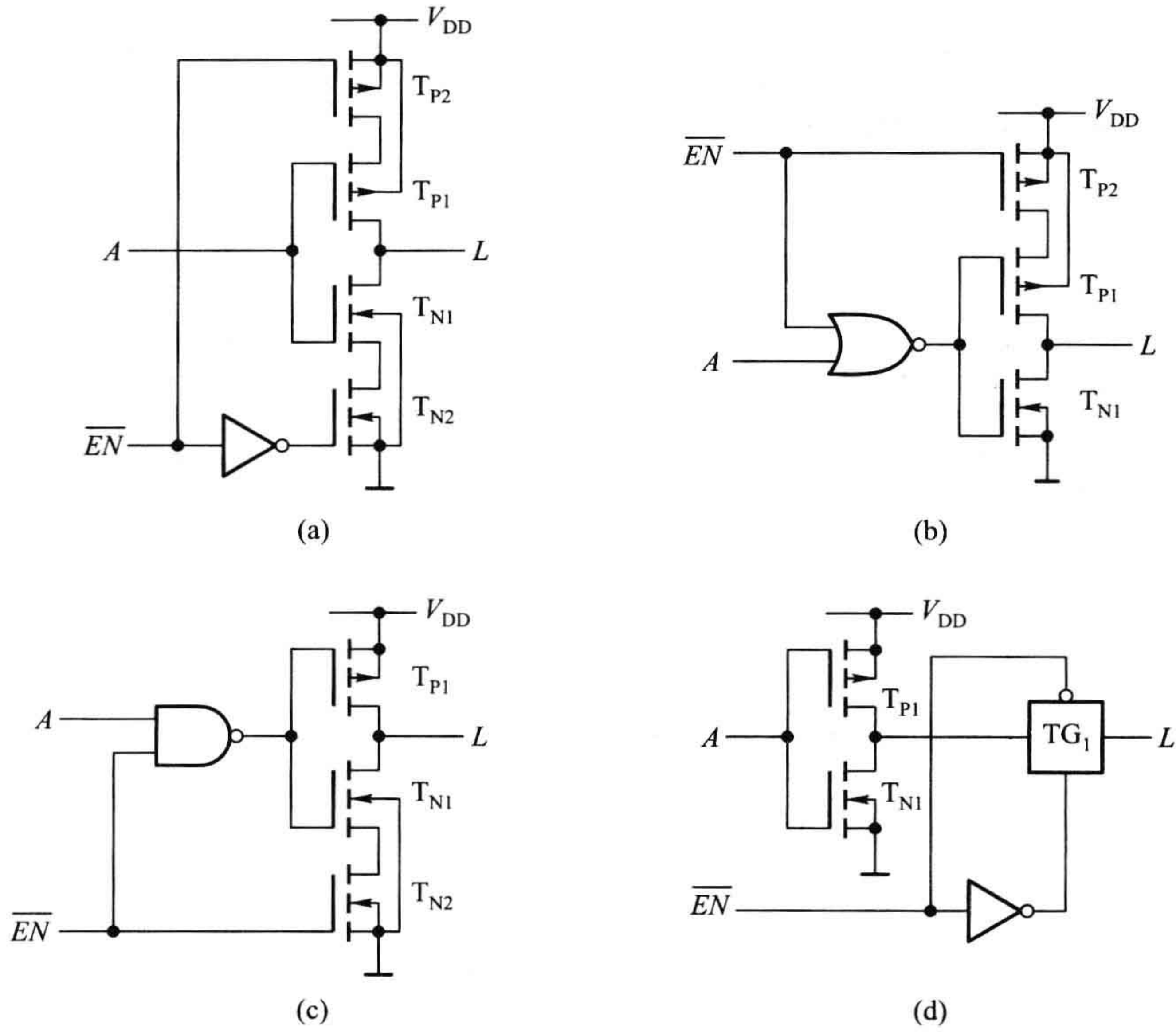
(2) 灌电流情况时, 求出 R_p 的最小值:

$$R_{p(\min)} = \frac{V_{DD} - V_{OL(\max)}}{I_{OL(\max)}} = \frac{(5 - 0.33) \text{ V}}{4 \text{ mA}} \approx 1.2 \text{ k}\Omega$$

拉电流情况时, 求出 R_p 的最大值:

$$R_{p(\max)} = \frac{V_{DD} - V_{OH(\min)}}{I_{OZ(\text{total})}} = \frac{(5 - 4.4) \text{ V}}{0.005 \times 2 \text{ mA}} \approx 60 \text{ k}\Omega$$

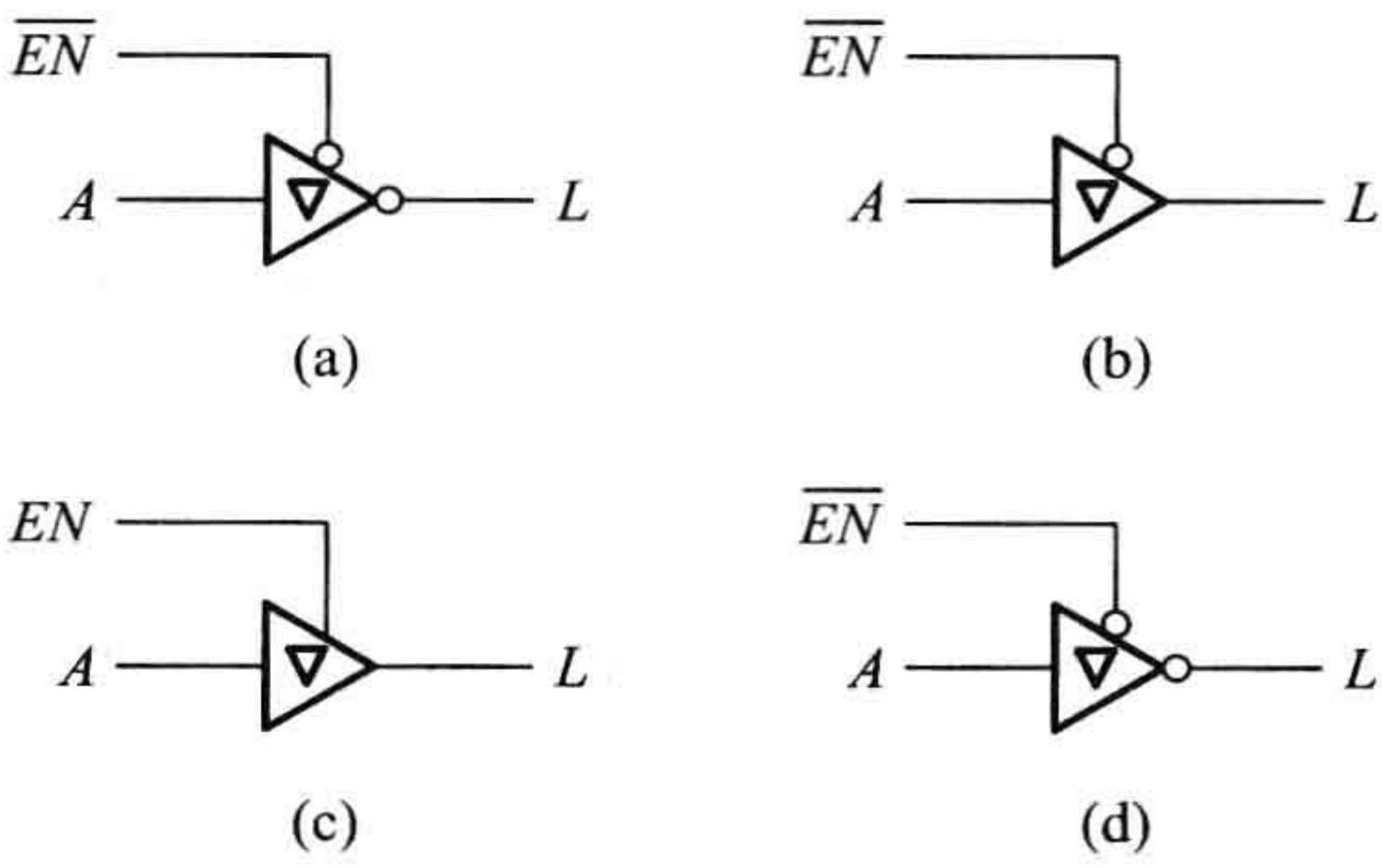
3.3.7 试分析图题 3.3.7 所示的 CMOS 电路,说明它们的逻辑功能。



图题 3.3.7

解:对于图题 3.3.7(a)所示的 CMOS 电路, $\overline{EN}=0$ 时, T_{P2} 和 T_{N2} 均导通, T_{P1} 和 T_{N1} 构成的反相器正常工作, $L=\overline{A}$;当 $\overline{EN}=1$ 时, T_{P2} 和 T_{N2} 均截止,无论 A 为高电平还是低电平,输出端均为高阻状态,其真值表如表题解 3.3.7 所示,该电路是低电平使能三态非门,其表示符号如图题解 3.3.7(a)所示。

表题解 3.3.7		
$\overline{EN}$	A	L
0	0	1
0	1	0
1	×	高阻



图题解 3.3.7

图题 3.3.7(b) 所示的 CMOS 电路, $\overline{EN}=0$ 时, T_{P2} 导通, 或非门打开, T_{P1} 和 T_{N1} 构成的反相器正常工作, $L=A$; 当 $\overline{EN}=1$ 时, T_{P2} 截止, 或非门输出低电平, 使 T_{N1} 截止, 输出端处于高阻状态, 该电路是低电平使能三态缓冲器, 其表示符号如图题解 3.3.7(b) 所示。

同理可以分析图题 3.3.7(c) 和 3.3.7(d) 所示的 CMOS 电路, 它们分别为高电平使能三态缓冲器和低电平使能三态非门, 其表示符号分别如图题解 3.3.7(c) 和 3.3.7(d) 所示。

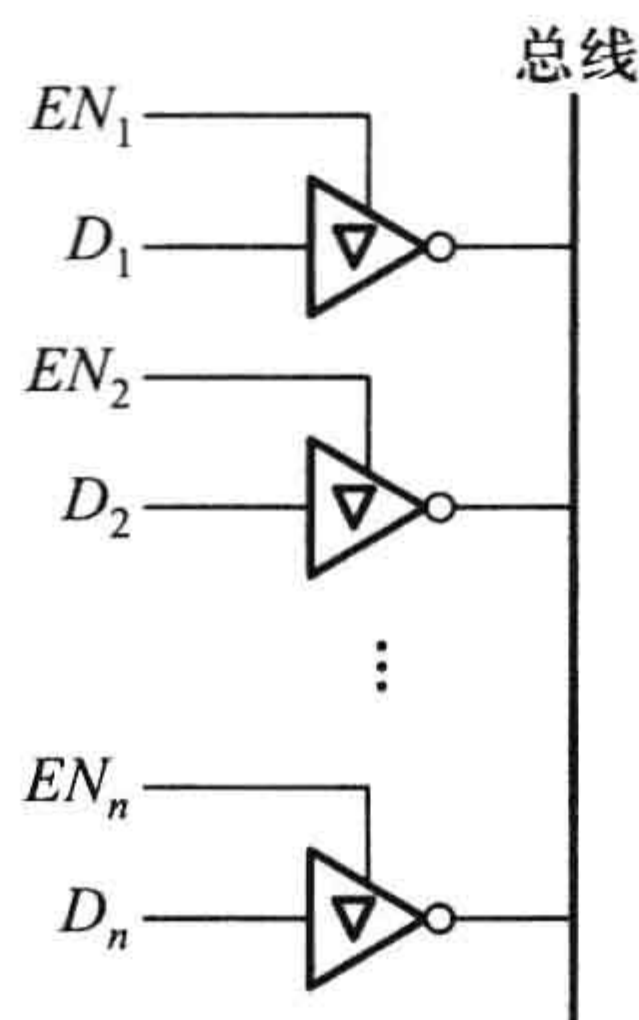
3.3.8 图题 3.3.8 表示三态门用于总线传输的示意图, 图中 n 个三态门的输出连接到数据传输总线, $D_1, D_2, \dots, D_n$ 为数据输入端, $EN_1, EN_2, \dots, EN_n$ 为使能信号输入端。试问: (1) 如何控制 EN 信号, 以便数据 $D_1, D_2, \dots, D_n$ 能通过该总线进行正常传输; (2) EN 信号能否有两个或两个以上同时有效? 如果 EN 出现两个或两个以上有效, 可能发生什么情况? (3) 如果所有 EN 信号均无效, 总线处在什么状态? (4) 如果三态门的开通比断开要快, 可能发生什么情况?

解: (1) 根据图题 3.3.8 可知, 输入使能信号 $EN_1, EN_2, \dots, EN_n$ 为高电平有效, 当 $EN_i=1$ 时, 第 i 个三态门被选中, 其输入数据被送到数据传输总线上。根据数据传输的速度, 分时地给 $EN_1, EN_2, \dots, EN_n$ 端以正脉冲信号, 使其相应的三态门的输出数据能分时地到达总线上。

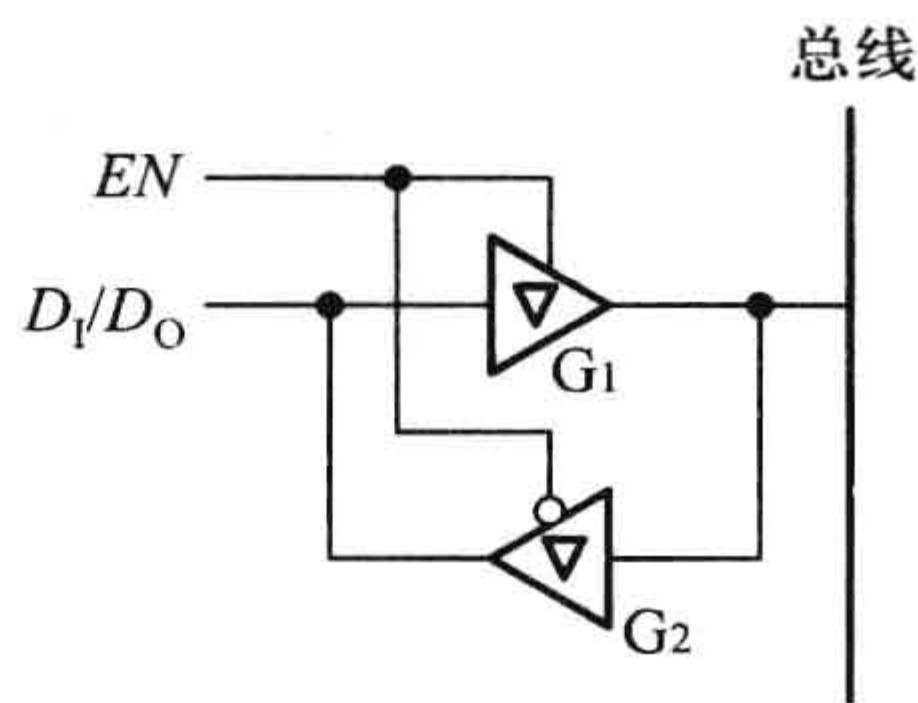
(2) EN 信号不能有两个或两个以上同时有效, 否则两个不同的信号将在总线上发生冲突。即总线不能同时既为 0 又为 1。

(3) 如果所有 EN 信号均无效, 总线处于高阻状态。

(4) 如果三态门的开通比断开要快, 可能导致两个不同的信号在总线上发生冲突。



图题 3.3.8



图题 3.3.9

3.3.9 三态门与总线的连接方式如图题 3.3.9 所示, 试分析电路的逻辑功能。

解: 图题 3.3.9 所示电路可以实现数据的双向传输。当 $EN=1$ 时, G_1 门工作, G_2 门为高阻态, 数据 D_1/D_0 经 G_1 门送到总线上。当 $EN=0$ 时, G_2 门工作, G_1 门为高阻态, 数据从总线上经 G_2 门送到 D_1/D_0 端。

3.3.10 根据表题 3.3.10 所列的三种逻辑门电路的技术参数, 试选择一种最适合工作在高噪声环境下的门电路。

表题 3.3.10 逻辑门电路的技术参数表

	$V_{OH(min)}/V$	$V_{OL(max)}/V$	$V_{IH(min)}/V$	$V_{IL(max)}/V$
逻辑门 A	2.4	0.4	2	0.8
逻辑门 B	3.5	0.2	2.5	0.6
逻辑门 C	4.2	0.2	3.2	0.8

解:根据表题 3.3.10 所示逻辑门的参数,以及主教材中式(3.3.3)和式(3.3.4),计算出逻辑门 A 的高电平和低电平噪声容限分别为:

$$V_{NHA} = V_{OH(min)} - V_{IH(min)} = 2.4V - 2V = 0.4V$$

$$V_{NLA} = V_{IL(max)} - V_{OL(max)} = 0.8V - 0.4V = 0.4V$$

同理分别求出逻辑门 B 和 C 的噪声容限为:

$$V_{NHB} = V_{OH(min)} - V_{IH(min)} = 3.5V - 2.5V = 1V$$

$$V_{NLB} = V_{IL(max)} - V_{OL(max)} = 0.6V - 0.2V = 0.4V$$

$$V_{NHC} = V_{OH(min)} - V_{IH(min)} = 4.2V - 3.2V = 1V$$

$$V_{NLC} = V_{IL(max)} - V_{OL(max)} = 0.8V - 0.2V = 0.6V$$

电路的噪声容限愈大,其抗干扰能力愈强,综合考虑,选择逻辑门 C。

3.3.11 CMOS 反相器的负载电容 $C_L = 100 \text{ pF}$,功耗电容 $C_{PD} = 15 \text{ pF}$,电源电压 $V_{DD} = 3.3 \text{ V}$,输入矩形波的频率为 1 MHz ,试计算反相器的动态功耗。

解:根据主教材中 CMOS 电路动态功耗的计算公式(3.3.5)可得

$$P_D = (C_{PD} + C_L) V_{DD}^2 f = (100 + 15) \times 10^{-12} \times 3.3^2 \times 10^6 = 1.3 \text{ mW}$$

3.3.12 当 74HC 系列 CMOS 电路的电源电压由 $5V$ 降至 $3.3V$,其功耗下降了百分之多少?

解:根据主教材中 CMOS 电路动态功耗的计算公式(3.3.5)可得

$$\frac{\Delta P_D}{P_D} = \frac{CV_{DD1}^2 f - CV_{DD2}^2 f}{CV_{DD1}^2 f} = \frac{5^2 - 3.3^2}{5^2} \times 100\% = 56\%$$

3.3.13 根据表题 3.3.13 所列的三种逻辑门电路的技术参数,计算出它们的延时-功耗积,并指出哪一种逻辑门的性能最好。

表题 3.3.13 逻辑门电路的技术参数表

	t_{pLH}/ns	t_{pHL}/ns	P_D/mW
逻辑门 A	1	1.2	16
逻辑门 B	5	6	8
逻辑门 C	10	10	1

解:延时-功耗积为传输延迟时间与功耗的乘积,即

$$DP = t_{pd} P_D$$

根据上式可以计算出各逻辑门的延时-功耗积分别为

$$DP_A = \frac{t_{pLH} + t_{pHL}}{2} \cdot P_D = \frac{(1 + 1.2) ns}{2} \times 16mW = 17.6 \times 10^{-12} J(\text{焦耳}) = 17.6pJ$$

同理得出, $DP_B = 44\text{pJ}$, $DP_C = 10\text{pJ}$ 。逻辑门的 DP 值愈小, 表明它的特性愈好, 所以, 逻辑门 C 的性能最好。

3.3.14 根据主教材中表 3.3.4 和表 3.5.1 所示的电流值, 求下列情况下逻辑门的扇出数:
(1) 74LVC 门驱动同类门; (2) 74AHCT 门驱动 74ALS 门。

解: (1) 74LVC 门驱动同类门

根据表 3.3.4 可知: $I_{OH} = -0.1\text{mA}$, $I_{OL} = 0.1\text{mA}$, $I_{IH} = 5\mu\text{A}$, $I_{IL} = -5\mu\text{A}$ 。

计算时不考虑符号, 拉电流工作时

$$N_{OH} = \frac{I_{OH}}{I_{IH}} = \frac{0.1}{0.005} = 20$$

灌电流工作时,

$$N_{OL} = \frac{I_{OL}}{I_{IL}} = \frac{0.1}{0.005} = 20$$

因此, 扇出数为 20。

(2) 74AHCT 门驱动 74ALS 门

根据表 3.3.4 可知: $I_{OH} = -8\text{mA}$, $I_{OL} = 8\text{mA}$ 。根据主教材中表 3.5.1 可知: $I_{IH} = 20\mu\text{A}$, $I_{IL} = -0.1\text{mA}$ 。主教材中表 3.5.1 计算时不考虑符号, 拉电流工作时

$$N_{OH} = \frac{I_{OH}}{I_{IH}} = \frac{8}{0.02} = 400$$

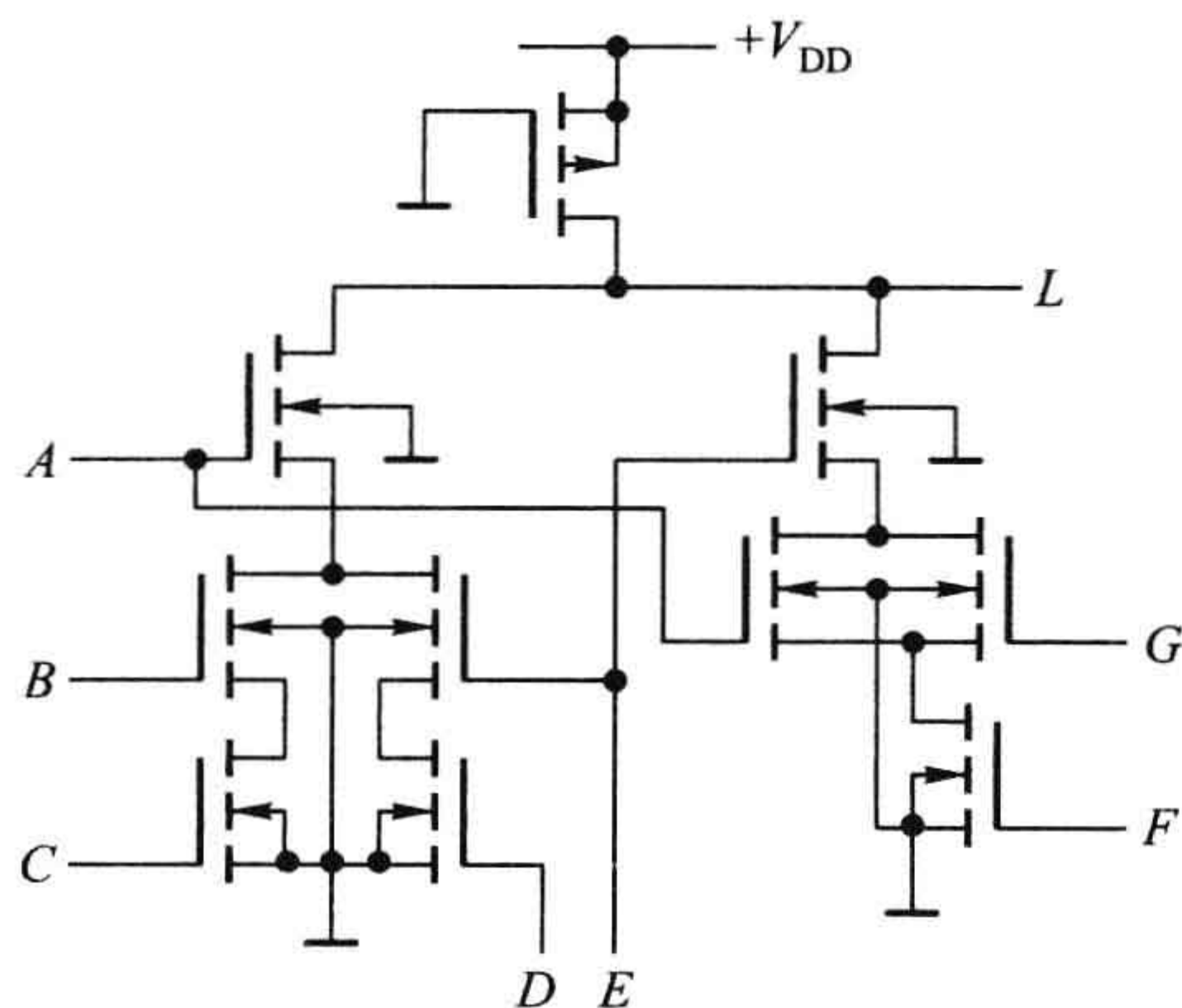
灌电流工作时,

$$N_{OL} = \frac{I_{OL}}{I_{IL}} = \frac{8}{0.1} = 80$$

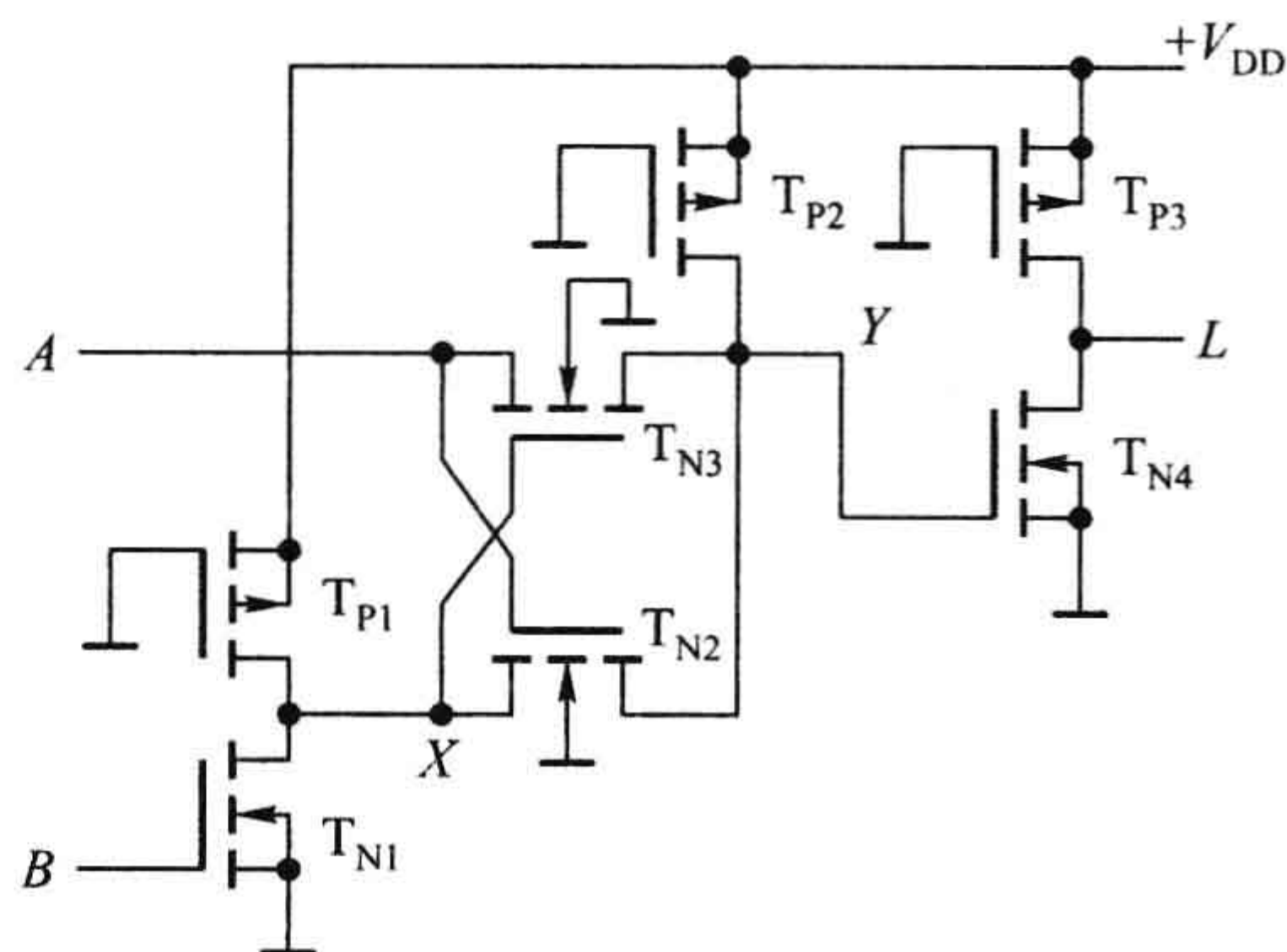
因此, 扇出数为 80。

3.4 类 NMOS 和 BiCMOS 逻辑门电路

3.4.1 写出图题 3.4.1 所示电路的逻辑表达式。



图题 3.4.1



图题 3.4.2

解: 通过分析 NMOS 与非门和或非门可知, 两个工作管串联实现与功能, 并联实现或功能。根据图题 3.4.1 所示电路, 左半边电路中 B、C 对应的工作管串联实现 BC 与功能, 两者又与 D、E

对应的工作管并联,实现 $(BC+DE)$ 或功能,然后再与 A 对应的工作管串联实现 $A(BC+DE)$ 的功能;右半边电路构成 $(A+G)EF$ 的功能,并注意与、或、非之间的先后顺序,可写出电路的逻辑表达式 $L = \overline{(BC+DE)A + (A+G)EF}$ 。

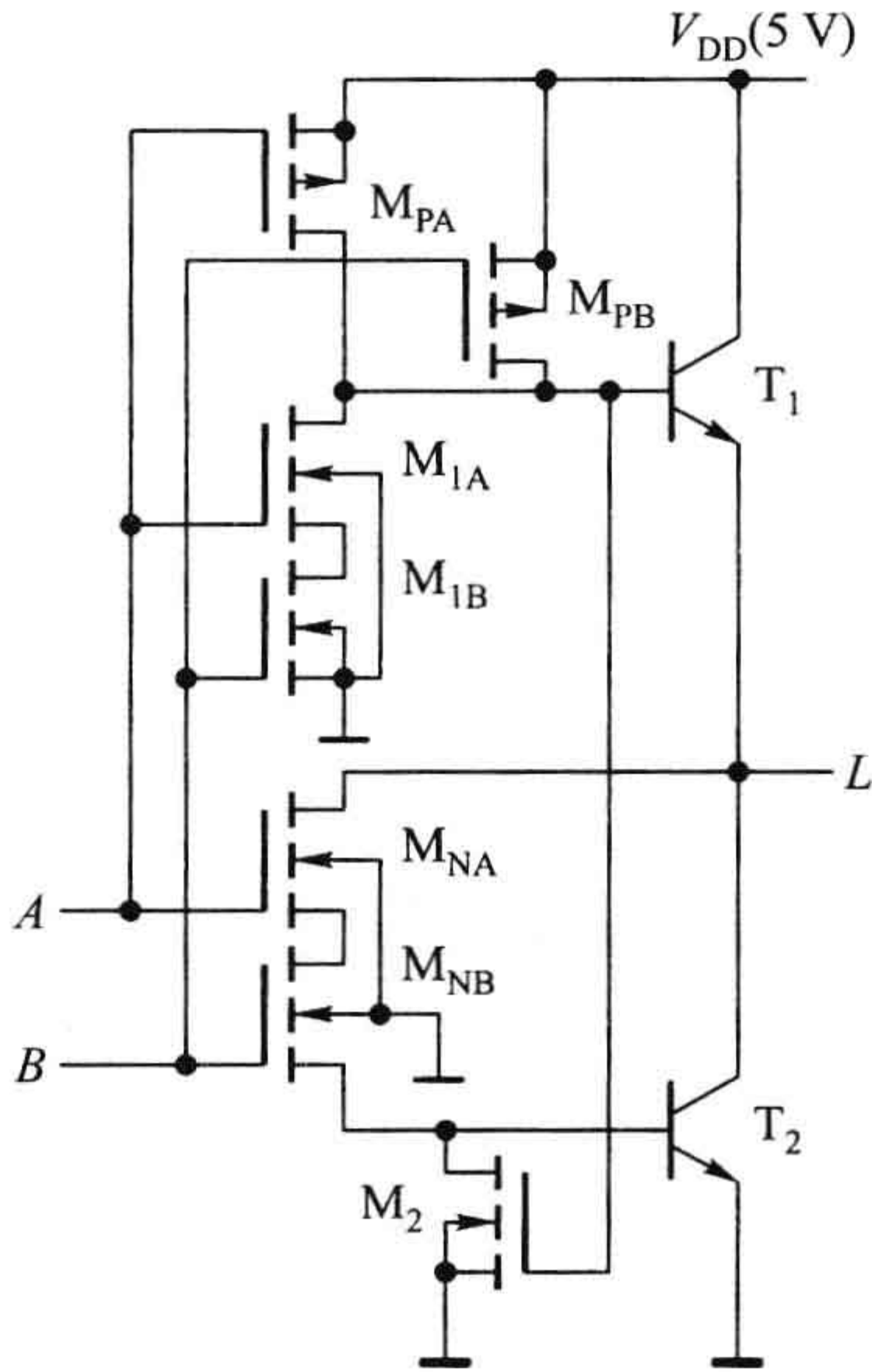
3.4.2 写出图题 3.4.2 所示电路的逻辑表达式。

解:图题 3.4.2 所示电路由三部分组成,第一、三部分为类 NMOS 反相器,分析中间电路可得真值表如表题解 3.4.2 所示,该电路为同或门,即 $Y = A \odot X$ 。而 $X = \overline{B}$, $L = \overline{Y}$,所以 $L = A \oplus X = A \oplus \overline{B} = A \odot B$,即电路为同或门。

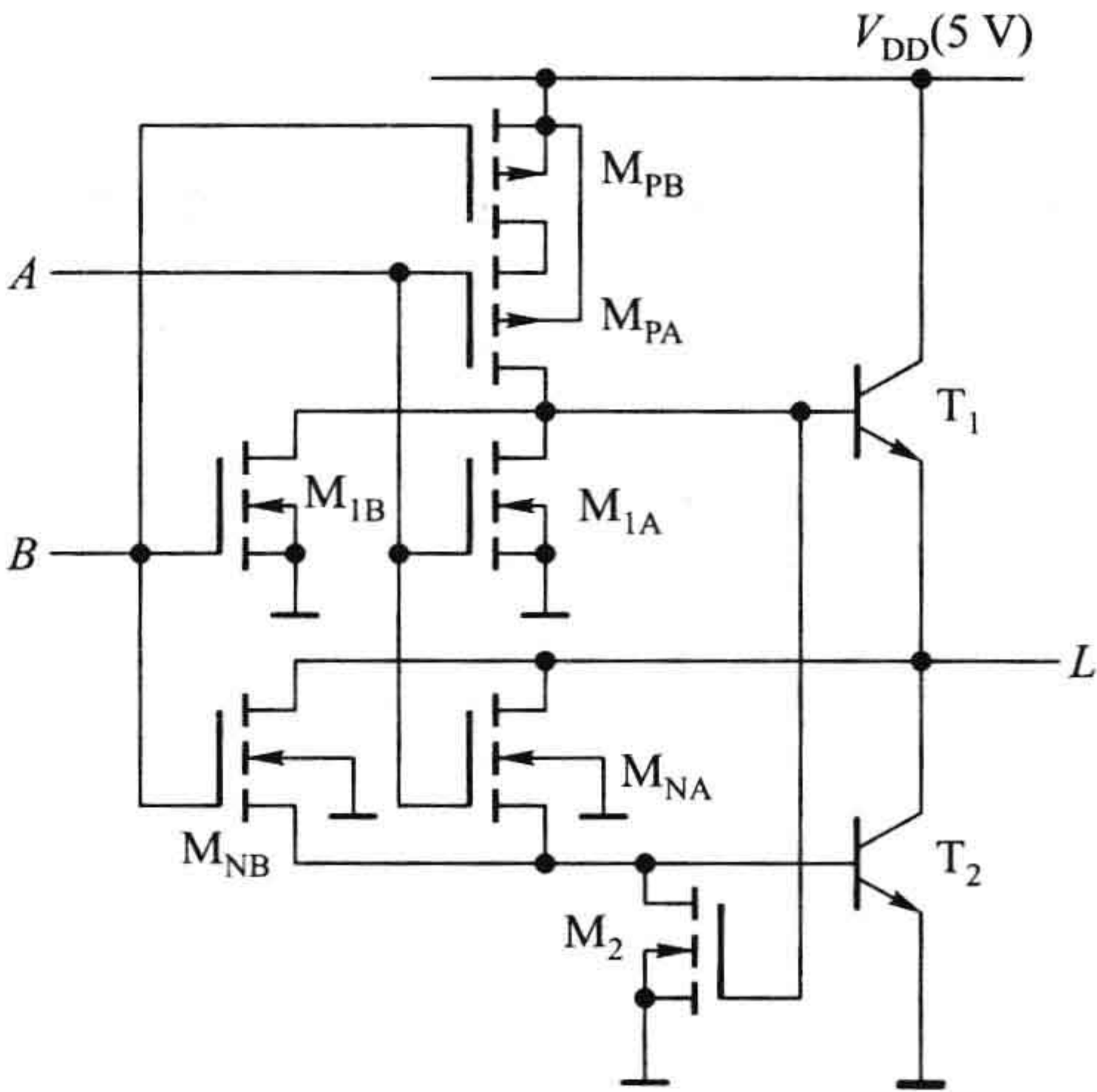
表题解 3.4.2

A	X	T_1	T_2	Y
0	0	截止	截止	1
0	1	导通	截止	0
1	0	截止	导通	0
1	1	截止	截止	1

3.4.3 图题 3.4.3 所示为 2 输入端 BiCMOS 与非门电路,试分析该电路是怎样实现与非逻辑关系 ($L = \overline{A \cdot B}$) 的。



图题 3.4.3



图题 3.4.4

解:图题 3.4.3 所示的与非门电路在结构上与或非门电路的结构恰好相反,两个 NMOSFET 的 M_{NA} 和 M_{NB} 彼此串联,而两个 PMOSFET 的 M_{PA} 和 M_{PB} 则彼此并联。

当 A 、 B 两输入端均为高电平时, M_{NA} 和 M_{NB} 均导通, M_{PA} 和 M_{PB} 则均截止,输出 L 为低电平。此时 M_{1A} 和 M_{1B} 饱和导通,为 T_1 基区的存储电荷提供一条释放通路。

当 A 、 B 两输入端之一为低电平时, M_{NA} 或 M_{NB} 中有一个截止, M_{1A} 或 M_{1B} 中也有一个截止, 而 M_{PA} 或 M_{PB} 导通, 使输出为高电平; V_{DD} 通过导通的 M_{PA} 或 M_{PB} 驱动 M_2 , 使 M_2 导通, 为 T_2 基区的存储电荷提供一条道路, 使其迅速释放。

可见图题 3.4.3 所示电路具有与非的逻辑功能 $L = \overline{A \cdot B}$ 。

3.4.4 分析图题 3.4.4 所示电路的工作原理, 写出 L 的逻辑表达式。

解: 图题 3.4.4 所示的电路中, 当 A 、 B 两输入端有一个为高电平时, M_{NA} 和 M_{NB} 中至少有一个导通, 如 A 为高电平, B 为低电平, 则 M_{1A} 、 M_{NA} 和 M_{PB} 导通, M_{PA} 、 M_{1B} 、 M_{NB} 、 M_2 和 T_1 截止, L 为低电平。

当 A 、 B 均为低电平时, M_{PA} 、 M_{PB} 、 M_2 和 T_1 导通, M_{1A} 和 M_{1B} 、 M_{NA} 、 M_{NB} 和 T_2 截止, 输出 L 为高电平。所以, $L = \overline{A+B}$ 。

3.5 TTL 逻辑门电路

3.5.1 由 BJT 构成的反相器如图题 3.5.1 所示, $V_{CC} = +5V$, $V_{BE} = 0.7V$, $\beta = 100$ 。当输入 v_I 为 $5V$ 时, 输出为 $0.2V$, 试计算 R_b/R_c 的最大比值。

解: 当反相器的输入 v_I 为 $5V$, 输出为 $0.2V$ 时, BJT 工作在饱和区, 有 $I_C \leq \beta I_B$ 。分别在输入回路和输出回路, 列出 I_B 与 R_b 、 I_C 与 R_c 的关系式, 代入上述关系式即可得出 R_b/R_c 的最大比值。

由图可得

$$I_B = \frac{v_I - V_{BE}}{R_b} = \frac{5 - 0.7}{R_b} = \frac{4.3}{R_b}$$

$$V_{CE} = V_{CC} - I_C R_c$$

BJT 工作在饱和区时 $I_C \leq \beta I_B$, 所以,

$$V_{CE} \geq V_{CC} - \beta I_B R_c$$

$$0.2 \geq 5 - 100 \times \frac{4.3}{R_b} R_c$$

$$\frac{R_b}{R_c} \leq \frac{430}{4.8} \approx 90$$

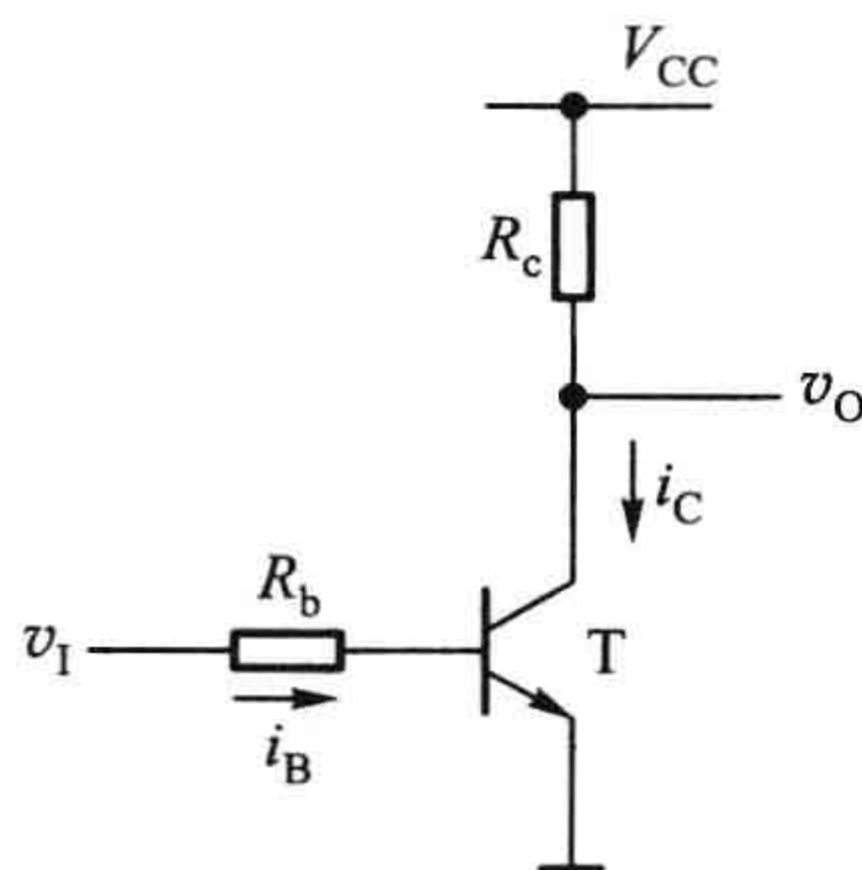
R_b/R_c 的最大比值约为 90。

3.5.2 为什么说 TTL 与非门的输入端在以下四种接法下, 都属于逻辑 1:

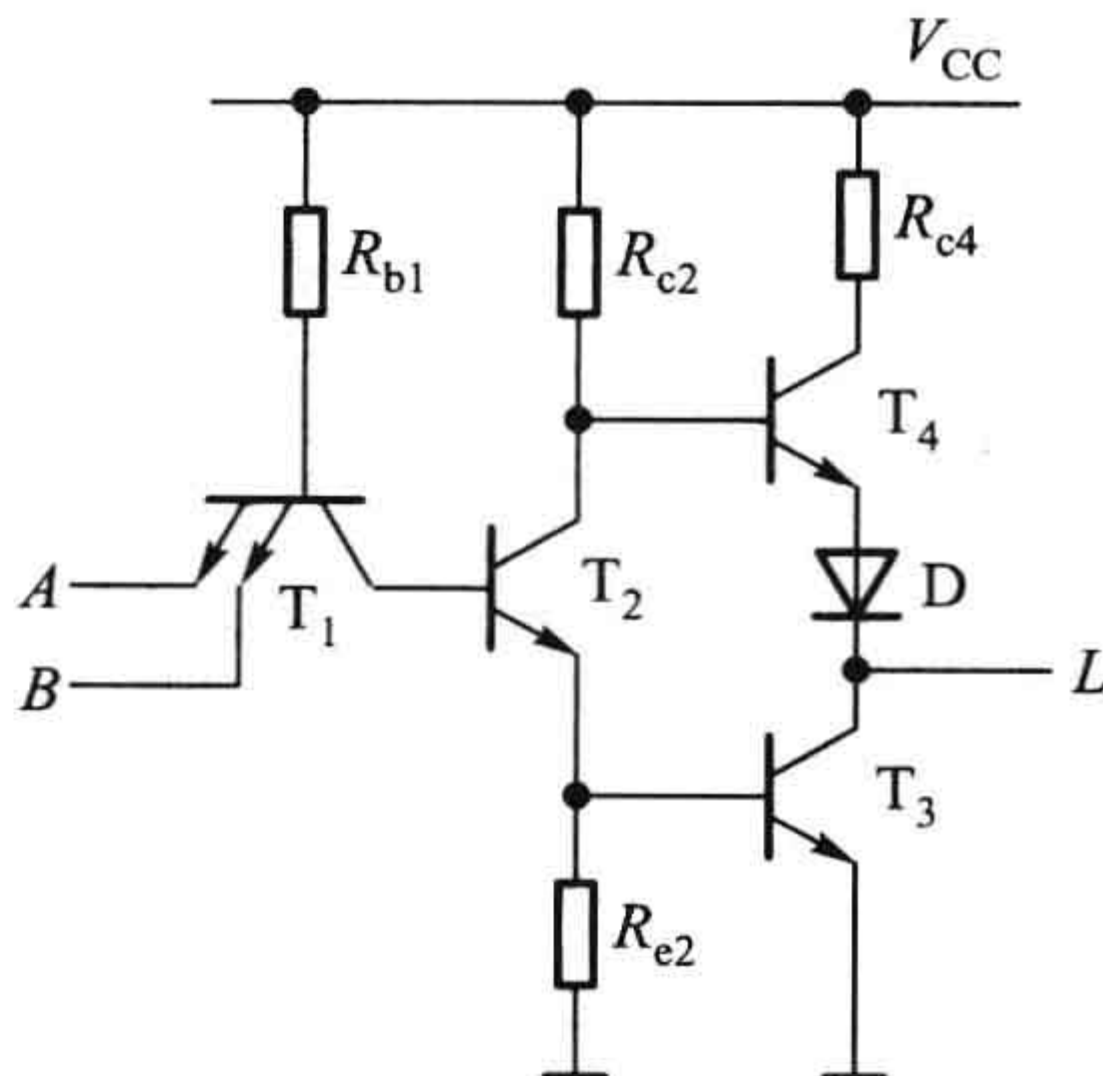
(1) 输入端悬空; (2) 输入端接高于 $2V$ 的电源; (3) 输入端接同类与非门的输出高电平 $3.6V$; (4) 输入端到地之间接 $10k\Omega$ 的电阻。

解: 对于 TTL 门电路来说, 输出和输入高电平的标准电压值为: $V_{OH} = 2.7V$, $V_{IH} = 2V$ 。因此,

(1) 对于图题解 3.5.2 所示的与非门电路, 当输入端悬空时, T_1 的发射极电流 $i_{E1} = 0$, 集电结正偏。 V_{CC} 通过 R_{b1} 和 T_1 的集电结向 T_2 、 T_3 提供基极电流, 使 T_2 、 T_3 饱和导通, 输出为低电



图题 3.5.1



图题解 3.5.2 TTL 与非门电路

平。可见输入端悬空等效于逻辑 1。

(2) $v_i \geq 2\text{ V} = V_{\text{IH}}$, 属于逻辑 1。

(3) $v_i = 3.6\text{ V} > V_{\text{IH}}$, 属于逻辑 1。

(4) 对于图题解 3.5.2 所示的与非门电路, 考虑 A 端接 $10\text{ k}\Omega$ 电阻接地, B 端悬空时, 则电源电压 $V_{\text{CC}} = 5\text{ V}$ 分配到 $4\text{ k}\Omega$ 电阻、 T_1 的发射结 (0.7 V) 和 $10\text{ k}\Omega$ 电阻上, 显然, $V_{10\text{k}\Omega} > V_{\text{IH}} (2\text{ V})$, 故此时输入端亦属逻辑 1。

3.5.3 设有一个 74LS04 反相器驱动两个 74ALS04 反相器和 4 个 74LS04 反相器。(1) 问驱动门是否超载? (2) 若超载, 试提出改进方案; 若未超载, 问还可增加几个 74LS04 门? (器件参数参考表 3.5.1)

解: (1) 根据题意, 74LS04 为驱动门, 同时它又是负载门, 负载门中还有 74ALS04。

从主教材表 3.5.1 中查出 74LS04 和 74ALS04 的参数如下 (不考虑符号):

74LS04: $I_{\text{OL}(\text{max})} = 8\text{ mA}$, $I_{\text{OH}(\text{max})} = 0.4\text{ mA}$; $I_{\text{IL}(\text{max})} = 0.4\text{ mA}$, $I_{\text{IH}(\text{max})} = 0.02\text{ mA}$

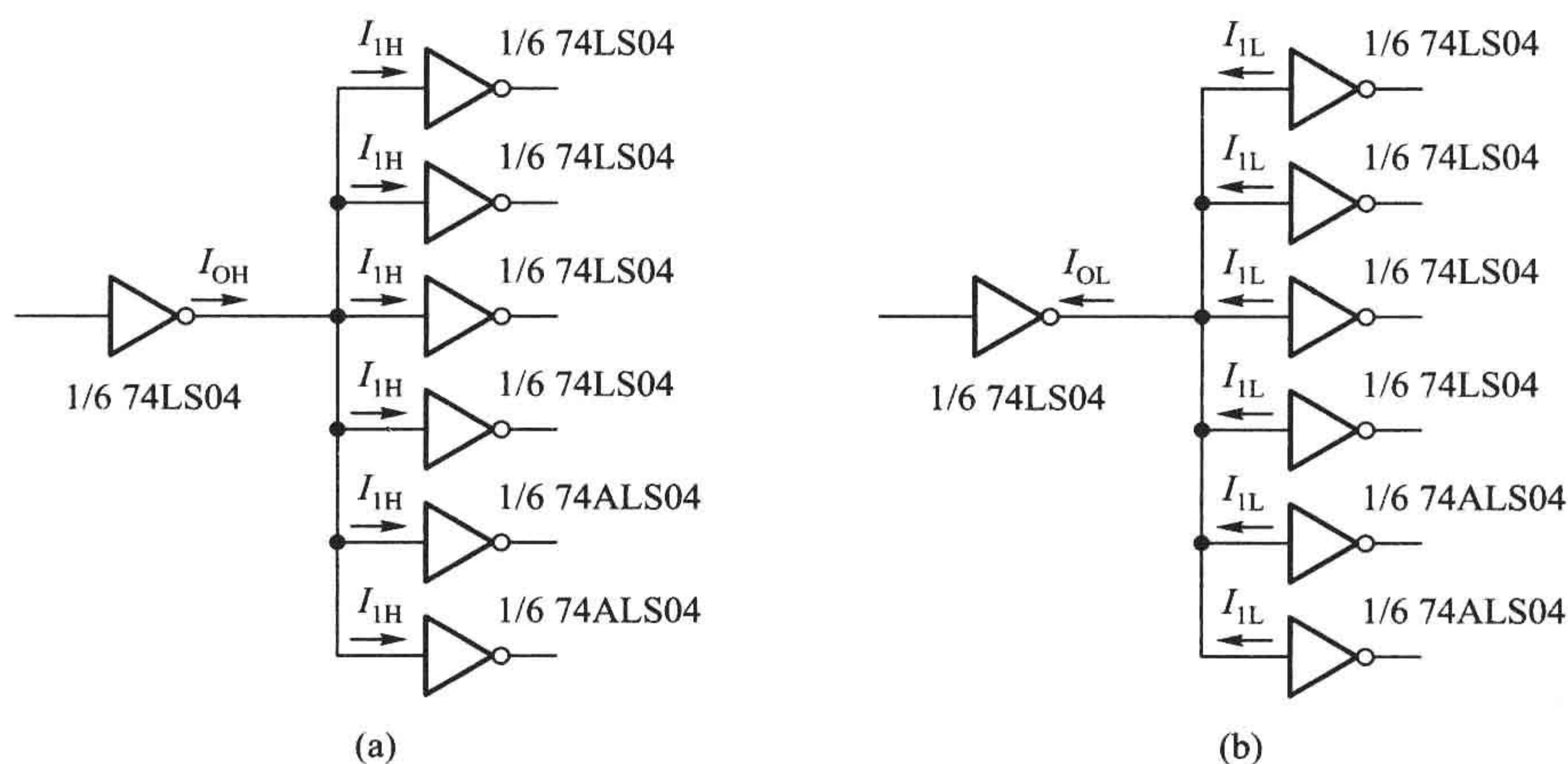
74ALS04: $I_{\text{IL}(\text{max})} = 0.1\text{ mA}$, $I_{\text{IH}(\text{max})} = 0.02\text{ mA}$;

4 个 74LS04 的输入电流为: $4I_{\text{IL}(\text{max})} = 4 \times 0.4\text{ mA} = 1.6\text{ mA}$, $4I_{\text{IH}(\text{max})} = 4 \times 0.02\text{ mA} = 0.08\text{ mA}$ 。

两个 74ALS04 的输入电流为: $2I_{\text{IL}(\text{max})} = 2 \times 0.1\text{ mA} = 0.2\text{ mA}$, $2I_{\text{IH}(\text{max})} = 2 \times 0.02\text{ mA} = 0.04\text{ mA}$ 。

① 拉电流负载情况下如图题解 3.5.3 (a) 所示, 74LS04 总的拉电流为两部分, 即 4 个 74LS04 的高电平输入电流最大值 $4 \times I_{\text{IH}(\text{max})} = 0.08\text{ mA}$; 两个 74ALS04 的高电平输入电流最大值 $2 \times I_{\text{IH}(\text{max})} = 0.04\text{ mA}$ 。两部分拉电流之和为 $0.08\text{ mA} + 0.04\text{ mA} = 0.12\text{ mA}$ 。而 74LS04 能提供 0.4 mA 的拉电流, 并不超载。

② 灌电流负载情况如图题解 3.5.3 (b) 所示, 74LS04 的总灌电流为 $1.6\text{ mA} + 0.2\text{ mA} = 1.8\text{ mA}$ 。而 74LS04 能提供 8 mA 的灌电流, 也未超载。



图题解 3.5.3

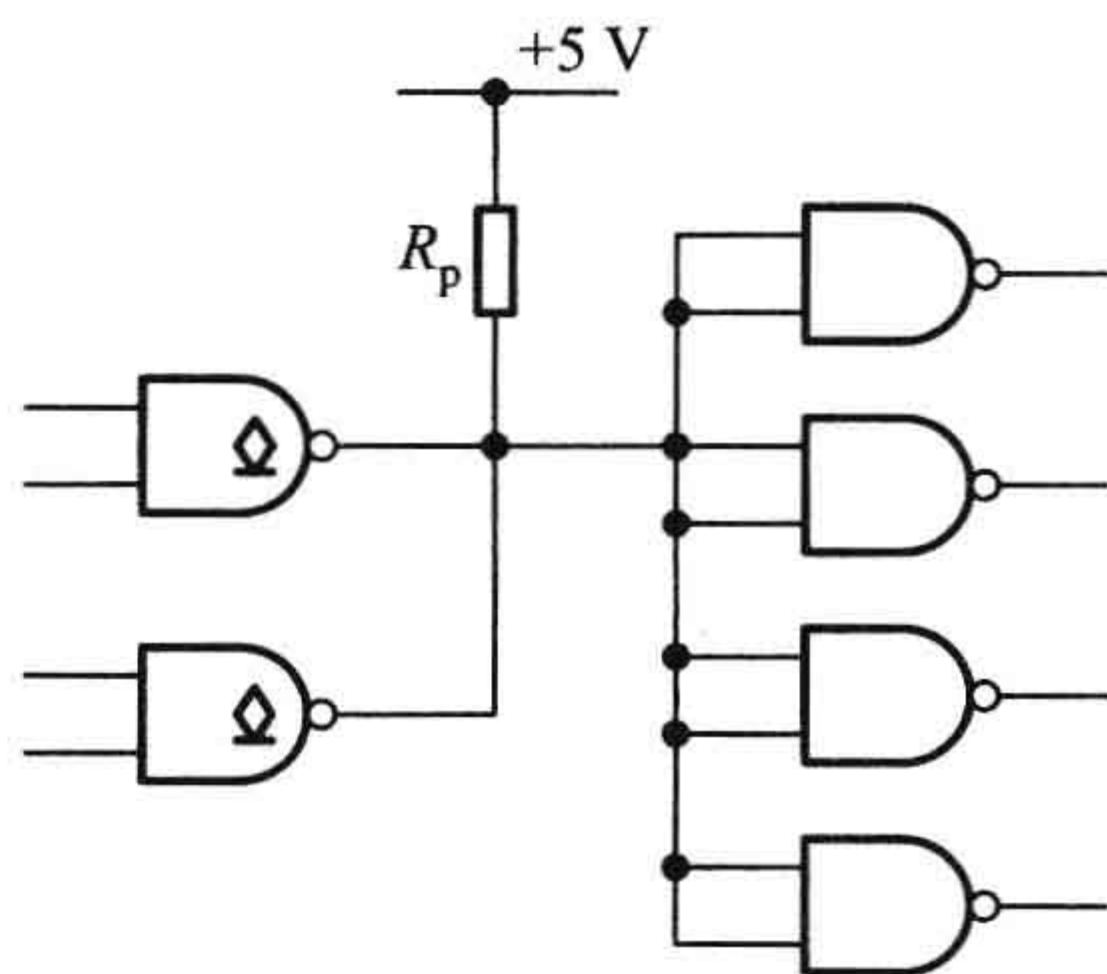
(2) 从上面分析计算可知, 74LS04 所驱动的两类负载无论是灌电流还是拉电流均未超载, 仍有一定的负载裕量。

在拉电流负载情况下电流裕量为 $0.4\text{ mA} - 0.12\text{ mA} = 0.28\text{ mA}$, 可增加 74LS04 负载数为 $0.28\text{ mA} / 0.02\text{ mA} = 14$ 。

在灌电流负载情况下电流裕量为 $8\text{mA} - 1.8\text{mA} = 6.2\text{mA}$, 可增加 74LS04 负载数为 $6.2\text{mA} / 0.4\text{mA} \approx 15$ 。

综合考虑, 除了两个 74ALS04 反相器和 4 个 74LS04 反相器负载外, 再增加负载 74LS04 数目不能超过 14 个。

3.5.4 图题 3.5.4 所示为集电极开路门驱动 4 个 TTL 逻辑门。已知 OC 门输出管截止时的漏电流 $I_{\text{OZ}} = 0.1\text{mA}$, 输出低电平 $V_{\text{OL(max)}} = 0.5\text{V}$ 时的输出电流 $I_{\text{OL(max)}} = 8\text{mA}$, 负载门的电流参数为: $I_{\text{IL}} = 0.5\text{mA}$, $I_{\text{IH}} = 0.02\text{mA}$ 。要求输出高电平 $V_{\text{OH}} \geq 3\text{V}$, 试计算上拉电阻 R_p 的值。



图题 3.5.4

解: 灌电流情况时, 求出 R_p 的最小值, 其中 $I_{\text{IL(total)}} = I_{\text{IL}} \times n$, 这里 n 为门的个数:

$$R_{p(\min)} = \frac{V_{\text{DD}} - V_{\text{OL(max)}}}{I_{\text{OL(max)}} - I_{\text{IL(total)}}} = \frac{(5 - 0.5)\text{V}}{(8 - 0.5 \times 4)\text{mA}} = 0.75\text{ k}\Omega$$

拉电流情况时, 求出 R_p 的最大值, 其中 $I_{\text{IH(total)}} = I_{\text{IH}} \times n$, 这里 n 为与非门的输入端数:

$$R_{p(\max)} = \frac{V_{\text{DD}} - V_{\text{OH(min)}}}{I_{\text{OZ(total)}} + I_{\text{IH(total)}}} = \frac{(5 - 3)\text{V}}{(0.1 + 0.02 \times 8)\text{mA}} \approx 7.7\text{ k}\Omega$$

上拉电阻 R_p 的取值应在 $0.75\text{k}\Omega$ 和 $7.7\text{k}\Omega$ 范围内。

3.5.5 将题 3.5.4 中的负载门全部改成 2 输入或非门, 其他参数不变, 重新计算上拉电阻 R_p 的值。

解: 灌电流情况时, 求出 R_p 的最小值, 其中 $I_{\text{IL(total)}} = I_{\text{IL}} \times n$, 这里 n 为或非门的输入端数:

$$R_{p(\min)} = \frac{V_{\text{DD}} - V_{\text{OL(max)}}}{I_{\text{OL(max)}} - I_{\text{IL(total)}}} = \frac{(5 - 0.5)\text{V}}{(8 - 0.5 \times 8)\text{mA}} \approx 1.1\text{ k}\Omega$$

拉电流情况时, 求出 R_p 的最大值, 其中 $I_{\text{IH(total)}} = I_{\text{IH}} \times n$, 这里 n 为或非门的输入端数:

$$R_{p(\max)} = \frac{V_{\text{DD}} - V_{\text{OH(min)}}}{I_{\text{OZ(total)}} + I_{\text{IH(total)}}} = \frac{(5 - 3)\text{V}}{(0.1 + 0.02 \times 8)\text{mA}} \approx 7.7\text{ k}\Omega$$

上拉电阻 R_p 的取值应在 $1.1\text{k}\Omega$ 和 $7.7\text{k}\Omega$ 范围内。

* 3.6 ECL 逻辑门电路

3.6.1 某 ECL 门电路在 25°C 时的参数为: $V_{\text{IL(max)}} = -1.475\text{V}$, $V_{\text{IH(min)}} = -1.105\text{V}$, $V_{\text{OL(max)}} = -1.630\text{V}$, $V_{\text{OH(min)}} = -0.980\text{V}$ 。试计算其噪声容限。

解: 根据主教材中计算噪声容限的公式(3.3.3)和(3.3.4)得出其高电平和低电平噪声容限分别为:

$$V_{\text{NH}} = V_{\text{OH(min)}} - V_{\text{IH(min)}} = -0.980\text{V} - (-1.105\text{V}) = 0.125\text{ V}$$

$$V_{\text{NL}} = V_{\text{IL(max)}} - V_{\text{OL(max)}} = -1.475\text{V} - (-1.630\text{V}) = 0.155\text{ V}$$

可见, ECL 门电路的噪声容限非常低。

3.7 逻辑描述中的几个问题

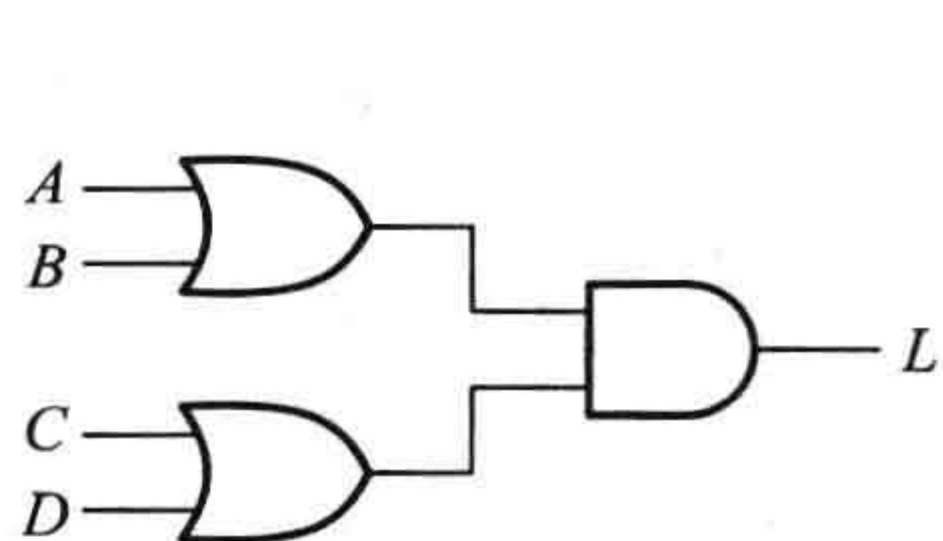
3.7.1 试对图题 3.7.1 所示电路的逻辑门进行变换, 使其可以用单一的或非门实现。

解:将图题 3.7.1 所示电路第二级的与门用其等效符号代替,得到图题解 3.7.1(a)所示电路。然后将第二级输入端的小圆圈移至第一级的输出端,得到图题解 3.7.1(b)所示电路,该电路可以用或非门 74HCT02 实现。

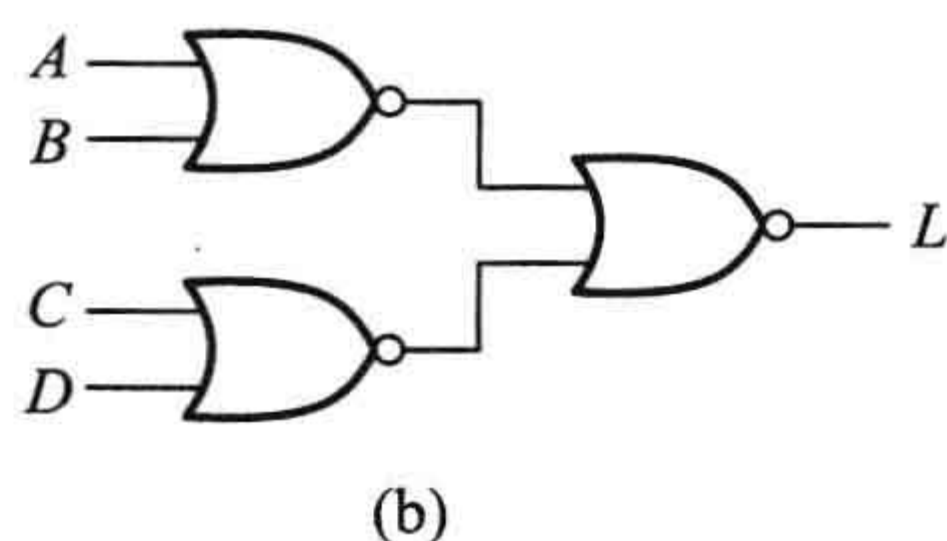
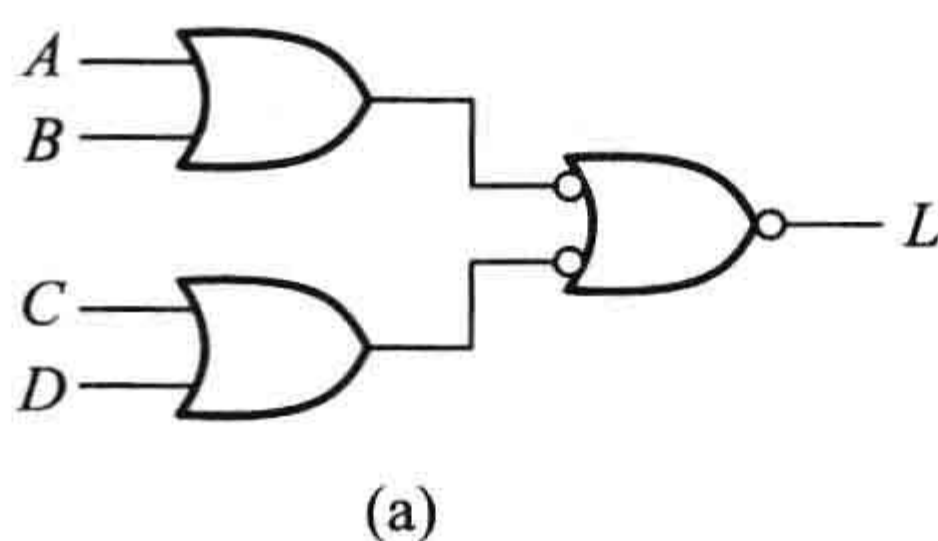
另外,也可以将电路的逻辑表达式进行变换得

$$L = (A+B)(C+D) = \overline{\overline{(A+B)(C+D)}} = \overline{\overline{A+B+C+D}}$$

直接用或非门实现上述表达式,得到如图题解 3.7.1(b)所示的逻辑电路。



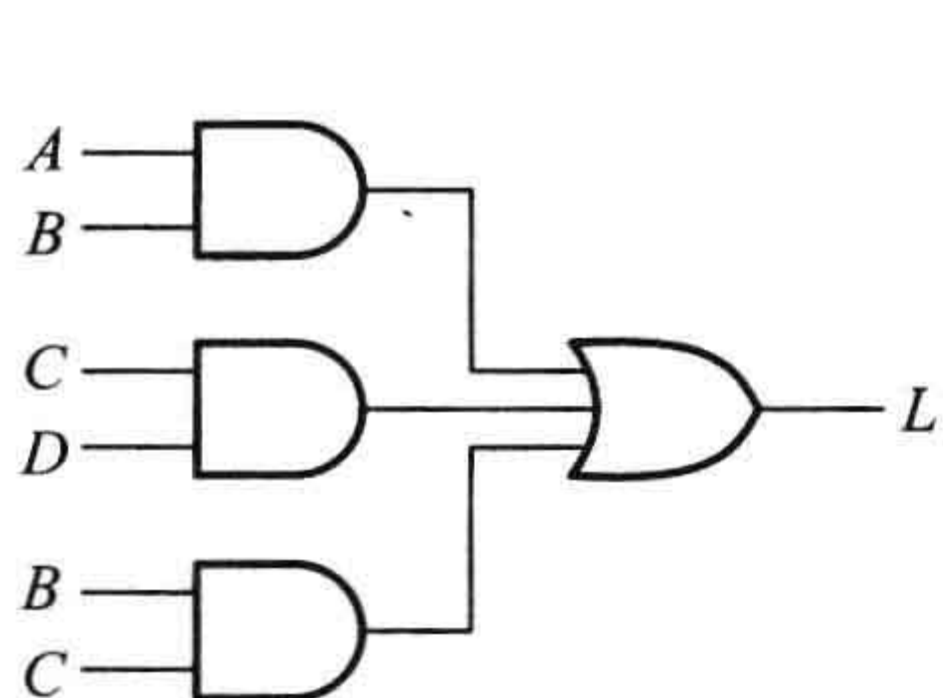
图题 3.7.1



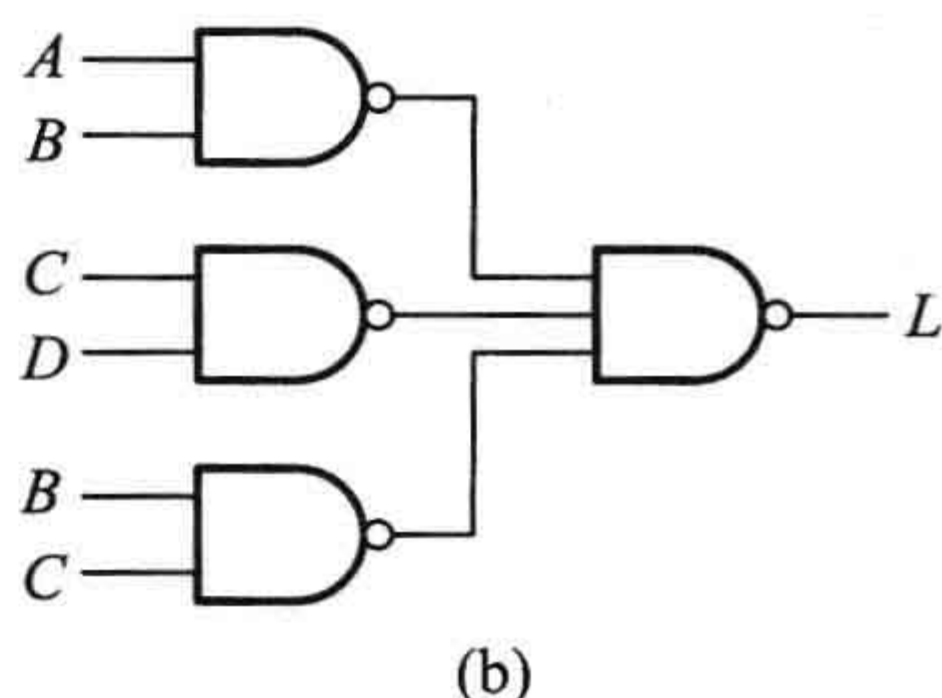
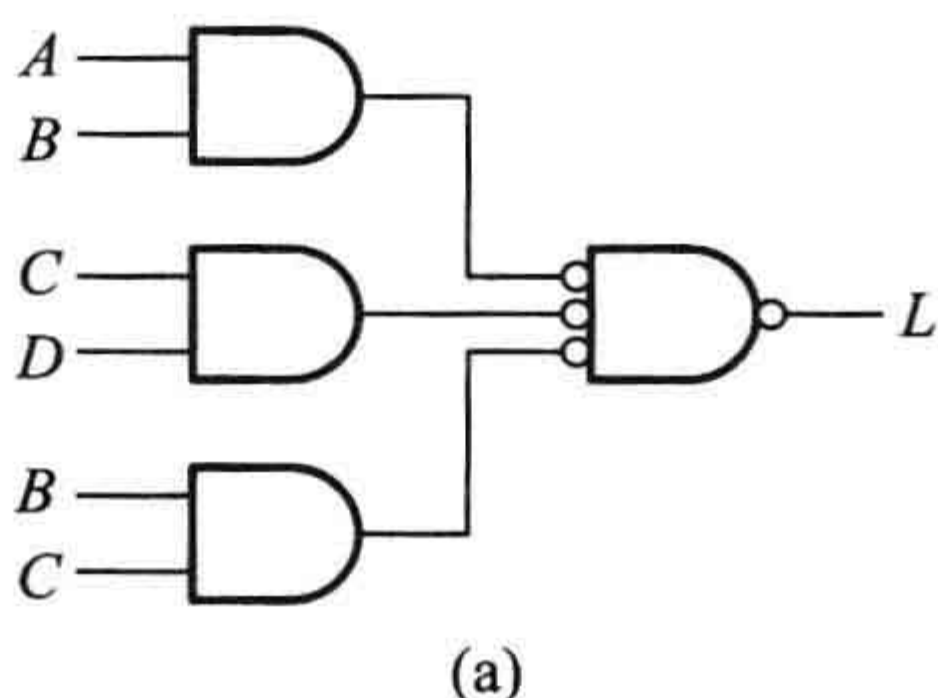
图题解 3.7.1

3.7.2 电路如图题 3.7.2 所示,试用与非门实现。

解:将图题 3.7.2 所示电路第二级的或门用其等效符号代替,得到图题解 3.7.2(a)所示电路。然后将第二级输入端的小圆圈移至第一级的输出端,得到图题解 3.7.2(b)所示电路,该电路可以用一片包含四个 2 输入与非门的 74HCT00 和一片包含三个 3 输入与非门的 74HCT10 实现。



图题 3.7.2



图题解 3.7.2

3.8 逻辑门电路使用中的几个实际问题

3.8.1 当供电电源不同的两种门电路相互连接时,要考虑哪些电压和电流参数? 这些参数应满足怎样的关系?

解:当供电电源不同的两种门电路相互连接时,首先要考虑门电路的输入或输出电平是否超过数据手册规定的极值,即:

$$V_{I(\min)} \leq V_I \leq V_{I(\max)}$$

$$V_{O(\min)} \leq V_O \leq V_{O(\max)}$$

如果不满足上述两个条件,有可能损坏芯片。

然后需要考虑驱动门输出的电压和电流值 $V_{OH(\min)}$ 、 $V_{OL(\max)}$ 、 $I_{OH(\max)}$ 、 $I_{OL(\max)}$, 负载门输入端的电压和电流值 $V_{IH(\min)}$ 、 $V_{IL(\max)}$ 、 I_{IH} 、 I_{IL} 。

驱动门和负载门是否匹配需要考虑两个因素。一个是逻辑门电路的扇出问题,即驱动门必

须能对负载门提供足够的灌电流或者拉电流。

灌电流情况下应满足: $I_{OL(max)} \geq |I_{IL(total)}|$

拉电流情况下应满足: $|I_{OH(max)}| \geq I_{IH(total)}$

另一个是逻辑电平兼容性问题,驱动门的输出电压必须满足负载门所要求的高电平或者低电平输入电压的范围。即:

$$V_{OH(min)} \geq V_{IH(min)}$$

$$V_{OL(max)} \leq V_{IL(max)}$$

如果上述条件均满足,则两种门电路可以直接相互连接;如果不满足,则需要通过上拉电阻或电平移动器等接口电路进行连接。

3.8.2 若只考虑逻辑电平的兼容性,根据主教材中表 3.3.4 所示的参数值,当用 5V 供电的 74AHC00 驱动 3V 供电的 74LVC00 时,是否需要接口? 计算其扇出数。当用 74LVC00 驱动 74AHC00 时,是否需要接口?

解: 当用 74AHC00 驱动 74LVC00 时,根据表 3.3.4 所示参数(不考虑符号): $V_{OH(min)} = 4.9V$, $V_{OL(max)} = 0.1V$, $I_{OH(max)} = 50\mu A$, $I_{OL(max)} = 50\mu A$, $V_{IH(min)} = 2V$, $V_{IL(max)} = 0.8V$, $I_{IH(max)} = 5\mu A$, $I_{IL(max)} = 5\mu A$ 。

满足逻辑电平和电流匹配关系:

$$V_{OH(min)} \geq V_{IH(min)}$$

$$V_{OL(max)} \leq V_{IL(max)}$$

$$I_{OL(max)} \geq I_{IL(total)}$$

$$I_{OH(max)} \geq I_{IH(total)}$$

拉电流工作时,

$$N_{OH} = \frac{I_{OH}}{I_{IH}} = \frac{50}{5} = 10$$

灌电流工作时,

$$N_{OL} = \frac{I_{OL}}{I_{IL}} = \frac{50}{5} = 10$$

因此,扇出数为 10。

当用 74LVC00 驱动 74AHC00 时,根据表 3.3.4 所示参数(不考虑符号): $V_{OH(min)} = 2.8V$, $V_{OL(max)} = 0.2V$, $I_{OH(max)} = 0.1mA$, $I_{OL(max)} = 0.1mA$, $V_{IH(min)} = 3.5V$, $V_{IL(max)} = 1.5V$, $I_{IH(max)} = 1\mu A$, $I_{IL(max)} = 1\mu A$ 。

不满足逻辑电平的关系:

$$V_{OH(min)} \geq V_{IH(min)}$$

因此,需要接口,最简单的方法是接一个上拉电阻 R_p 。只考虑驱动一个与非门的一个输入端, $I_{OZ} = I_{OH} = 0.1mA$ 时,其值为

$$R_p = \frac{V_{DD} - V_{OH(min)}}{I_{OZ} + I_{IH(total)}} = \frac{(5 - 2.8)V}{(0.1 + 0.001)mA} \approx 21.8k\Omega$$

3.8.3 根据图 3.8.1 所示的逻辑电平值,计算 3.3V CMOS 系列驱动 5V TTL 系列的高、低电平噪声容限(假设 3.3V CMOS 系列能承受 5V 电压)。

解:根据图 3.8.1 所示逻辑电平值可知, $V_{OH(\min)} = 2.4V$, $V_{OL(\max)} = 0.4V$, $V_{IH(\min)} = 2V$, $V_{IL(\max)} = 0.8V$, 计算高电平和低电平噪声容限分别为:

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2.4V - 2V = 0.4V$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.8V - 0.4V = 0.4V$$

3.8.4 根据主教材中图 3.8.1 所示的逻辑电平值, 分别计算 3.3V CMOS 系列驱动 2.5V CMOS 系列或 2.5V CMOS 系列驱动 3.3V CMOS 系列的高、低电平噪声容限(假设 2.5V CMOS 系列输入输出均能承受 3.3V 电压)。

解:根据图 3.8.1 所示逻辑电平值可知, 当 3.3V CMOS 系列驱动 2.5V CMOS 系列时, $V_{OH(\min)} = 2.4V$, $V_{OL(\max)} = 0.4V$, $V_{IH(\min)} = 1.7V$, $V_{IL(\max)} = 0.7V$, 计算高电平和低电平噪声容限分别为:

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2.4V - 1.7V = 0.7V$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.7V - 0.4V = 0.3V$$

当 2.5V CMOS 系列驱动 3.3V CMOS 系列时, $V_{OH(\min)} = 2.0V$, $V_{OL(\max)} = 0.4V$, $V_{IH(\min)} = 2V$, $V_{IL(\max)} = 0.8V$, 计算高电平和低电平噪声容限分别为:

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2V - 2V = 0V$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.8V - 0.4V = 0.4V$$

3.8.5 根据图 3.8.1 所示的逻辑电平值, 分别计算 3.3V 或 2.5V CMOS 系列驱动 1.8V CMOS 系列的高、低电平噪声容限(假设 1.8V CMOS 系列输入可承受 3.3V 电压)。

解:根据图 3.8.1 所示逻辑电平值可知, 当 3.3V CMOS 系列驱动 1.8V CMOS 系列时, $V_{OH(\min)} = 2.4V$, $V_{OL(\max)} = 0.4V$, $V_{IH(\min)} = 1.17V$, $V_{IL(\max)} = 0.63V$, 计算高电平和低电平噪声容限分别为:

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2.4V - 1.17V = 1.23V$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.63V - 0.4V = 0.23V$$

当 2.5V CMOS 系列驱动 1.8V CMOS 系列时, $V_{OH(\min)} = 2V$, $V_{OL(\max)} = 0.4V$, $V_{IH(\min)} = 1.17V$, $V_{IL(\max)} = 0.63V$, 计算高电平和低电平噪声容限分别为:

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2V - 1.17V = 0.83V$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.63V - 0.4V = 0.23V$$

3.8.6 复习一下 CMOS 门的输出电路。若 CMOS 的输出级超载时, 电路会出现什么现象? 用什么仪器进行判断?

解:CMOS 门输出超载可能有两种情况, 以主教材中图 3.8.1 所示 74HC 系列逻辑电平值为例: (1) 灌电流超载, 此时 V_{OL} 将超过 0.5V; (2) 拉电流超载, V_{OH} 将低于 4.4V。用数字电压表测量 V_{OL} 和 V_{OH} , 即可判断是否超载。

3.8.7 根据主教材中表 3.3.4 和表 3.5.1 所示参数, 判断用 74LS 系列 TTL 电路去驱动 74HC 系列 CMOS 电路时, 试简述其设计思路, 是否需要接口电路? 计算其扇出数, 并对接口电路就开关速度和功耗两方面做出评价(设用一个 74LS 逻辑门作为驱动器件, 并且它输出高电平时的漏电流为 0.2mA)。

解:当用 74LS 系列 TTL 电路去驱动 CMOS 电路时, 因为 74LS 系列电路的 $V_{OH(\min)} = 2.7V$, 而 74HC 系列的 $V_{IH(\min)} = 3.5V$, 两种电路的电压不兼容, 需另加接口电路如图题解 3.8.7 所示。

由于 74HC 的 $I_{IL(max)} = I_{IH(max)} = 1\mu A$ (不考虑符号), 而 74LS 的 $I_{OL(max)} = I_{OH(max)} = 0.4mA$, 理论上扇出数为 400。但 CMOS 门电路的输入电容较大, 负载门过多会影响电路的开关速度。取扇出数 $N_o = 20$ 。 R_p 的值可按式 (3.3.1) 和式 (3.3.2) 来计算。

(1) 计算 $R_{p(min)}$ 的值时, 根据主教材中表 3.3.4 和表 3.5.1 可知, $V_{OL(max)} = 0.5V$, $I_{OL(max)} = 8mA$, $I_{IL(max)} = 0.001mA$, 得

$$R_{p(min)} = \frac{V_{CC} - V_{OL(max)}}{I_{OL(max)} - I_{IL(total)}} = \frac{(5 - 0.5)V}{8mA - 0.001mA \times 20} \approx 0.56k\Omega$$

(2) 计算 $R_{p(max)}$ 的值时, 可查得, $V_{OH(min)} = 2.7V$, $I_{OZ} = 0.2mA$, $V_{IH(min)} = 3.5V$, $I_{IH(max)} = 0.001mA$, 为保证负载门输入高电平值, 取 $V_{OH(min)} = 3.5V$ 得

$$R_{p(max)} = \frac{V_{CC} - V_{OH(min)}}{I_{OZ(total)} + I_{IH(total)}} = \frac{(5 - 3.5)V}{0.2mA + 0.001mA \times 20} \approx 6.8k\Omega$$

综上所述, R_p 的取值范围为 $0.56k\Omega \sim 6.8k\Omega$ 。为了兼顾开关速度和功耗, 可取 $R_p = 1 \sim 3k\Omega$ 。

3.8.8 当用 74ALS 系列 TTL 去驱动 74HC 系列 CMOS 时。重复题 3.8.7。

解: 74ALS 系列 TTL 驱动 74HC 系列 CMOS 时, 74ALS 系列的 $V_{OH(min)} = 2.7V$, 而 74HC 系列的 $V_{IH(min)} = 3.5V$, 电压不兼容, 故需外加接口电路, 其设计思路与习题 3.8.7 相同。取扇出数 $N_o = 20$ 。 R_p 的值可按主教材中式 (3.3.1) 和式 (3.3.2) 来计算。

(1) 计算 $R_{p(min)}$ 的值时, 根据主教材中表 3.3.4 和表 3.5.1 可知, $V_{OL(max)} = 0.5V$, $I_{OL(max)} = 8mA$, $I_{IL(max)} = 0.001mA$, 得

$$R_{p(min)} = \frac{V_{CC} - V_{OL(max)}}{I_{OL(max)} - I_{IL(total)}} = \frac{(5 - 0.5)V}{8mA - 0.001mA \times 20} \approx 0.56k\Omega$$

(2) 计算 $R_{p(max)}$ 的值时, 可查得, $V_{OH(min)} = 2.7V$, $I_{OZ} = 0.2mA$, $V_{IH(min)} = 3.5V$, $I_{IH(max)} = 0.001mA$, 为保证负载门输入高电平值, 取 $V_{OH(min)} = 3.5V$ 得

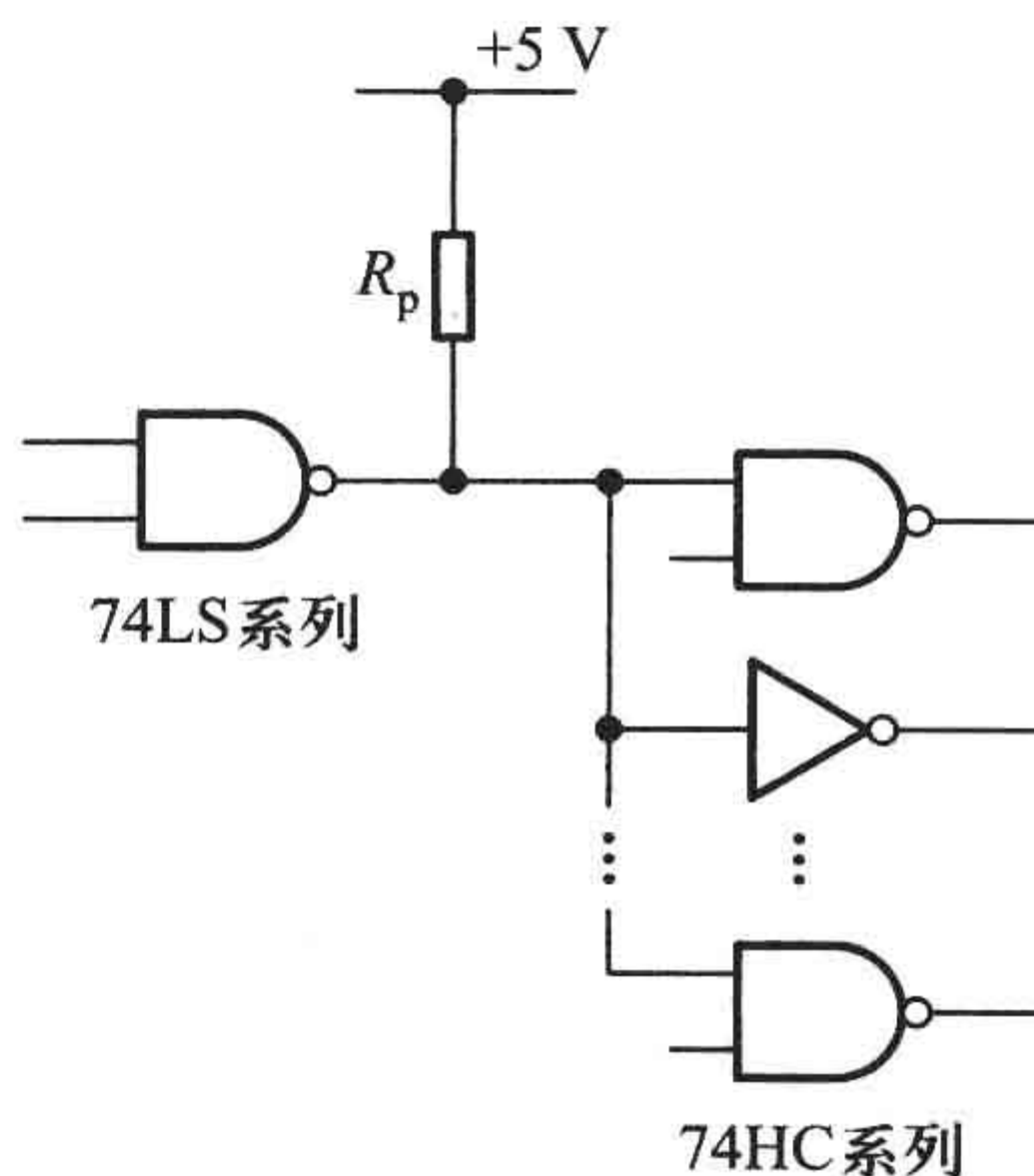
$$R_{p(max)} = \frac{V_{CC} - V_{OH(min)}}{I_{OZ(total)} + I_{IH(total)}} = \frac{(5 - 3.5)V}{0.2mA + 0.001mA \times 20} \approx 6.8k\Omega$$

综上所述, R_p 的取值范围为 $0.56k\Omega \sim 6.8k\Omega$ 。为了兼顾开关速度和功耗, 可取 $R_p = 1 \sim 3k\Omega$ 。

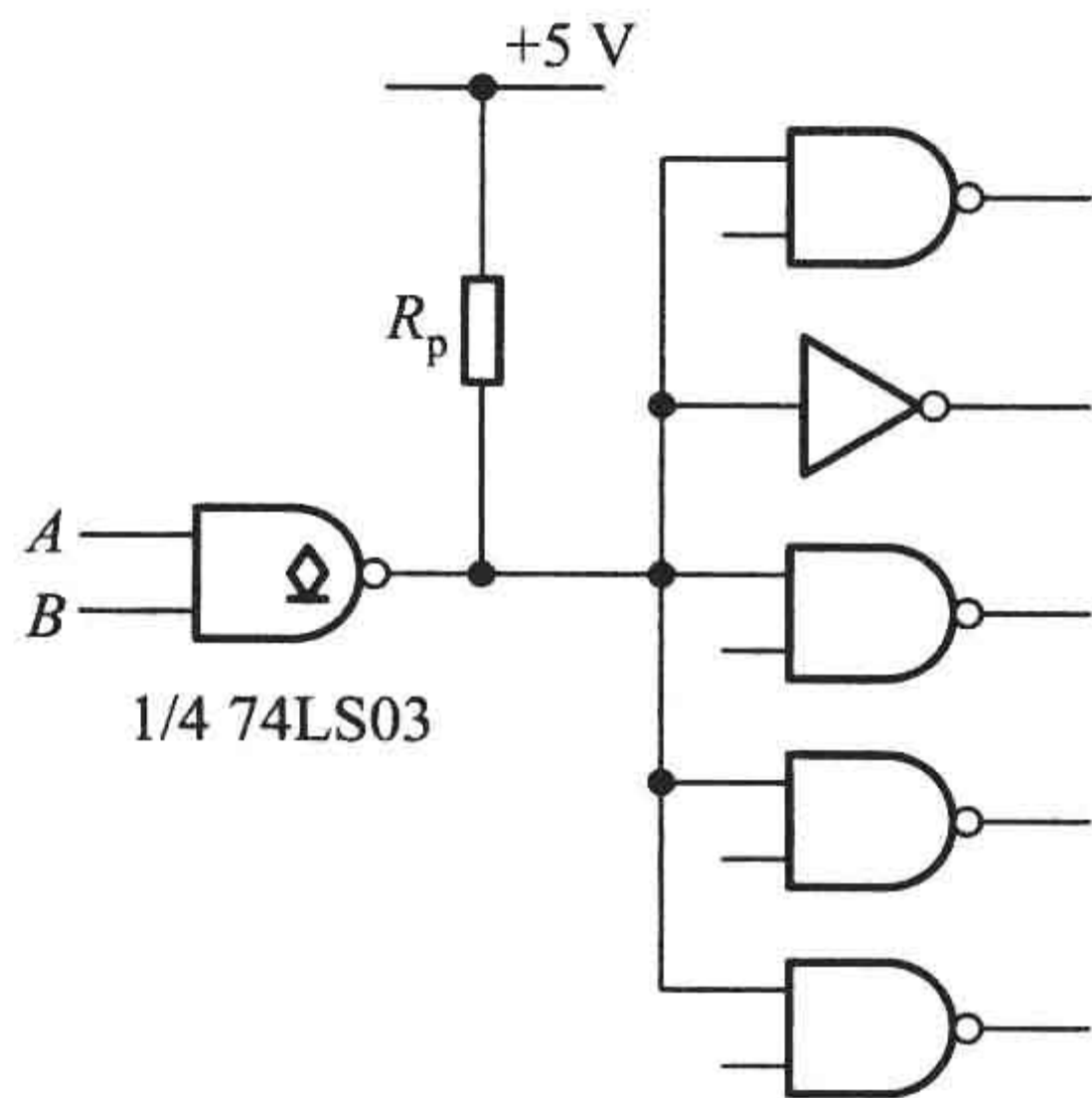
3.8.9 图题 3.8.9 所示为集电极开路门 74LS03 驱动 5 个 CMOS 逻辑门。已知 OC 门输出管截止时的漏电流 $I_{OZ} = 0.2mA$; 负载门的参数为: $V_{IH(min)} = 4V$, $V_{IL(max)} = 1V$, $I_{IL} = I_{IH} = 1\mu A$ 。试计算上拉电阻的值。

解: 根据表 3.5.1 查得 74LS03 的参数为: $V_{OH(min)} = 2.7V$, $V_{OL(max)} = 0.5V$, $I_{OL(max)} = 8mA$ 。根据式 (3.3.1) 和式 (3.3.2) 可以计算出:

灌电流时, 74LS03 输出为低电平, $I_{IL(total)} = 5I_{IL} = 5 \times 0.001mA = 0.005mA$



图题解 3.8.7



图题 3.8.9

$$R_{p(\min)} = \frac{V_{DD} - V_{OL(\max)}}{I_{OL(\max)} - I_{IL(\text{total})}} = \frac{(5 - 0.5) \text{ V}}{(8 - 0.005) \text{ mA}} \approx 0.56 \text{ k}\Omega$$

拉电流时, 74LS03 输出为高电平, $I_{IH(\text{total})} = 5I_{IH} = 5 \times 0.001 \text{ mA} = 0.005 \text{ mA}$, 由于 $V_{OH(\min)} < V_{IH(\min)}$, 为了保证负载门的输入高电平, 取 $V_{OH(\min)} = 4 \text{ V}$

$$R_{p(\max)} = \frac{V_{DD} - V_{OH(\min)}}{I_{OZ(\text{total})} + I_{IH(\text{total})}} = \frac{(5 - 4) \text{ V}}{(0.2 + 0.005) \text{ mA}} \approx 4.9 \text{ k}\Omega$$

综上所述, R_p 的取值范围为 $0.56 \text{ k}\Omega \sim 4.9 \text{ k}\Omega$ 。

3.8.10 根据主教材中表 3.3.4 和表 3.5.1 所示参数, 用 74HC 系列 CMOS 去驱动 74LS 系列 TTL 门电路时, 试简述其设计思路, 指出是否需要加接口电路? 并就开关速度和功耗两方面对接口电路进行评价。

解: (1) 根据表 3.5.1 查得: 74LS 系列的 $V_{IH(\min)} = 2 \text{ V}$, $V_{IL(\max)} = 0.8 \text{ V}$, 根据表 3.3.4 查得: HC 系列 CMOS 的 $V_{OH(\min)} = 4.4 \text{ V}$, $V_{OL(\max)} = 0.33 \text{ V}$, 故不需另加接口电路。

(2) 扇出数 灌电流负载时的扇出数 $N_{OL} = \frac{I_{OL(\max)}}{I_{IL(\max)}} = \frac{4 \text{ mA}}{0.4 \text{ mA}} = 10$

拉电流负载时的扇出数 $N_{OH} = \frac{I_{OH(\max)}}{I_{IH(\max)}} = \frac{4 \text{ mA}}{0.02 \text{ mA}} = 200$

综合考虑上述两种情况, 因 $N_{OH} \gg 10$, 故取 $N_o = 10$ 。

(3) 由于不需另加接口电路, 其开关速度和功耗取决于二者原有的技术性能。

3.8.11 当用 74HC 系列 CMOS 驱动 ALS 系列 TTL 时, 重复题 3.8.10。

解: 与 3.8.10 类似分析, 两者电压兼容, 不需外加接口电路。

灌电流负载时的扇出数 $N_{OL} = \frac{I_{OL(\max)}}{I_{IL(\max)}} = \frac{4 \text{ mA}}{0.1 \text{ mA}} = 40$

拉电流负载时的扇出数 $N_{OH} = \frac{I_{OH(\max)}}{I_{IH(\max)}} = \frac{4 \text{ mA}}{0.02 \text{ mA}} = 200$

综合考虑上述两种情况, 因 $N_{OH} \gg 40$, 故取 $N_o = 40$ 。

由于不需另加接口电路, 其开关速度和功耗取决于二者原有的技术性能。

3.8.12 设计一发光二极管(LED)驱动电路, 设 LED 的参数为 $V_F = 2.5 \text{ V}$, $I_D = 4.5 \text{ mA}$; 若 $V_{CC} = 5 \text{ V}$, 当 LED 发光时, 电路的输出为低电平, 选用集成门电路的型号, 并画出电路图。

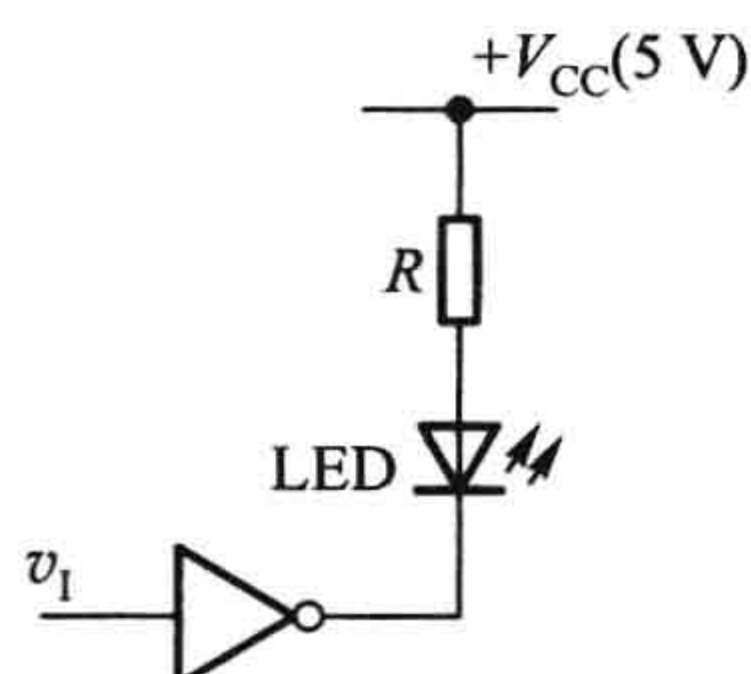
解: 设驱动电路如图题解 3.8.12 所示, 选用 74AHC04 作为驱动器件。参考表 3.3.4 参数可知, $I_{OL(\max)} = 8 \text{ mA}$, $V_{OL(\max)} = 0.44 \text{ V}$ 。电路中的

限流电阻 $R = \frac{V_{CC} - V_F - V_{OL(\max)}}{I_D} = \frac{(5 - 2.5 - 0.44) \text{ V}}{4.5 \text{ mA}} \approx 458 \Omega$ 。

3.8.13 由 CMOS 门构成的电路如图题 3.8.13 所示, 试对多余输入端进行处理, 并写出 L 的逻辑表达式。

解: CMOS 门电路的多余输入端绝对不能悬空。多余输入端的处理方式如图题解 3.8.13 所示, 也可以将多余输入端与相邻的输入端并联在一起。电路输出端逻辑函数表达式分别为

(a) $L = \overline{(A+B+1)}C + \overline{CD}0 + 0$



图题解 3.8.12

$$= \overline{\overline{ABC} + \overline{CD}}$$

$$= AB + \overline{C} + \overline{CD}$$

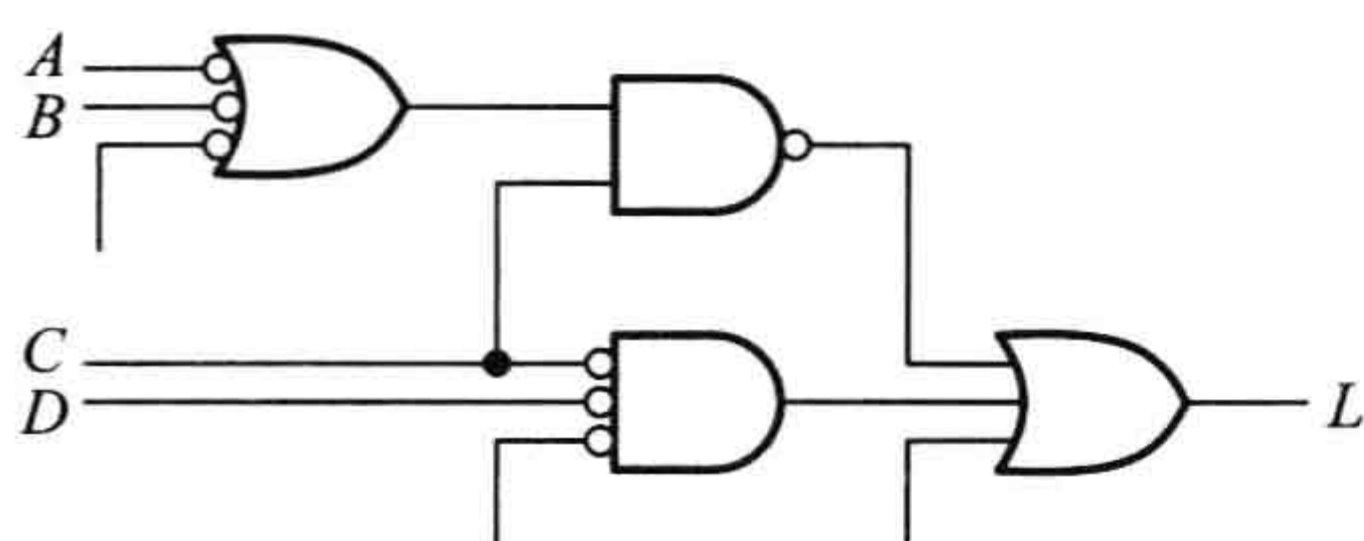
$$= AB + \overline{C}$$

$$(b) L = A + B + C + \overline{1 + CD} \cdot 1 + 0$$

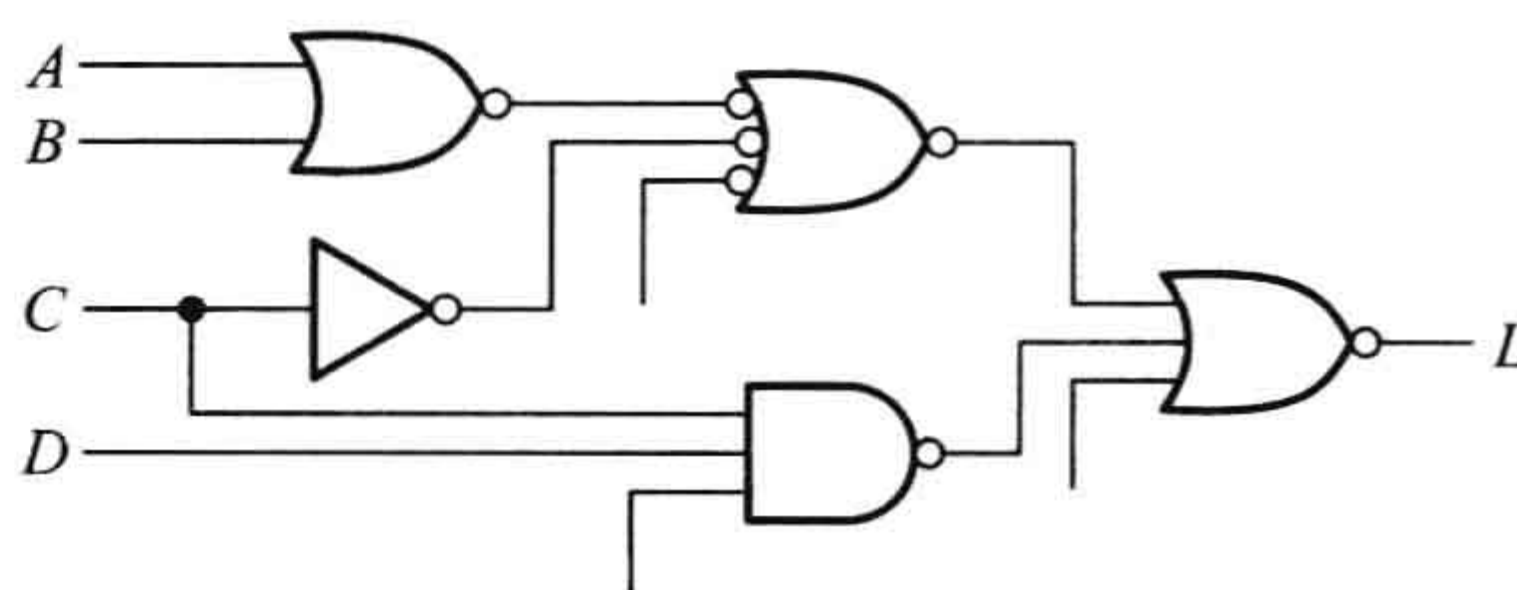
$$= (A + B + C) CD$$

$$= (A + B) CD + CD$$

$$= CD$$

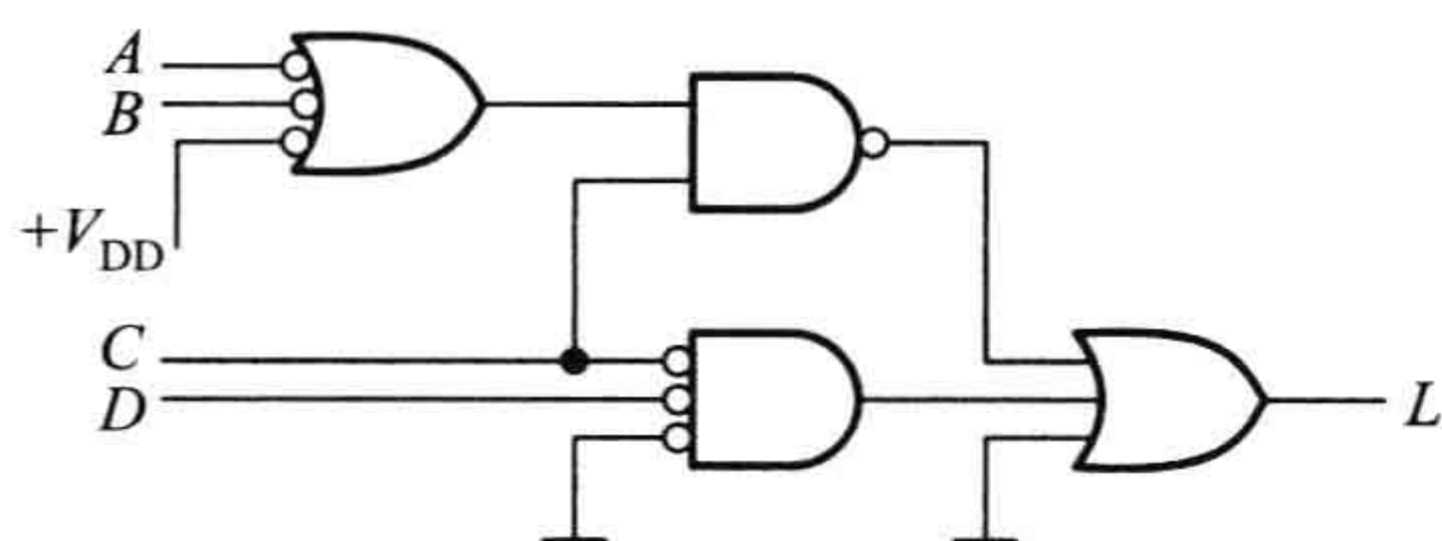


(a)

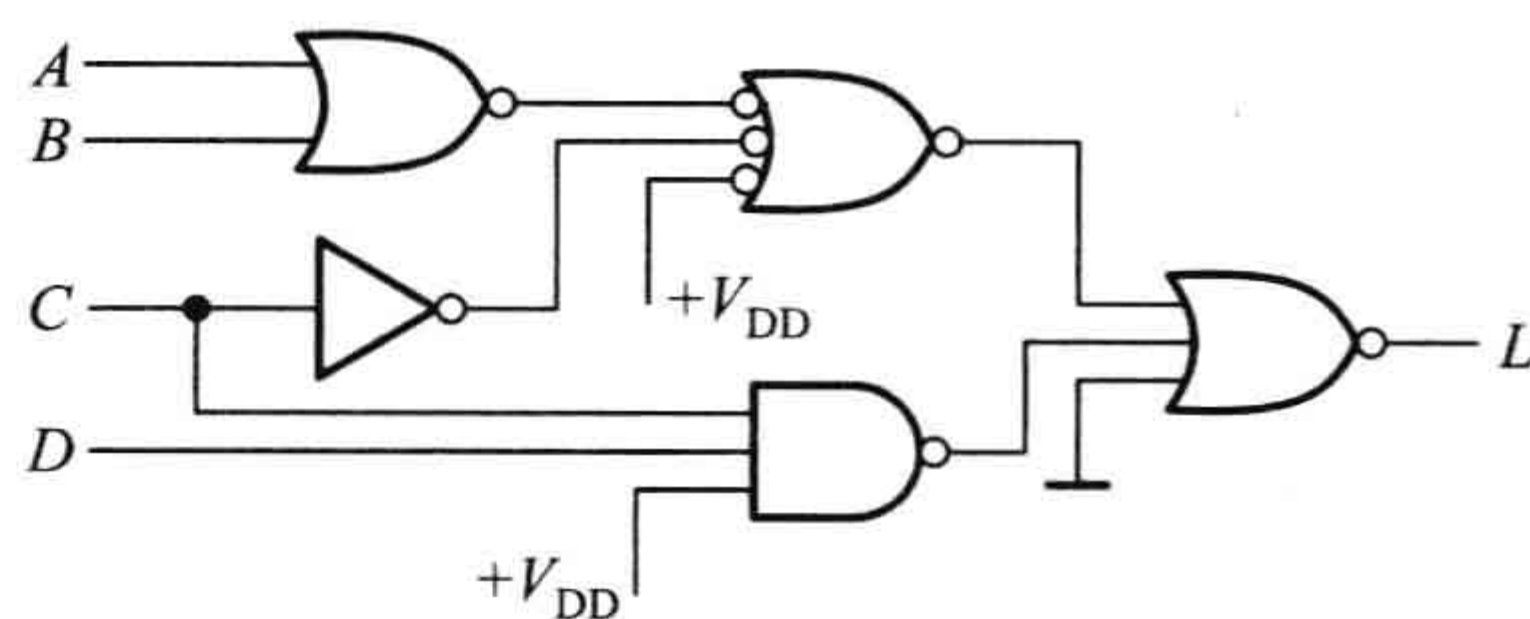


(b)

图题 3.8.13



(a)



(b)

图题解 3.8.13

3.8.14 由 TTL 门构成的电路如图题 3.8.13 时,重复题 3.8.13。

解:由 TTL 门构成的图 3.8.13 所示电路的多余输入端的处理方式与 CMOS 门构成的电路相同,逻辑函数表达式也相同。与 CMOS 门不同的是,TTL 门接高电平的多余输入端可以悬空。

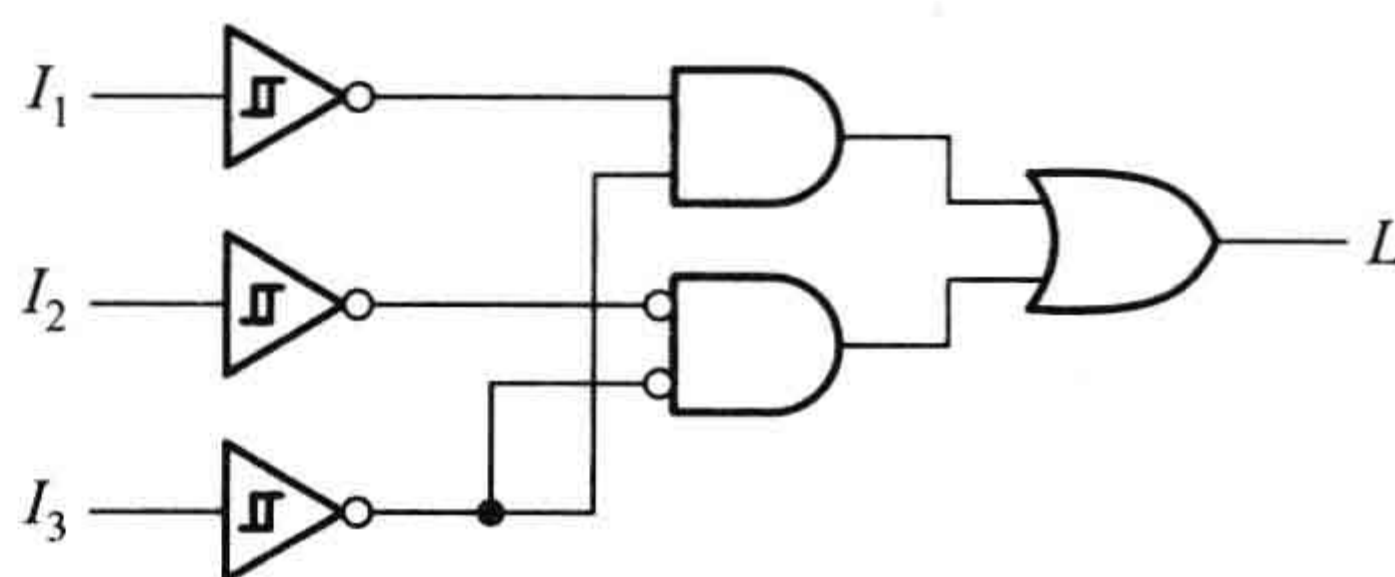
3.8.15 可配置多功能门电路 74LVC1G57 的内部结构如图题 3.8.15 所示(输入端的 3 个非门具有施密特特性,施密特电路在第 9 章介绍,这里可将其视为普通非门进行逻辑功能分析)。根据需要将 I_1 、 I_2 、 I_3 接输入变量、地或 $+V_{CC}$ 就可以实现不同逻辑功能,试确定输入端的连接方式以便分别实现:

(1) $L = AB$; (2) $L = \overline{A+B}$; (3) $L = AB + \overline{A}\overline{B}$ 。

解:由图题 3.8.15 所示的电路可知,输出端的表达式为

$$L = \overline{I_1} \overline{I_3} + I_2 I_3$$

(1) 当 $I_1 = +V_{CC}$, $I_2 = A$, $I_3 = B$ 时, $L = AB$ 。



图题 3.8.15

(2) 当 $I_1 = A, I_2 = 0, I_3 = B$ 时, $L = \overline{A+B}$ 。

(3) 当 $I_1 = A, I_2 = A, I_3 = B$ 时, $L = AB + \overline{A}\overline{B}$ 。

3.9 用 Verilog HDL 描述 CMOS 门电路

3.9.1 试用 Verilog 提供的基本开关元件对图 3.2.18 所示的或非门电路进行描述。

解:或非门电路的 Verilog HDL 程序如下:

//CMOS 2-input NOR Fig 3.2.18

```
module SNOR2 (L,A,B);
    input A,B;
    output L;
    supply1 Vdd;
    supply0 GND;
    wire W1; //将两个 PMOS 管之间的连接点定义为 W1
    pmos TP1(W1,Vdd,B); //(漏极,源极,控制栅极)
    pmos TP2(L,W1,A); //两个 PMOS 管串行连接
    nmos TN1(L,GND,B); //两个 NMOS 管并行连接
    nmos TN2(L,GND,A); //NMOS 管的源极与地相连
```

endmodule

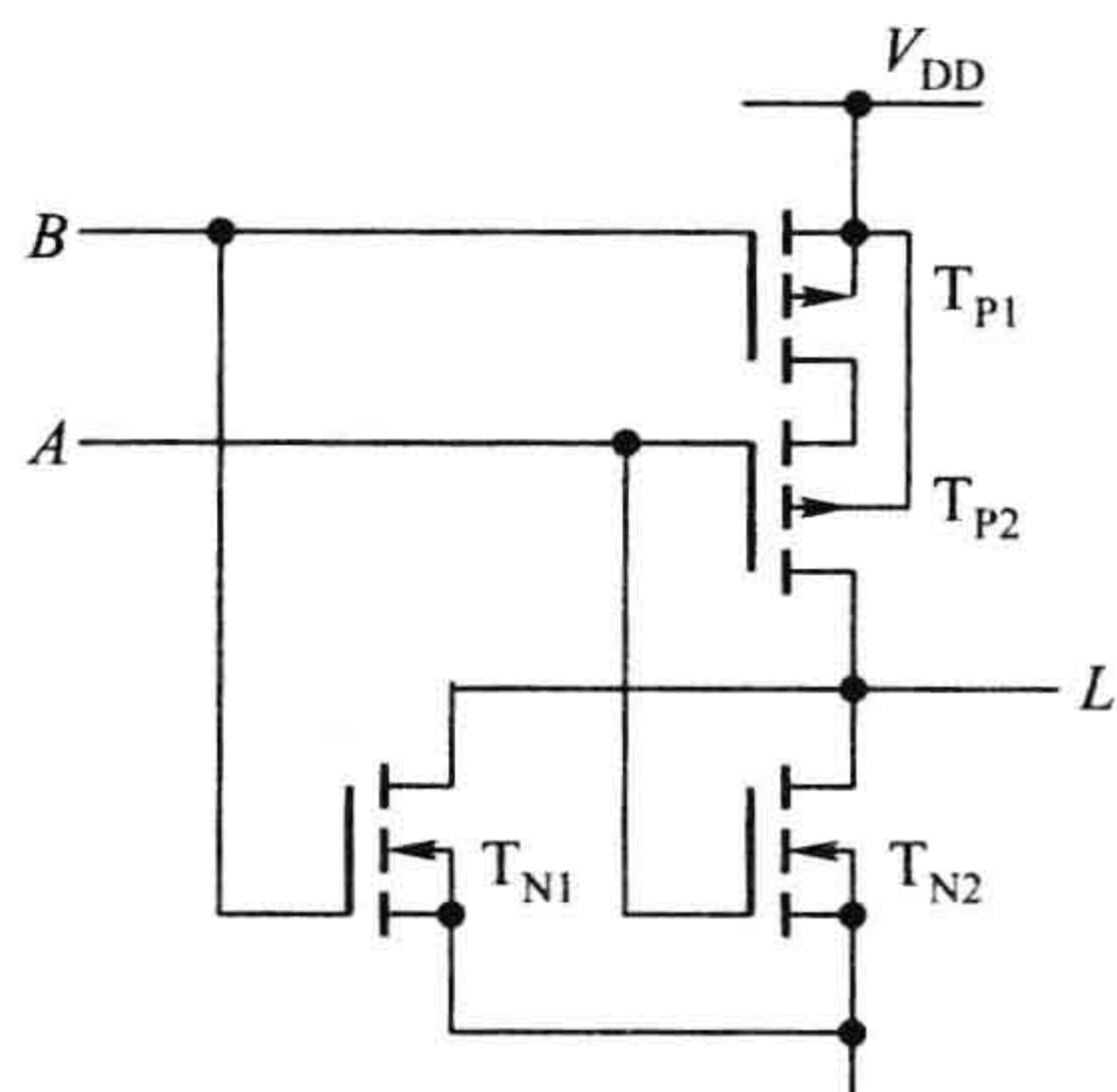


图 3.2.18 CMOS 或非门

3.9.2 试用 Verilog 提供的基本开关元件对图 3.2.19 所示的异或门电路进行描述。

解:异或门电路 Verilog HDL 程序如下:

```
module SXOR2 (L,A,B);
    input A,B;
    output L;
    supply1 Vdd;
    supply0 GND;
    wire X, W1,W2,W3;
    pmos TP1(W1,Vdd,B);
    pmos TP2(X,W1,A);
    nmos TN1(X,GND,B);
    nmos TN2(X,GND,A);
    pmos TP3(W2,Vdd,B);
    pmos TP4(W2,Vdd,A);
    pmos TP5(L,W2,X);
    nmos TN5(L,GND,X);
    nmos TN3(W3,GND,B);
    nmos TN4(L,W3,A);
```

endmodule

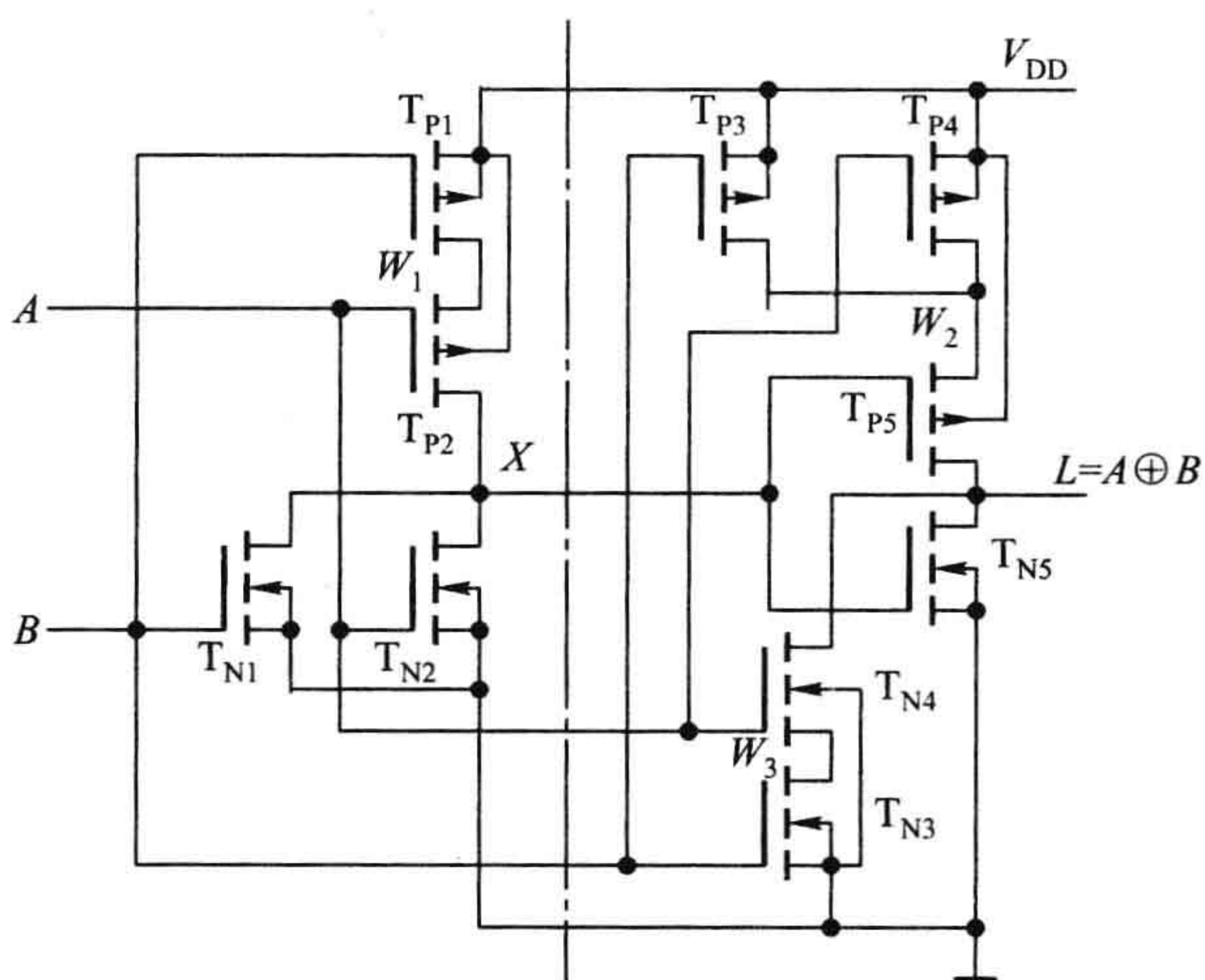


图 3.2.19 异或门电路

4 组合逻辑电路

一、内容提要及重点

本章的内容提要：

1. 组合逻辑电路的结构特点：(1) 输出、输入之间没有反馈延迟通路；(2) 电路中不含有记忆功能的元件。
2. 组合逻辑电路的工作特点：电路输出状态在任何时刻只取决于同一时刻的输入状态，而与电路原来的状态无关。
3. 组合逻辑电路的分析是确定已知电路的逻辑功能。
4. 组合逻辑电路的设计是对于提出的实际问题和选用的逻辑器件，设计出满足功能要求、成本低并且工作速度快的电路，即优化实现。
5. 组合电路的种类非常多，但分析方法和设计方法是通用的。因此，无需记忆各种电路。按照分析步骤或设计步骤可以完成组合电路的分析或设计。
6. 组合电路的实现可以采用门电路、数据选择器等基本模块，或者可编程器件。因此，逻辑函数化简要结合所选用的器件进行，以满足要求。
7. 典型的组合逻辑电路包括：奇偶校验电路、各种码转换电路、编码器、译码器/数据分配器、数据选择器、加法器、数值比较器、算术运算电路等等。这些典型电路在 EDA 设计过程中作为基本模块，用来构建更大规模的电路或系统。
8. 竞争-冒险是组合逻辑输入电平变化时，电路出现与稳态下的逻辑功能不一致的错误输出。在电路设计中应尽量减少由竞争而产生的冒险。

本章的重点：

组合逻辑电路的分析方法和步骤。组合逻辑电路的设计方法和步骤。典型的组合逻辑电路：编码器、译码器、加法器、数据选择器、比较器等的逻辑功能和使用方法。

二、典型例题解析

例 4.1 分析图 4.1 所示组合逻辑电路，试说明该电路的逻辑功能。

解题思路：该题目是由门电路组成的多输出组合逻辑电路的分析。按照组合逻辑电路的分

析步骤进行分析。最后根据真值表分析电路的功能时要注意多输出之间的关系。

解:(1) 写出输出函数表达式并化简

$$\begin{aligned}
 X &= \overline{AB}(A+B) \oplus C \\
 &= \overline{AB}(A+B)C + \overline{AB}(A+B)\overline{C} \\
 &= (\overline{AB} + \overline{AB})C + (\overline{AB} + \overline{AB})(A+B)\overline{C} \\
 &= ABC + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} \\
 Y &= \overline{AB}\overline{C} + A + B \\
 &= (AB + C)(A + B) \\
 &= AB + AC + BC
 \end{aligned}$$

(2) 列真值表如表 4.1 所示。

(3) 功能判断。由真值表可见,该电路实现全加器的功能,其中 A 、 B 分别为加数与被加数, C 为来自低位的进位, X 为本位的和, Y 为向高位的进位。

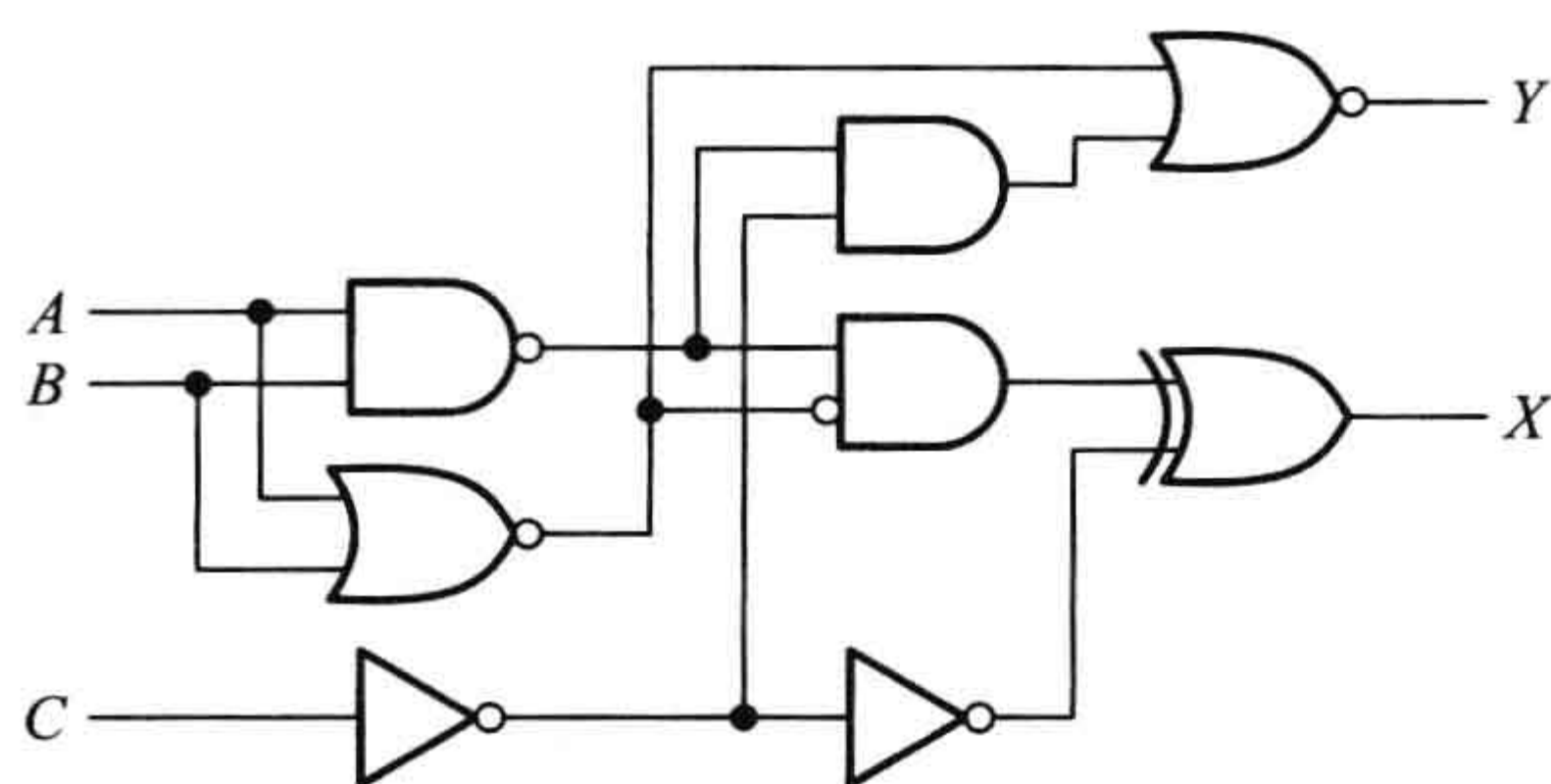


图 4.1 例 4.1 的逻辑电路

表 4.1 例 4.1 的真值表

A	B	C	X	Y
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

例 4.2 设计一个实现 2 位二进制数相乘的乘法电路。

解题思路:此题关键是能够根据 2 位二进制数相乘的 16 种情况,列出表示输出与输入关系的真值表。

解:(1) 2 位二进制相乘有 4 个输入变量,应该有 4 个输出变量。设输入为 A 、 B 、 C 、 D ,输出为 P_3 、 P_2 、 P_1 、 P_0 。

(2) 当 AB 和 CD 相乘时,可列出真值表如表 4.2 所示。

(3) 根据真值表画卡诺图如图 4.2(a) 所示,写出简化的逻辑表达式并进行变换,其中 P_3 的表达式可直接写出。

$$\begin{aligned}
 P_3 &= ABCD \\
 P_2 &= A\overline{B}C + AC\overline{D} = AC\overline{B}D \\
 P_1 &= A\overline{B}D + A\overline{C}D + BC\overline{D} + \overline{A}BC = AD\overline{B}C + ADBC \\
 P_0 &= BD
 \end{aligned}$$

(4) 该电路没有限制门电路的类型,用与门、非门和异或门实现的电路如图 4.2(b) 所示。

表 4.2 例 4.2 的真值表

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>P</i> ₃	<i>P</i> ₂	<i>P</i> ₁	<i>P</i> ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

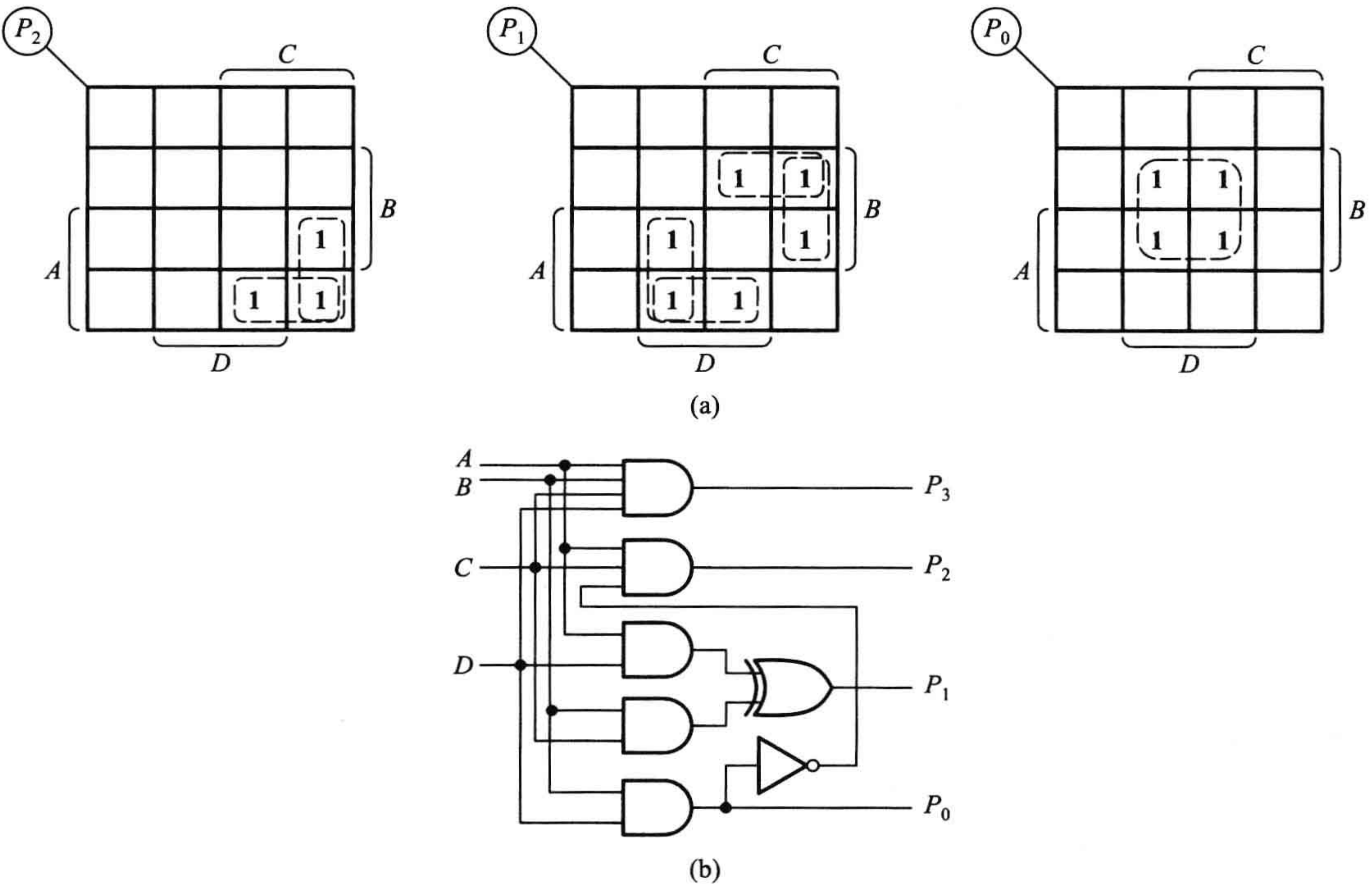


图 4.2 例 4.2 的卡诺图及逻辑电路图

例 4.3 试用 74HC138 译码器设计组合电路,当二进制数 $ABCD$ 能被 5 整除时,输出 L 为 1,否则为 0。

解题思路:① 如果译码器有 n 个输入, 2^n 个输出,其输出分别为 n 个输入的最小项形式。用译码器实现逻辑函数,首先以最小项之和的形式写出逻辑函数表达式。

② n 个输入端的译码器,只能用于产生变量数不大于 n 的组合逻辑函数。

③ 如果需要进行变量数大于 n 的逻辑函数时,需要多个芯片扩展使用。74HC138 有 3 个地址输入端,该电路有 4 个输入变量,因此需要两片进行扩展。

解:(1) 当输入 $ABCD$ 为 0、5、10、15 时,可以被 5 整除,输出 $L=1$,除此之外,输出均为 0。写出用最小项表示的逻辑表达式

$$L = m_0 + m_5 + m_{10} + m_{15}$$

(2) 将 3-8 线译码器扩展为 4-16 线译码器,输入变量 BCD 分别接两片地址输入端 A_2 、 A_1 、 A_0 ,输入变量 A 接片(0)的使能端 $\overline{E}_2$,同时接(1)的使能端 E_3 。当 $A=0$ 时,片(0)工作;当 $A=1$ 时,片(1)工作。译码器输出为低电平有效,所以将表达式变换为 $L = \overline{m_0} \cdot \overline{m_5} \cdot \overline{m_{10}} \cdot \overline{m_{15}}$

(3) 用一个 4 输入与非门即可实现该逻辑函数,如图 4.3 所示。

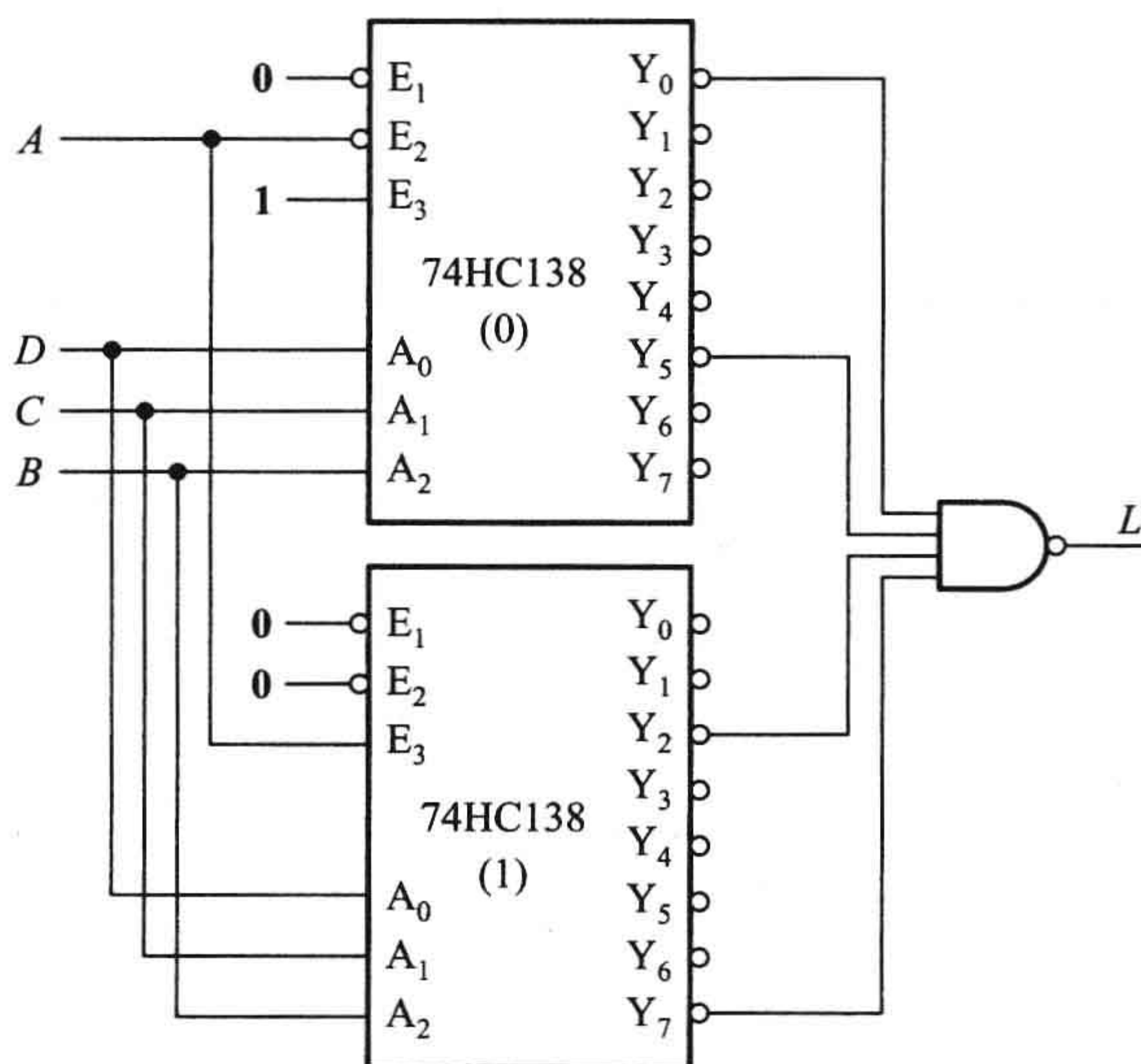


图 4.3 例 4.3 的逻辑电路图

例 4.4 人的血型有 O、A、B、AB。输血时输血者和受血者血型必须符合图 4.4(a) 中箭头指示的关系。试用 4 选 1 数据选择器设计一个逻辑电路,用以检测输血者和受血者的血型是否符合要求。

解题思路:① 首先根据给定逻辑问题确定输入变量和输出函数。输血者和受血者血型都有 4 种血型,如果将他们每种血型作为输入变量,则会有 8 个输入变量,显然变量数太多不便于设计。因此,用两个逻辑变量的 4 种取值表示输血者的血型,用另外两个逻辑变量的 4 种取值表示受血者的血型。

② 用一个具有 n 位选择输入的数据选择器,实现变量数不大于 $n+1$ 的逻辑函数时,每一个

数据输入端可以接 0、1、单变量或它的非。当变量数大于 $n+1$ 时,有两种方法。一是将多余的输入端经过门电路组合后连接到数据输入端。二是将多个芯片扩展使用。4 选 1 数据选择器有 2 个地址输入,实现 4 变量的函数时需要将另外 2 个变量接入数据输入端。

解:(1) 用变量 C 、 D 的 4 种取值表示输血者的血型,变量 E 、 F 的 4 种取值表示受血者的血型,如表 4.4(a) 所示。电路输出用 L 表示,当授受者血型相符 $L=1$,否则为 0。

(2) 根据表 4.4(a) 可以列出输出与输入变量之间关系的真值表,如表 4.4(b) 所示。

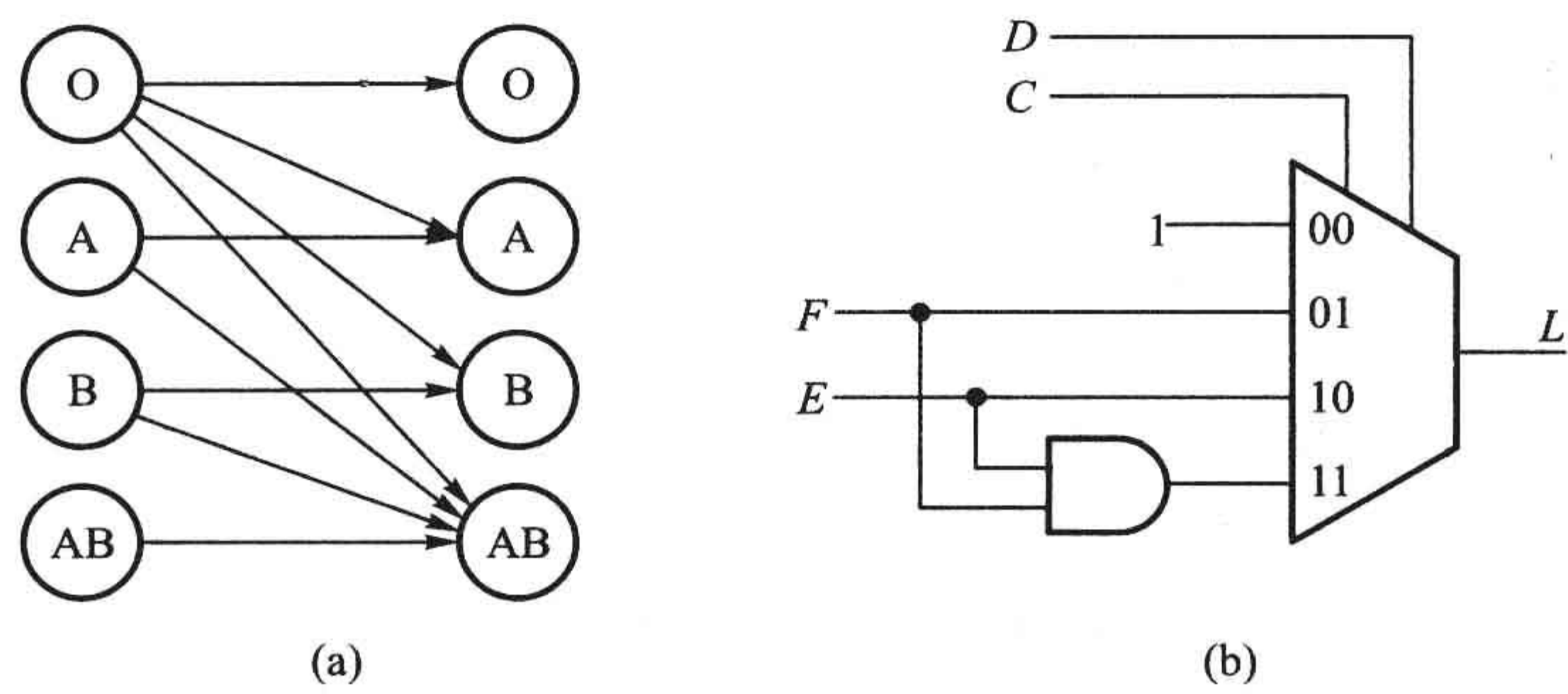


图 4.4
(a) 例 4.4 的血液授受关系图 (b) 例 4.4 的逻辑电路图

表 4.4(a) 输血者和受血者的血型变量设定

血型	输血者		受血者	
	C	D	E	F
O	0	0	0	0
A	0	1	0	1
B	1	0	1	0
AB	1	1	1	1

表 4.4(b) 例 4.4 的真值表

C	D	E	F	L	
0	0	0	0	1	$L=1$
0	0	0	1	1	
0	0	1	0	1	
0	0	1	1	1	
0	1	0	0	0	$L=F$
0	1	0	1	1	
0	1	1	0	0	
0	1	1	1	1	

续表

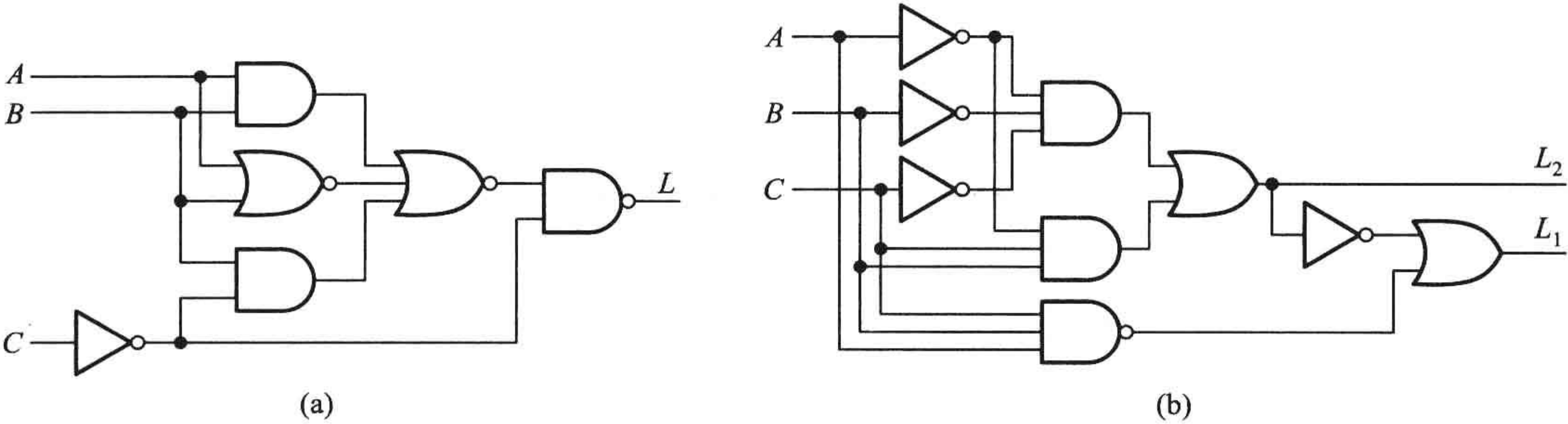
<i>C</i>	<i>D</i>	<i>E</i>	<i>F</i>	<i>L</i>	
1	0	0	0	0	<i>L</i> = <i>E</i>
1	0	0	1	0	
1	0	1	0	1	
1	0	1	1	1	
1	1	0	0	0	<i>L</i> = <i>EF</i>
1	1	0	1	0	
1	1	1	0	0	
1	1	1	1	1	

(3) 4 选 1 数据选择器有 2 个选择输入端,将变量 *C* 和 *D* 分别接入选择输入端 *S*₁、*S*₀。根据表中 *L* 和 *E*、*F* 的关系,当 *CD*=00 时,可以求出 *L*=1 即数据端 *D*₀=1。同理求出 *D*₁=*F*,*D*₂=*E*,*D*₃=*EF*。将变量 *E*、*F* 用逻辑门组合后接入数据端,这样可以实现变量数更多的逻辑函数。得出逻辑图如图 4.4(b) 所示。

三、习 题 全 解

4.1 组合逻辑电路的分析

4.1.1 写出图题 4.1.1 所示电路对应的真值表。



图题 4.1.1

解:(a) 根据图题 4.1.1(a) 所示的逻辑图,写出其逻辑表达式,并进行化简和变换得

$$\begin{aligned} L &= \overline{AB + A + B + B \cdot C \cdot C} \\ &= \overline{AB + A + B + B \cdot C + C} \\ &= \overline{AB + A \cdot B + B + C} \\ &= \overline{B + A + C} \end{aligned}$$

根据上述逻辑表达式列出真值表如表题解 4.1.1(a) 所示。

表题解 4.1.1(a)

A	B	C	L
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(b) 根据图题 4.1.1(b) 所示的逻辑图, 写出其逻辑表达式, 并进行化简和变换得

$$L_2 = \overline{A} \overline{B} \overline{C} + \overline{A} B C = \overline{A} (\overline{B} \overline{C} + BC)$$

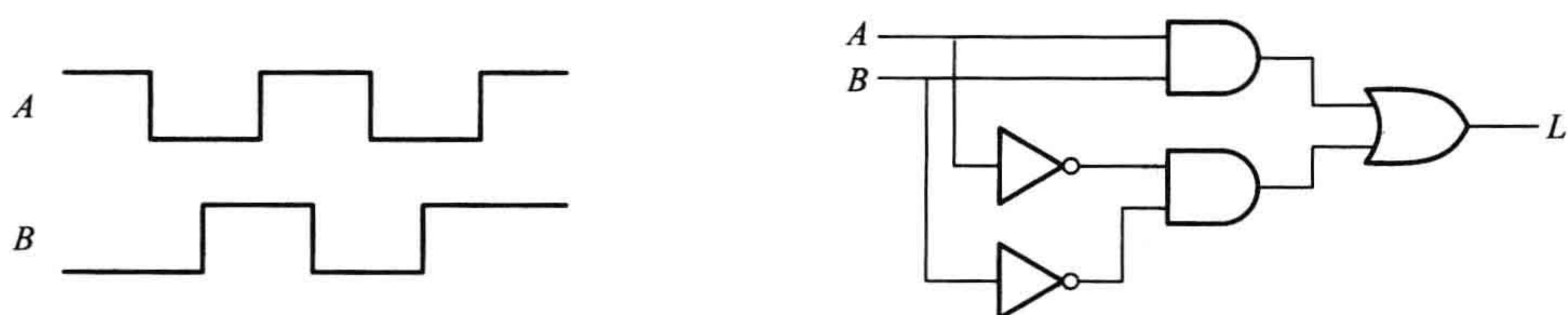
$$L_1 = \overline{\overline{L_2} + ABC} = \overline{\overline{A} (\overline{B} \overline{C} + BC) + ABC} = \overline{\overline{A} (\overline{B} \overline{C} + BC) \cdot ABC} = \overline{0} = 1$$

根据上述逻辑表达式列出真值表如表题解 4.1.1(b) 所示。

表题解 4.1.1(b)

A	B	C	L_1	L_2
0	0	0	1	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

4.1.2 组合逻辑电路及输入波形(A 、 B)如图题 4.1.2 所示, 试写出输出端的逻辑表达式并画出输出波形。

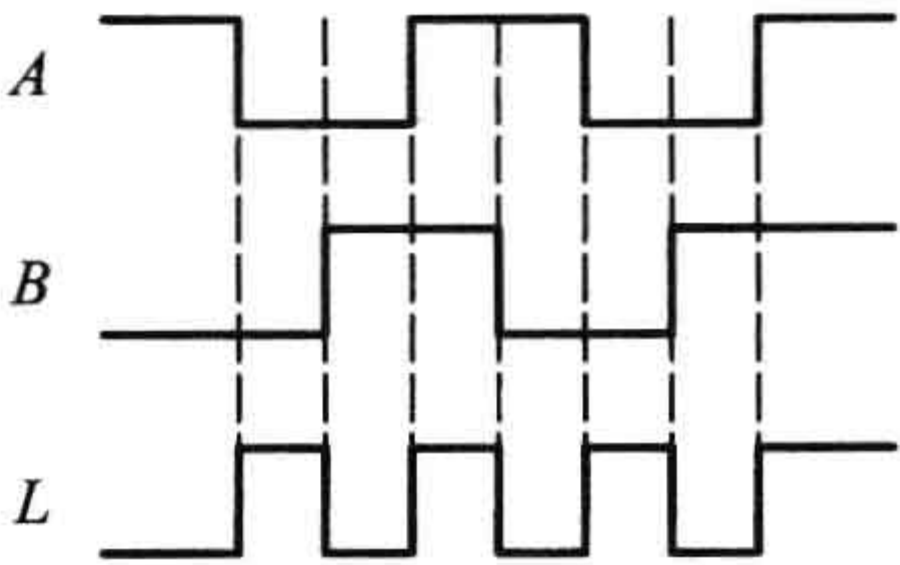


图题 4.1.2

解:由逻辑电路写出逻辑表达式

$$L=\overline{A}\overline{B}+AB=A\odot B$$

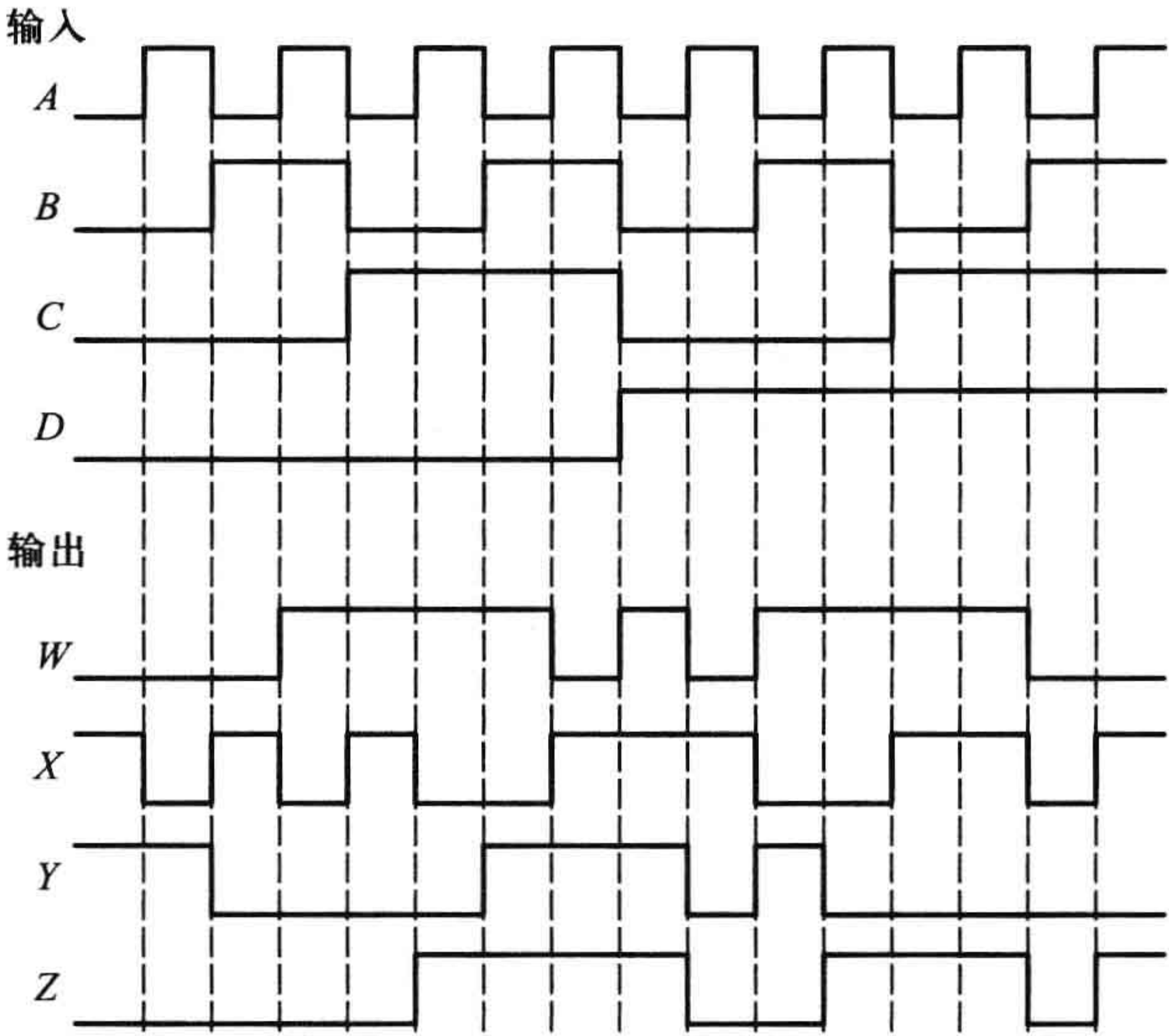
首先将输入波形分段,然后逐段画出输出波形。当 A 、 B 信号相同时,输出为 **1**,不同时,输出为 **0**,得到输出波形如图题解 4. 1. 2 所示。



图题解 4. 1. 2

4. 1. 3 设有四种组合逻辑电路,它们的输入波形(A 、 B 、 C 、 D)

如图题 4. 1. 3 所示,其对应的输出波形为 W 、 X 、 Y 、 Z ,试分别写出它们的简化逻辑表达式。



图题 4. 1. 3

解:分析输入波形可知,输入变量从高位到低位依次为 D 、 C 、 B 、 A ,输入信号依次从 **0000** 递增到 **1111**,根据波形图可列出真值表,由卡诺图化简得到逻辑表达式。

(1) 由波形图列真值表,如表题解 4. 1. 3 所示。

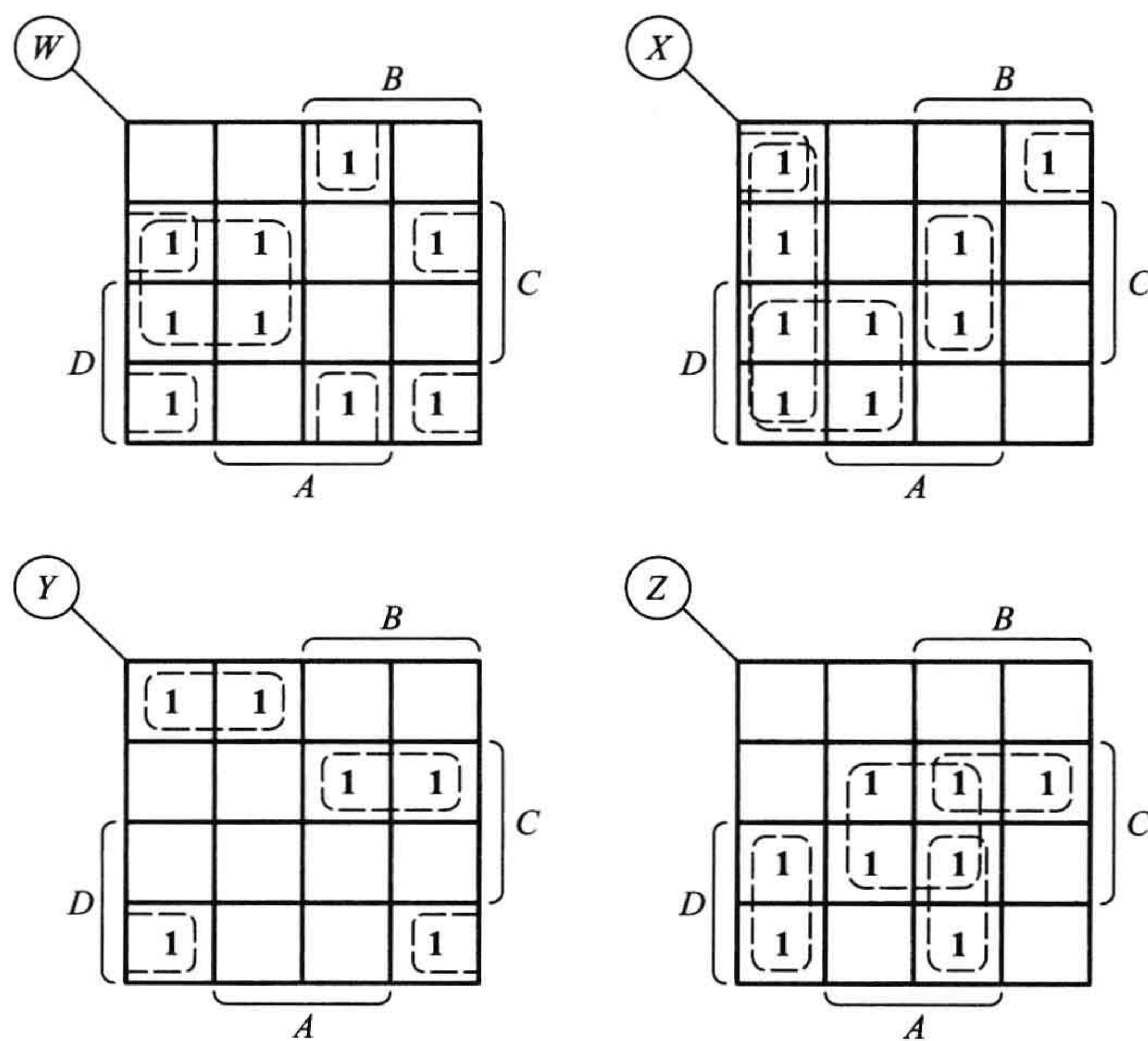
表题解 4. 1. 3

D	C	B	A	W	X	Y	Z
0	0	0	0	0	1	1	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	1	0	0	0
0	1	0	0	1	1	0	0
0	1	0	1	1	0	0	1
0	1	1	0	1	0	1	1

续表

D	C	B	A	W	X	Y	Z
0	1	1	1	0	1	1	1
1	0	0	0	1	1	1	1
1	0	0	1	0	1	0	0
1	0	1	0	1	0	1	0
1	0	1	1	1	0	0	1
1	1	0	0	1	1	0	1
1	1	0	1	1	1	0	1
1	1	1	0	0	0	0	0
1	1	1	1	0	1	0	1

(2) 由真值表画 W 、 X 、 Y 、 Z 的卡诺图,如图题解 4.1.3 所示。



图题解 4.1.3

(3) 由卡诺图写出 W 、 X 、 Y 、 Z 的最简与或表达式。

$$W = C\bar{B} + D\bar{C}\bar{A} + DC\bar{A} + CBA$$

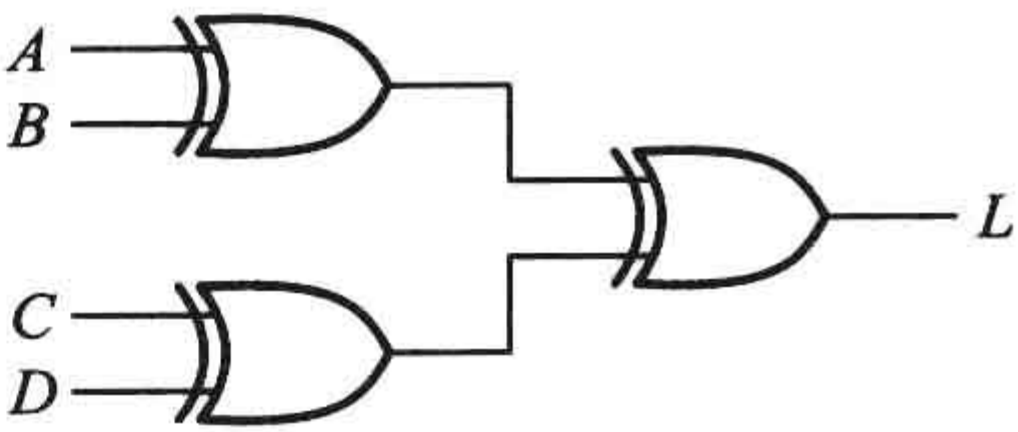
$$X = D\bar{B} + \bar{B}\bar{A} + CBA + D\bar{C}\bar{A}$$

$$Y = \bar{D}\bar{C}\bar{B} + DCB + D\bar{C}\bar{A}$$

$$Z = CA + D\bar{B}\bar{A} + DBA + DCB$$

4.1.4 试分析图题 4.1.4 所示逻辑电路的功能。

解:组合逻辑电路的分析步骤是,首先由逻辑电路写出逻辑表达式,然后根据逻辑表达式列出真值表,再由真值表判断逻辑功能。



图题 4.1.4

由逻辑电路写出逻辑表达式

$$L = (A \oplus B) \oplus (C \oplus D)$$

列出真值表如表题解 4.1.4 所示。

表题解 4.1.4

A	B	C	D	$A \oplus B$	$C \oplus D$	L
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	0	1	1
0	0	1	1	0	0	0
0	1	0	0	1	0	1
0	1	0	1	1	1	0
0	1	1	0	1	1	0
0	1	1	1	1	0	1
1	0	0	0	1	0	1
1	0	0	1	1	1	0
1	0	1	0	1	1	0
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	0	1	0	1	1
1	1	1	0	0	1	1
1	1	1	1	0	0	0

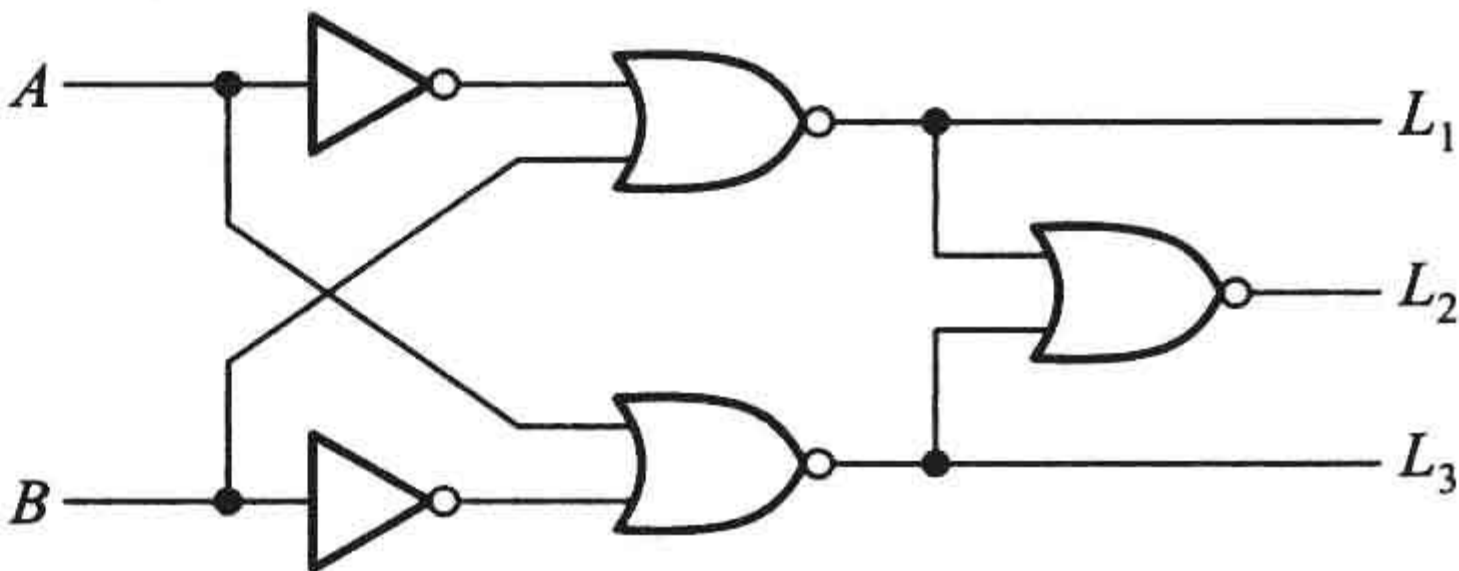
由真值表可知,输入奇数个 1,输出 $L=1$,输入偶数个 1,输出 $L=0$ 。该电路为奇校验电路。

4.1.5 逻辑电路如图题 4.1.5 所示,试分析其逻辑功能。

解:根据组合逻辑电路的分析步骤

(1) 由逻辑电路写出输出与输入的逻辑表达式

$$L_1 = \overline{A+B} = \overline{A} \overline{B}$$



图题 4.1.5

$$L_2 = \overline{\overline{A+B+A+B}} = (\overline{A+B}) \cdot (\overline{A+B}) = AB + \overline{A} \overline{B}$$

$$L_3 = \overline{\overline{A+B}} = \overline{AB}$$

(2) 列出真值表,如表题解 4.1.5 所示。

表题解 4.1.5

A	B	L_1	L_2	L_3
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

由真值表可知,

当 $A > B$, $L_1 = 1$, $L_2 = L_3 = 0$;

当 $A < B$, $L_3 = 1$, $L_1 = L_2 = 0$;

当 $A = B$, $L_2 = 1$, $L_1 = L_3 = 0$ 。

该逻辑电路为 1 位数值比较器。

4.1.6 试分析图题 4.1.6 所示逻辑电路的功能。

解:根据组合逻辑电路的分析步骤,首先写出逻辑表达式

$$S = A \oplus B \oplus C_i$$

$$C_o = \overline{\overline{(A \oplus B) C_i} \cdot \overline{AB}}$$

$$= (A \oplus B) C_i + AB$$

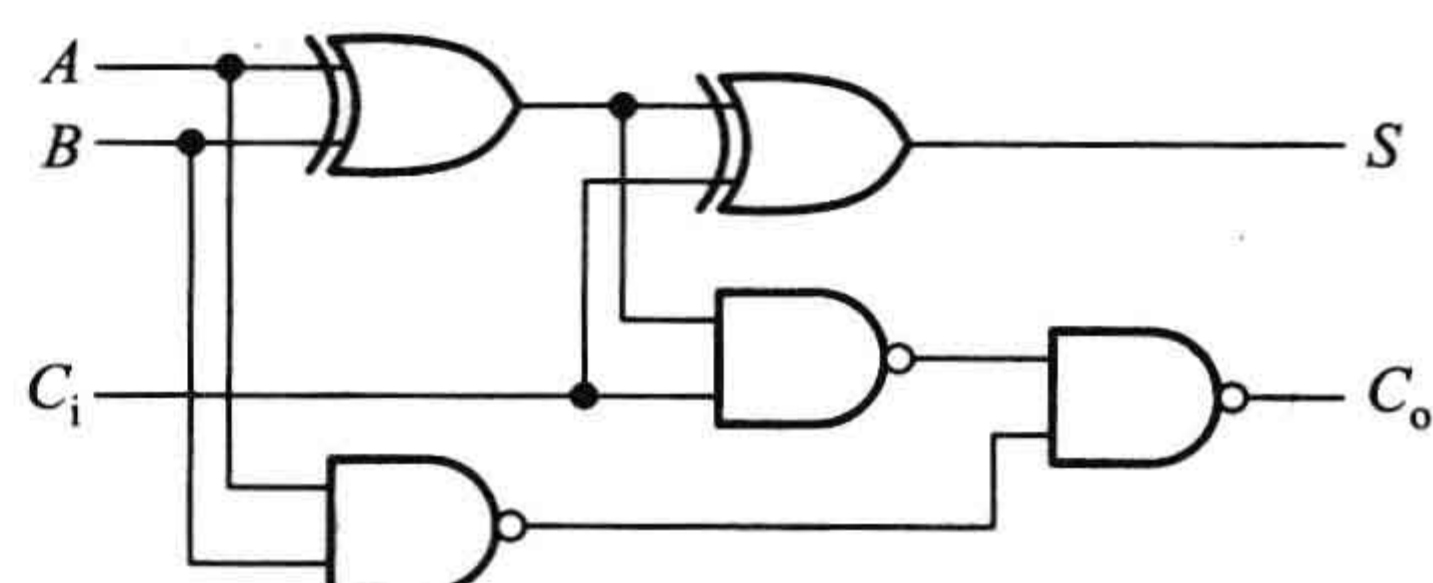
$$= AB + AC_i + BC_i$$

根据逻辑表达式列真值表,如表题解 4.1.6 所示。

表题解 4.1.6

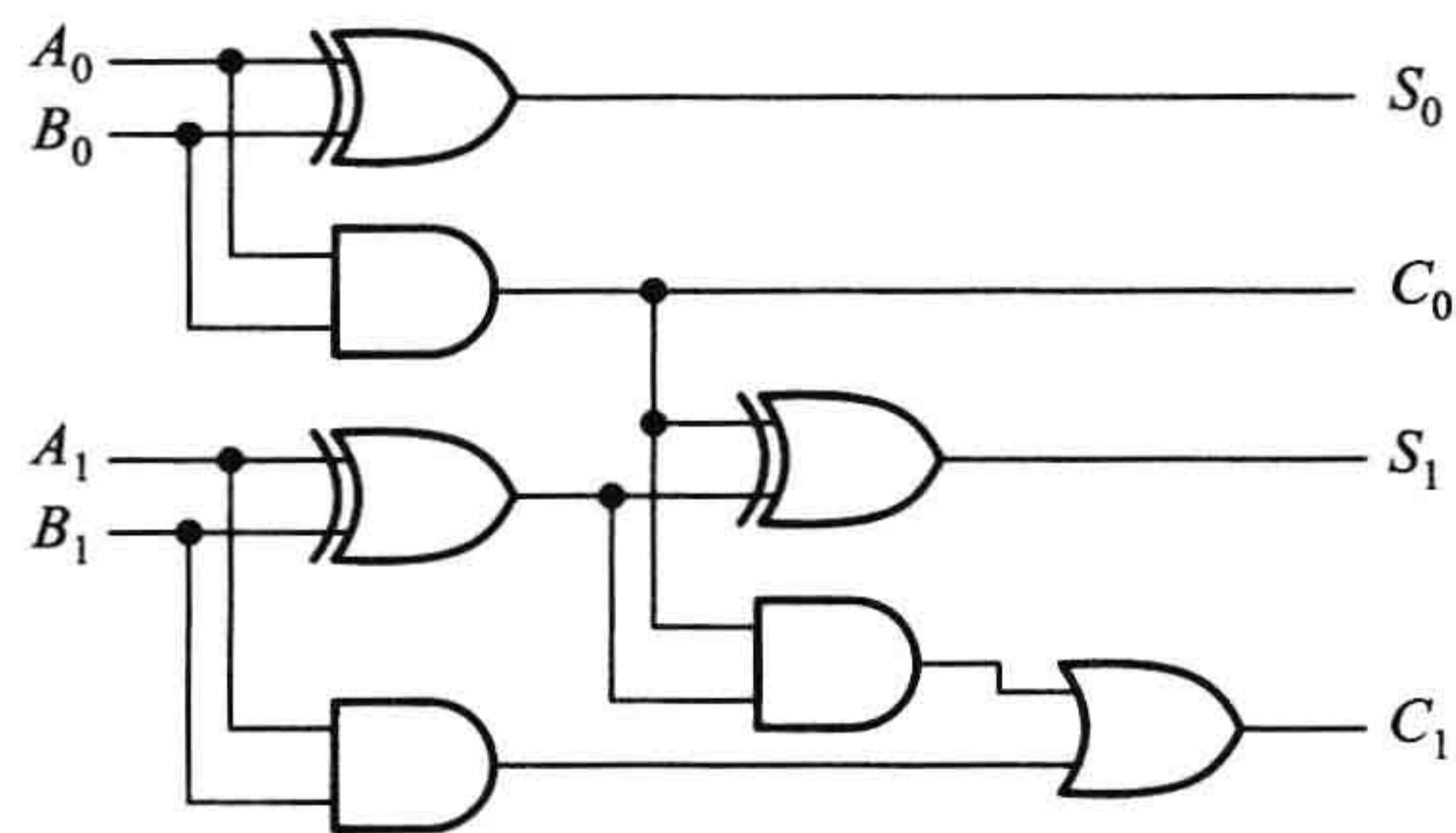
A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

该电路为 1 位数全加器。 A 、 B 为被加数及加数, C_i 为低位进位, S 为和, C_o 为高位进位。



图题 4.1.6

4.1.7 分析图题 4.1.7 所示逻辑电路的功能。



图题 4.1.7

解:由逻辑电路写出表达式

$$\begin{aligned} S_0 &= A_0 \oplus B_0 \\ C_0 &= A_0 B_0 \\ S_1 &= A_1 \oplus B_1 \oplus A_0 B_0 \\ C_1 &= A_1 B_1 + (A_1 \oplus B_1) A_0 B_0 \end{aligned}$$

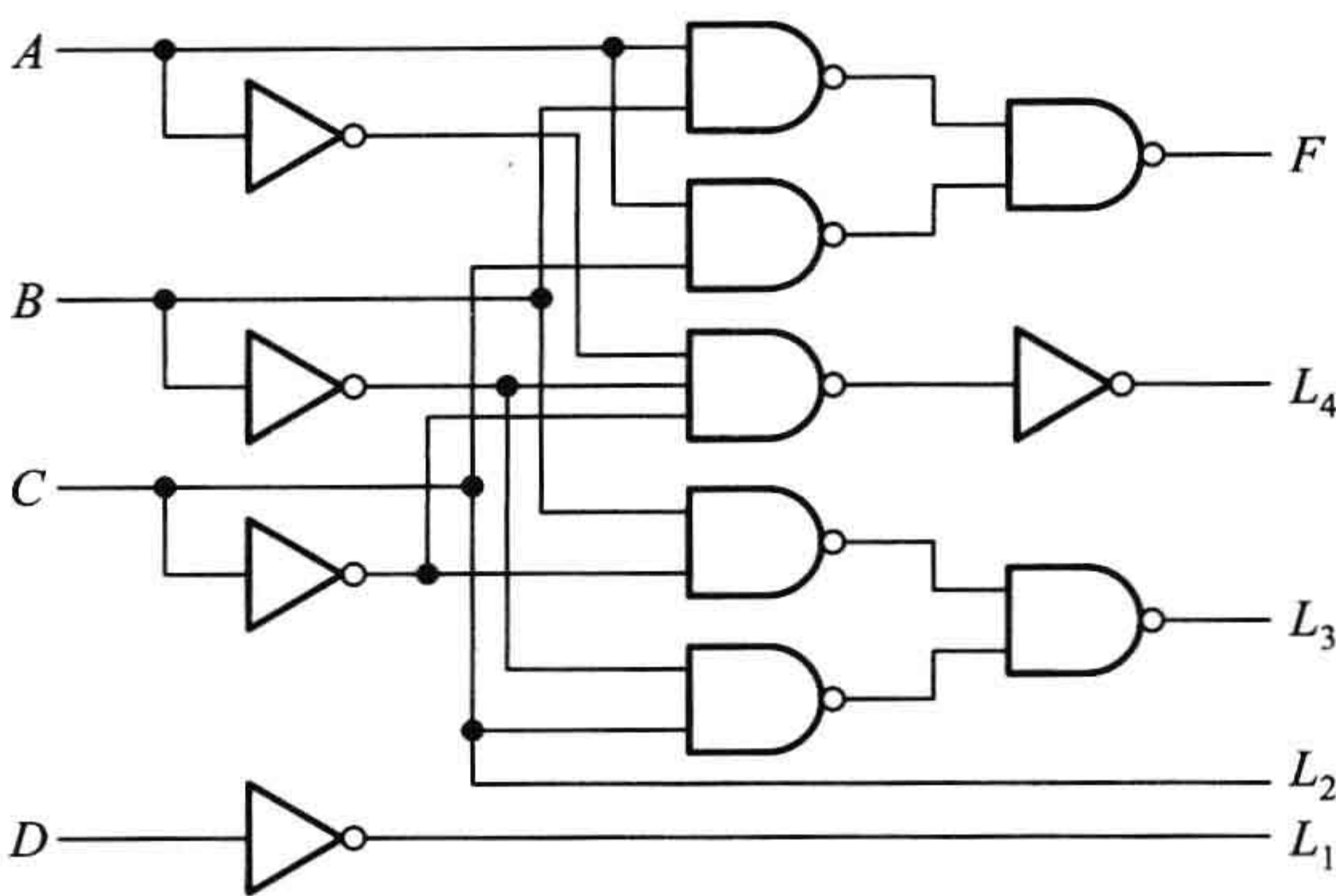
列真值表如表题解 4.1.7 所示。

表题解 4.1.7

A_1	B_1	A_0	B_0	C_1	S_1	C_0	S_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	0	1
0	1	1	1	1	0	1	0
1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	1
1	0	1	0	0	1	0	1
1	0	1	1	1	0	1	0
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	0	1	0	0	1
1	1	1	1	1	1	1	0

由逻辑表达式和真值表可判断该电路是两位数全加器。 A_1A_0 、 B_1B_0 分别为两位被加数及加数, S_1 、 S_0 为和, C_0 为 A_0 、 B_0 相加向高位的进位, C_1 为 A_1 、 B_1 及 C_0 相加向更高位的进位。

4.1.8 分析图题 4.1.8 所示逻辑电路的功能。



图题 4.1.8

解:按照组合逻辑电路的分析步骤进行。

(1) 根据逻辑电路可写出各输出端的逻辑表达式,并直接进行化简和变换。

$$\begin{aligned} L_4 &= \overline{\overline{A} \overline{B} \overline{C}} = \overline{\overline{A+B+C}} \\ L_3 &= \overline{\overline{B} \overline{C}} \cdot \overline{BC} = \overline{B \overline{C} + \overline{B} C} \\ L_2 &= C \\ L_1 &= \overline{D} \\ F &= \overline{\overline{AB} \cdot \overline{AC}} = \overline{\overline{AB+AC}} \end{aligned}$$

(2) 列写真值表,如表题解 4.1.8 所示。

表题解 4.1.8

输 入				输 出				
A	B	C	D	L ₄	L ₃	L ₂	L ₁	F
0	0	0	0	1	0	0	1	0
0	0	0	1	1	0	0	0	0
0	0	1	0	0	1	1	1	0
0	0	1	1	0	1	1	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	0	0	0
0	1	1	0	0	0	1	1	0
0	1	1	1	0	0	1	0	0
1	0	0	0	0	0	0	1	0

续表

输 入				输 出				
<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>L</i> ₄	<i>L</i> ₃	<i>L</i> ₂	<i>L</i> ₁	<i>F</i>
1	0	0	1	0	0	0	0	0
1	0	1	0	0	1	1	1	1
1	0	1	1	0	1	1	0	1
1	1	0	0	0	1	0	1	1
1	1	0	1	0	1	0	0	1
1	1	1	0	0	0	1	1	1
1	1	1	1	0	0	1	0	1

(3) 确定逻辑功能。分析真值表可知,当 *ABCD* 所表示的二进制数小于或等于 9 时,输出 *L*₄*L*₃*L*₂*L*₁ 为对应输入的十进制数的 9 的补码。例如,对十进制数 8 求 9 的补码为 9 - 8 = 1。同时标志位 *F* 输出为 0。当输入的二进制数大于 9 时,输出与输入已不是上述的逻辑关系,并且标志位 *F* 输出为 1,说明此时电路输出的是伪码。这个电路逻辑功能是计算十进制数的 9 的补码。

4.2 组合逻辑电路的设计

4.2.1 试用 2 输入与非门设计一个 3 输入的组合逻辑电路。当输入的二进制码小于 3 时,输出为 0;输入大于等于 3 时,输出为 1。

解:根据组合逻辑的设计过程,首先确定输入、输出变量,列出真值表,由卡诺图化简得到最简与或式,然后根据要求对表达式进行变换,画出逻辑图。

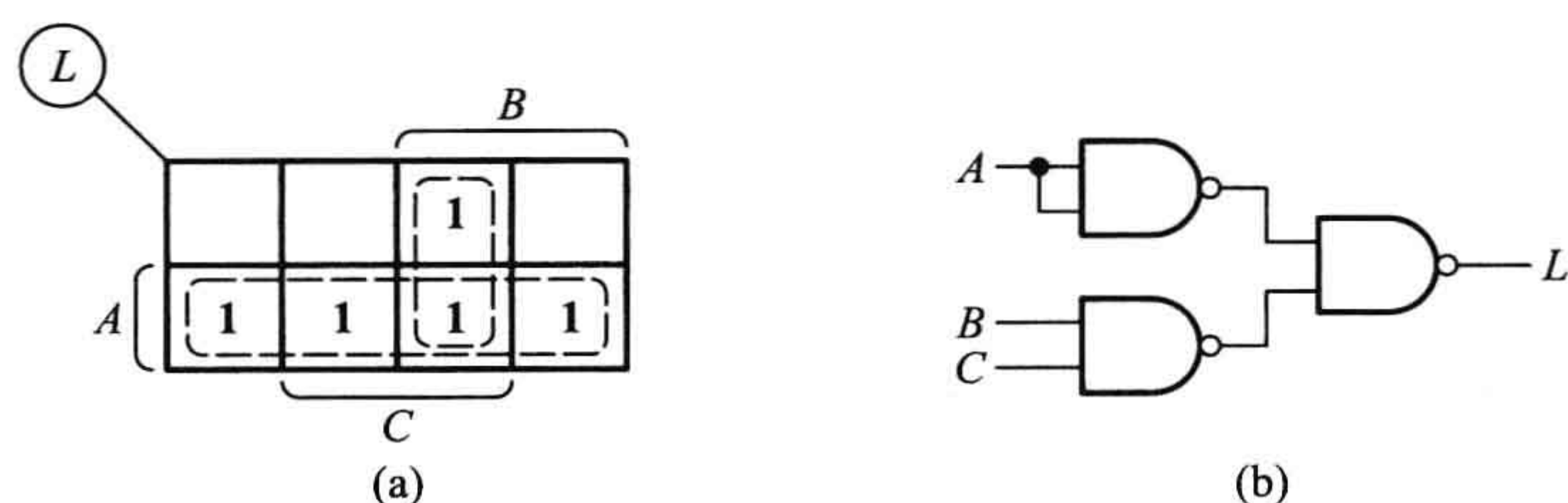
- (1) 设输入变量为 *A*、*B*、*C*,输出变量为 *L*,根据题意列真值表,如表题解 4.2.1 所示。
- (2) 由卡诺图化简图题解 4.2.1(a) 所示,经过变换得到逻辑表达式为

$$L=A+BC=\overline{\overline{A} \overline{BC}}$$

- (3) 用 2 输入与非门实现上述逻辑表达式,如图题解 4.2.1(b) 所示。

表题解 4.2.1

<i>A</i>	<i>B</i>	<i>C</i>	<i>L</i>
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



图题解 4.2.1

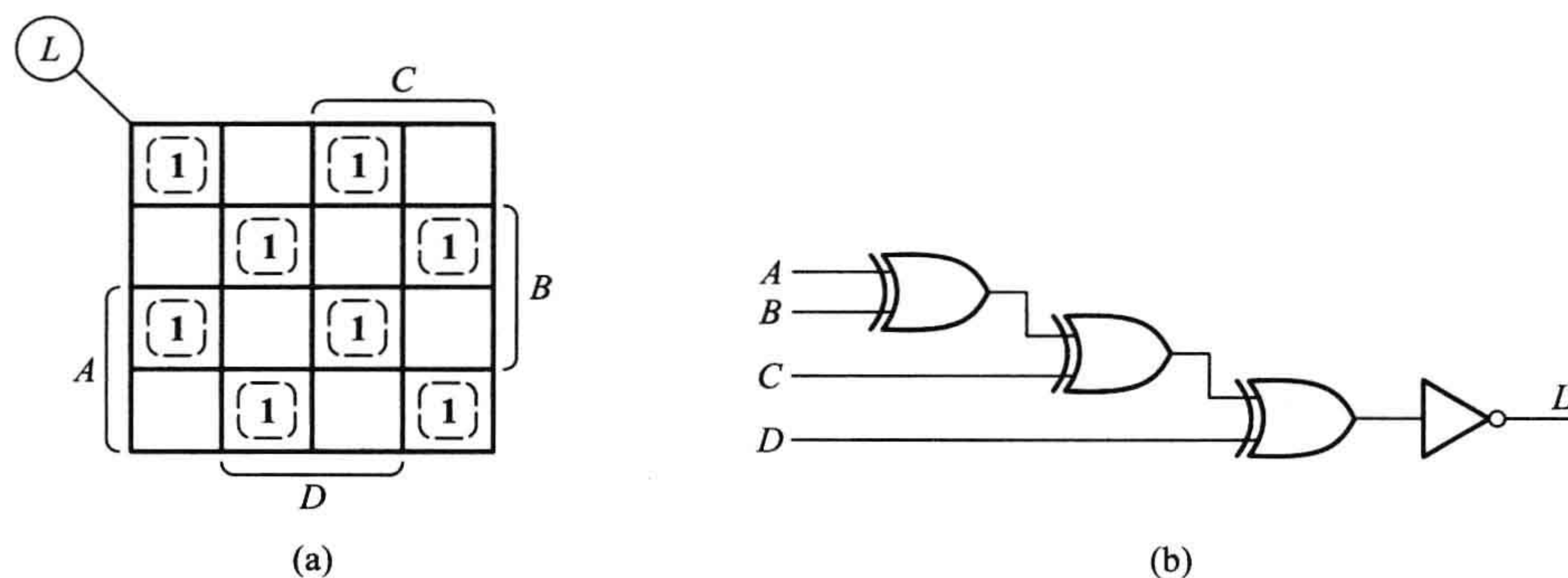
4.2.2 试设计一个 4 位的奇偶校验器, 即当 4 位数中有奇数个 1 时输出为 0, 否则输出为 1。可以采用各种逻辑功能的门电路来实现。

解: (1) 按照组合逻辑电路的设计步骤, 设 4 个输入为 A 、 B 、 C 、 D , 输出为 L 。当 $ABCD$ 中有奇数个 1, 输出 $L = 0$; 当 $ABCD$ 有偶数个 1 或没有 1, 输出为 $L = 1$, 由此列出真值表如表题解 4.2.2。

表题解 4.2.2

A	B	C	D	L	A	B	C	D	L
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	0	1	0	1
0	0	1	1	1	1	0	1	1	0
0	1	0	0	0	1	1	0	0	1
0	1	0	1	1	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

(2) 由真值表画卡诺图, 如图题解 4.2.2(a)。



图题解 4.2.2

(3) 由卡诺图写出逻辑表达式, 并进行变换得

$$L = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}BCD + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD + A\bar{B}C\bar{D} + A\bar{B}CD + A\bar{B}C\bar{D} + A\bar{B}CD + A\bar{B}C\bar{D} + A\bar{B}CD + A\bar{B}C\bar{D}$$

$$\begin{aligned}
&= \overline{A} \overline{B} (\overline{C} \overline{D} + CD) + \overline{A} B (\overline{C} D + C \overline{D}) + AB (\overline{C} \overline{D} + CD) + A \overline{B} (\overline{C} D + C \overline{D}) \\
&= \overline{A} \overline{B} C \oplus D + \overline{A} B (C \oplus D) + AB (\overline{C} \oplus D) + A \overline{B} (C \oplus D) \\
&= (\overline{A} \overline{B} + AB) \overline{C} \oplus D + (\overline{A} B + A \overline{B}) (C \oplus D) \\
&= (\overline{A} \oplus B) (\overline{C} \oplus D) + (A \oplus B) (C \oplus D) \\
&= \overline{A \oplus B \oplus C \oplus D}
\end{aligned}$$

(4) 由逻辑表达式可见,用异或门可以简化逻辑电路,因此,由异或门和非门构成的逻辑电路,如图题解 4.2.2(b)所示。

4.2.3 试设计一个具有控制端 C 的 4 输入 $A_3 A_2 A_1 A_0$ 、4 输出 $L_3 L_2 L_1 L_0$ 的逻辑电路。当控制信号 $C=0$ 时,输出状态与输入状态相反; $C=1$ 时,输出状态与输入状态相同。可以采用各种逻辑功能的门电路来实现。

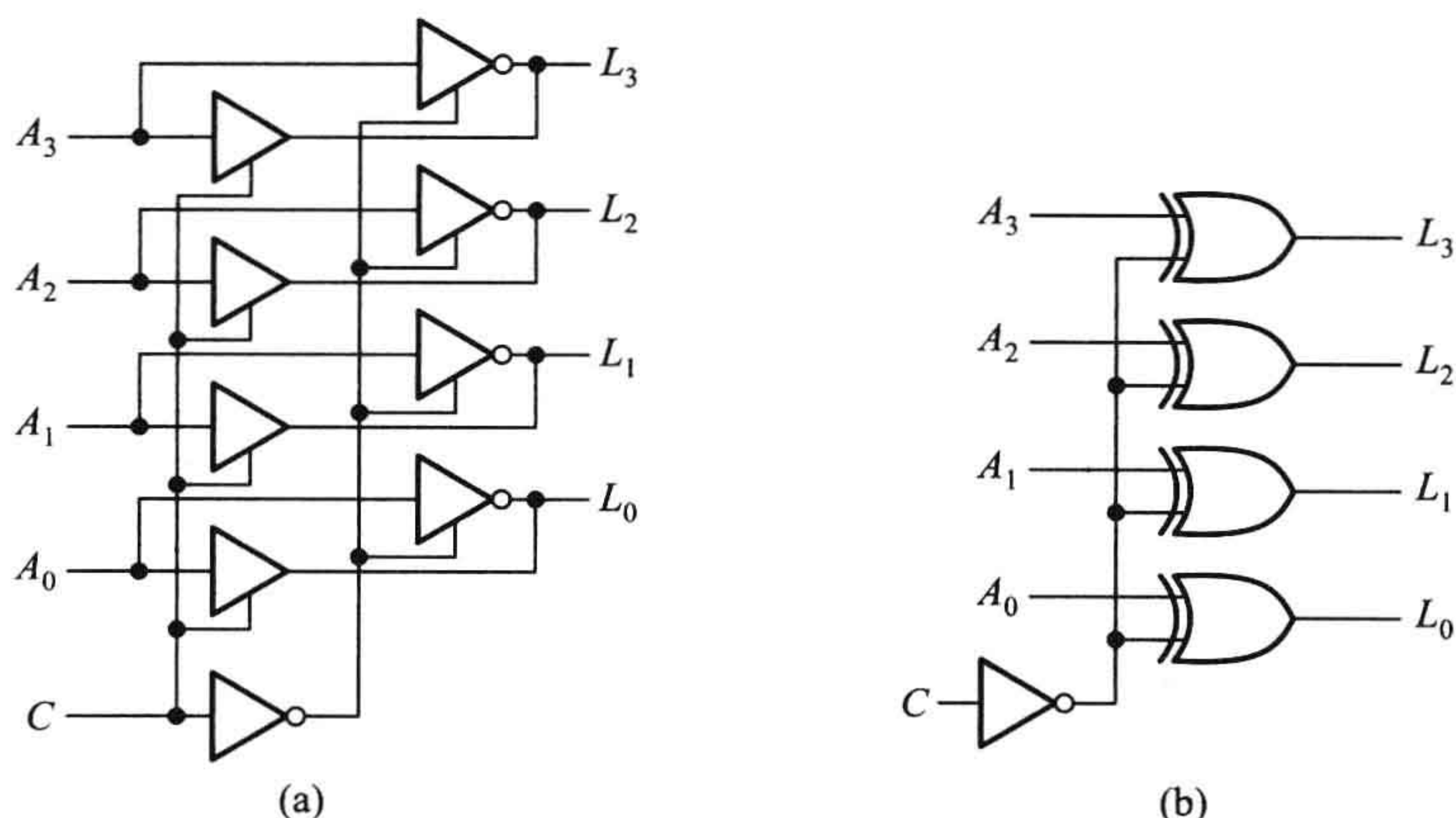
解:由题意可知, $C=0$ 时, $L_i = \overline{A_i}$; $C=1$ 时, $L_i = A_i$,所以,可以直接写出逻辑表达式

$$L_i = \overline{A_i} \overline{C} + A_i C \quad (i=3,2,1,0)$$

异或门比同或门更常用,将上式变化为异或表达式

$$L_i = A_i \oplus \overline{C} \quad (i=3,2,1,0)$$

分别用三态门、异或门和非门实现的逻辑电路如图题解 4.2.3(a)、(b)所示。



图题解 4.2.3

4.2.4 试设计一可逆的 4 位码转换电路。当控制信号 $C=1$ 时,它将 8421 码转换为格雷码; $C=0$ 时,它将格雷码转换为 8421 码。可以采用任何门电路来实现。

解:(1) 设 X_3, X_2, X_1, X_0 分别为 4 个输入信号, Y_3, Y_2, Y_1, Y_0 分别为 4 个输出信号,根据题意列出真值表,如表题解 4.2.4 所示。当 $C=1$ 时,输入 $X_3 X_2 X_1 X_0$ 作为 8421 码,对应的输出 $g_3 g_2 g_1 g_0$ 为格雷码;当 $C=0$ 时,输入 $X_3 X_2 X_1 X_0$ 则作为格雷码,对应的输出 $b_3 b_2 b_1 b_0$ 为 8421 码。注意,此时 $X_3 X_2 X_1 X_0$ 作为格雷码的排列顺序不是按照它所对应的十进制数递增顺序,而是按照 8421 码的递增顺序排列。

(2) 分别画出 $C=1$ 和 $C=0$ 时各输出函数的卡诺图,如图题解 4.2.4(a)所示。

表题解 4.2.4

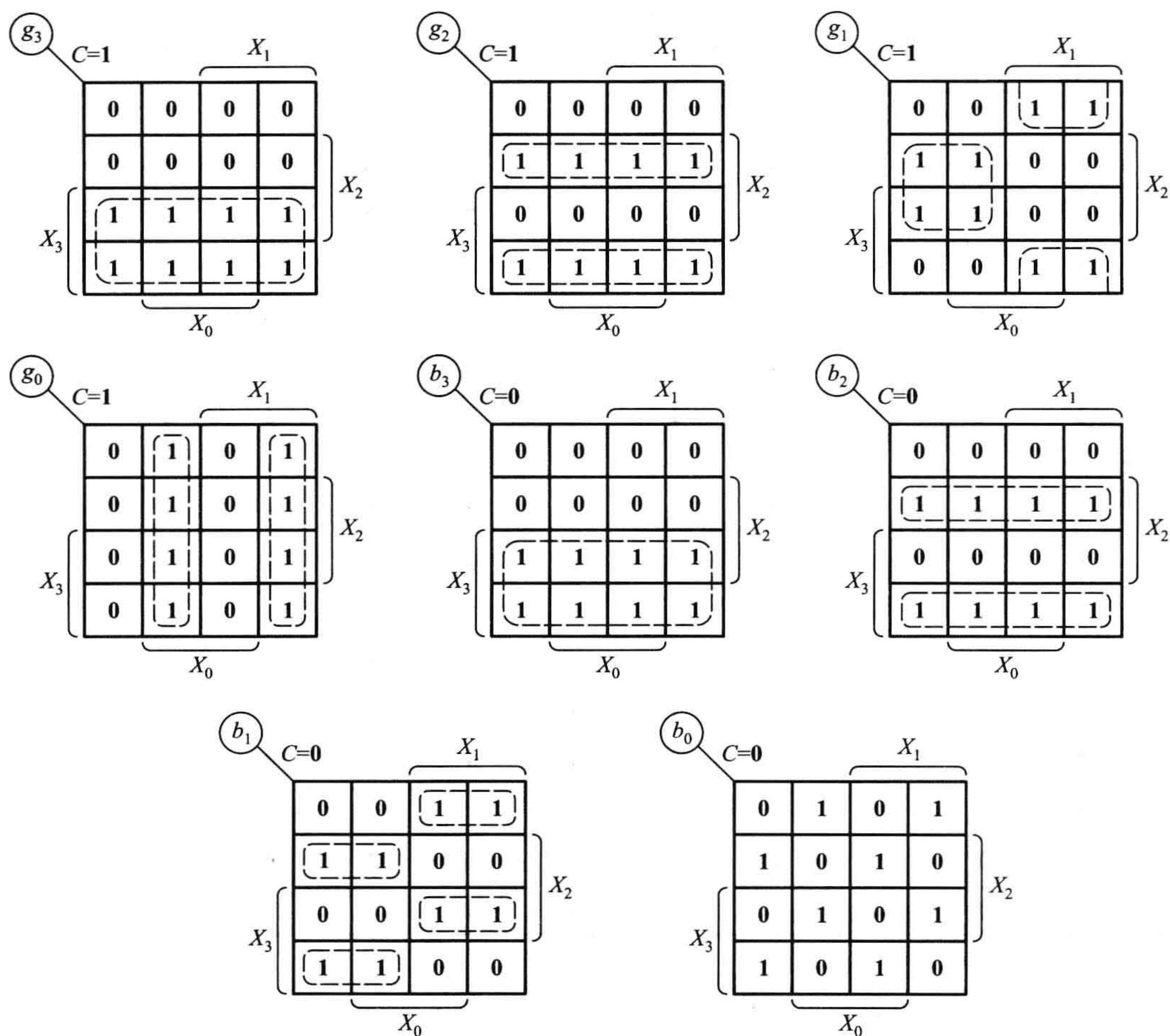
输 入				输 出 $(Y_i = g_i + b_i)$							
X_3	X_2	X_1	X_0	g_3	g_2	g_1	g_0	b_3	b_2	b_1	b_0
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1	0	0	1	1
0	0	1	1	0	0	1	0	0	0	1	0
0	1	0	0	0	1	1	0	0	1	1	1
0	1	0	1	0	1	1	1	0	1	1	0
0	1	1	0	0	1	0	1	0	1	0	0
0	1	1	1	0	1	0	0	0	1	0	1
1	0	0	0	1	1	0	0	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	0	0
1	0	1	1	1	1	1	0	1	1	0	1
1	1	0	0	1	0	1	0	1	0	0	0
1	1	0	1	1	0	1	1	1	0	0	1
1	1	1	0	1	0	0	1	1	0	1	1
1	1	1	1	1	0	0	0	1	0	1	0

(3) 由卡诺图可求得各输出逻辑表达式。若同时考虑 C 变量, 当 $C=1$ 时, 有

$$\begin{cases} g_3 = X_3 C \\ g_2 = (X_3 \bar{X}_2 + \bar{X}_3 X_2) C = (X_3 \oplus X_2) C \\ g_1 = (X_2 \bar{X}_1 + \bar{X}_2 X_1) C = (X_2 \oplus X_1) C \\ g_0 = (X_1 \bar{X}_0 + \bar{X}_1 X_0) C = (X_1 \oplus X_0) C \end{cases}$$

当 $C=0$ 时, 有

$$\begin{cases} b_3 = X_3 \bar{C} \\ b_2 = (X_3 \bar{X}_2 + \bar{X}_3 X_2) \bar{C} = (X_3 \oplus X_2) \bar{C} \\ b_1 = (X_3 \bar{X}_2 \bar{X}_1 + \bar{X}_3 X_2 \bar{X}_1 + X_3 X_2 X_1 + \bar{X}_3 \bar{X}_2 X_1) \bar{C} \\ \quad = [(X_3 \bar{X}_2 + \bar{X}_3 X_2) \bar{X}_1 + (X_3 X_2 + \bar{X}_3 \bar{X}_2) X_1] \bar{C} \\ \quad = [(X_3 \oplus X_2) \bar{X}_1 + (X_3 \oplus X_2) X_1] \bar{C} \\ \quad = (X_3 \oplus X_2 \oplus X_1) \bar{C} \\ b_0 = (X_3 \oplus X_2 \oplus X_1 \oplus X_0) \bar{C} \end{cases}$$



图题解 4.2.4(a)

将上述两组方程合并,得总的输出逻辑表达式

$$Y_3 = g_3 + b_3 = X_3 C + X_3 \bar{C} = X_3$$

$$Y_2 = g_2 + b_2 = (X_3 \oplus X_2) C + (X_3 \oplus X_2) \bar{C} = X_3 \oplus X_2$$

$$\begin{aligned} Y_1 &= g_1 + b_1 = (X_2 \oplus X_1) C + (X_3 \oplus X_2 \oplus X_1) \bar{C} \\ &= (X_2 \oplus X_1) C + (Y_2 \oplus X_1) \bar{C} \end{aligned}$$

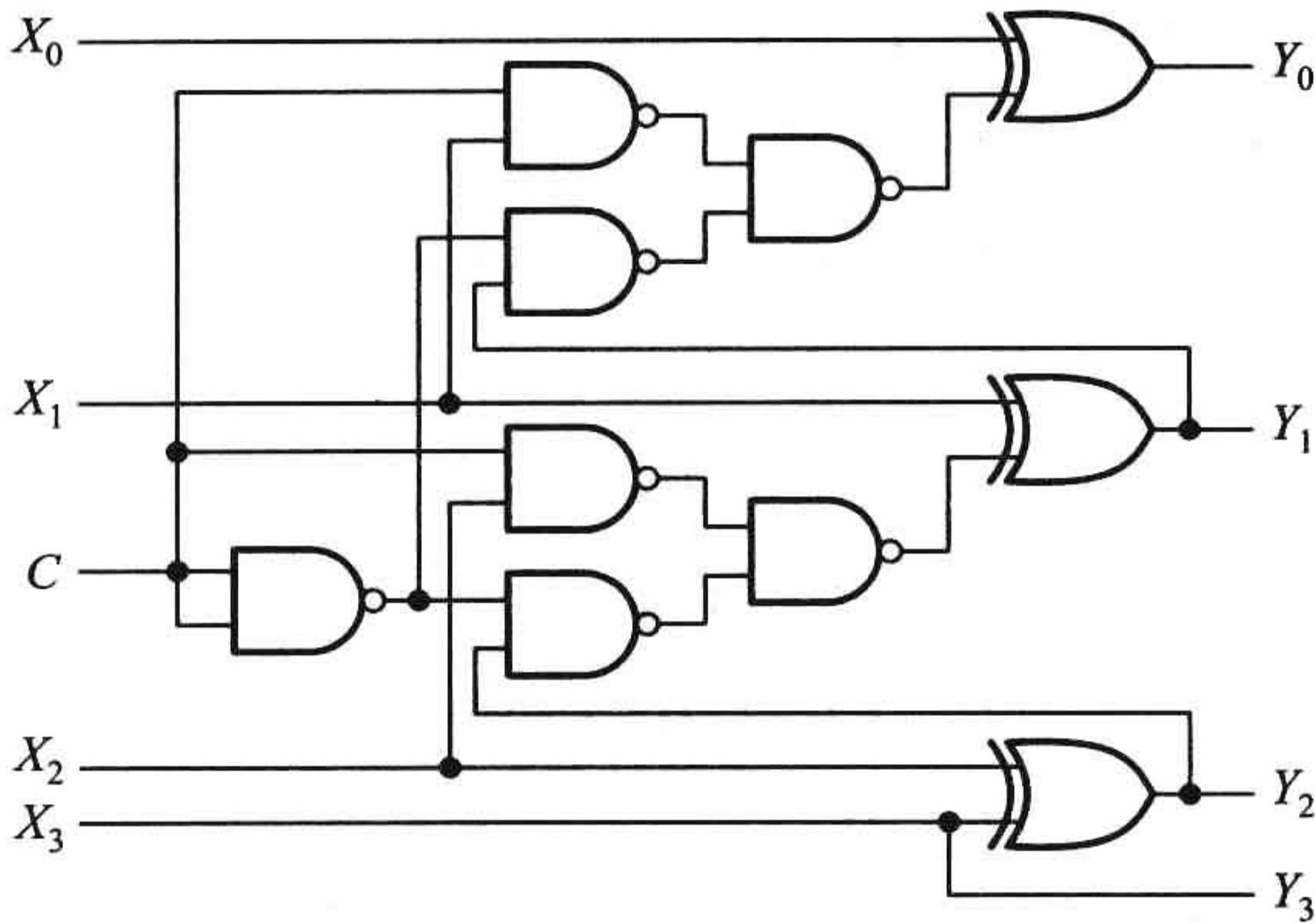
展开且重新组合,得

$$\begin{aligned} Y_1 &= X_1 \oplus (CX_2 + \bar{C}Y_2) \\ &= X_1 \oplus (\overline{CX_2 \cdot \bar{C}Y_2}) \end{aligned}$$

$$Y_0 = g_0 + b_0 = X_0 \oplus (\overline{CX_1 \cdot \bar{C}Y_1})$$

由此可画出用与非门和异或门实现的逻辑电路,如图题解 4.2.4(b)所示。

4.2.5 试设计一组合逻辑电路,能够对输入的 4 位二进制数进行求反加 1 的运算。可以采



图题解 4. 2. 4(b)

用任何门电路来实现。

解:(1) 设输入变量为 A 、 B 、 C 、 D , 输出变量为 L_3 、 L_2 、 L_1 、 L_0 , 由题意列真值表, 如表题解4. 2. 5 所示。

表题解 4. 2. 5

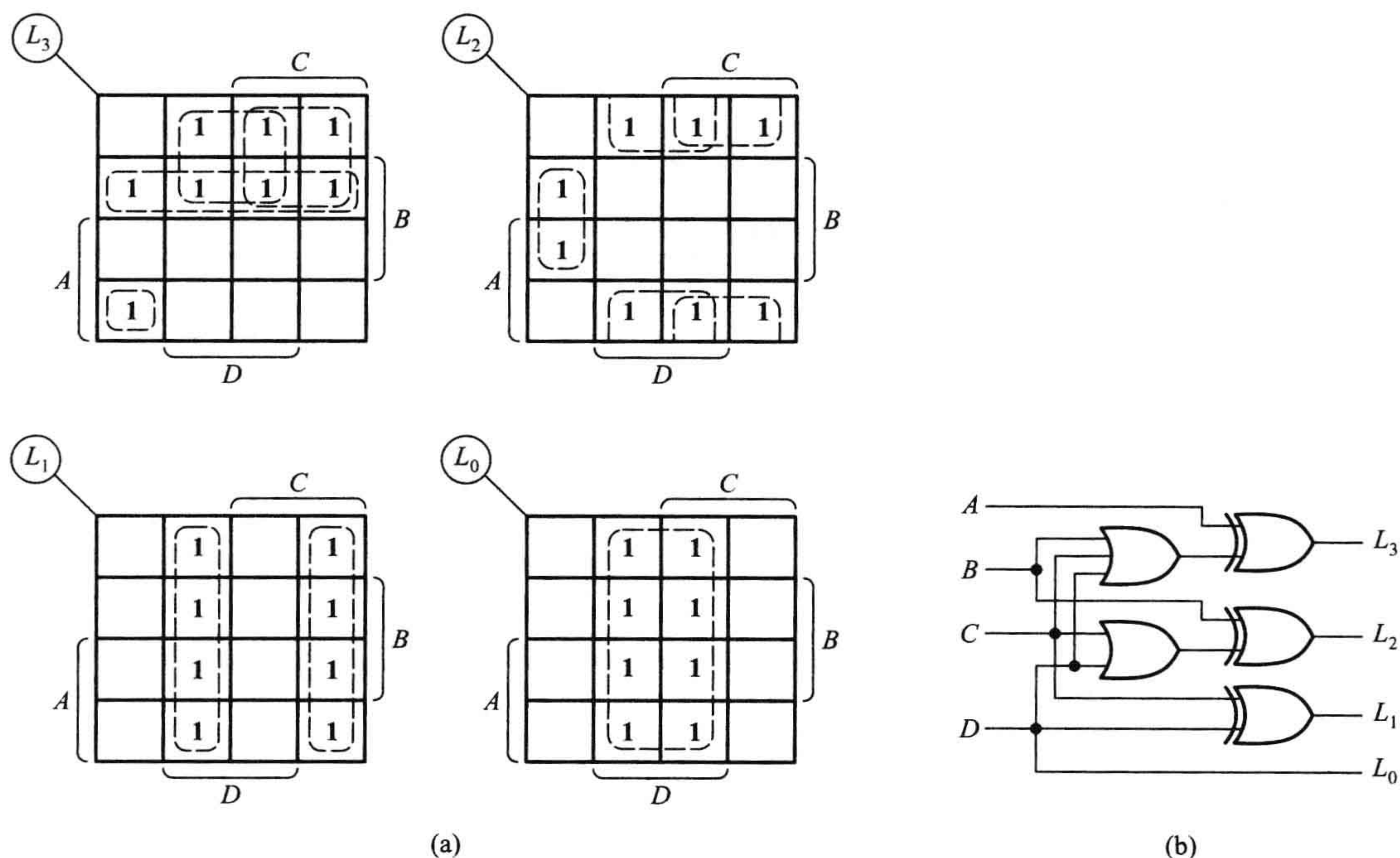
输 入				输 出			
A	B	C	D	L_3	L_2	L_1	L_0
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	0
0	0	1	1	1	1	0	1
0	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	0
1	0	0	1	0	1	1	1
1	0	1	0	0	1	1	0
1	0	1	1	0	1	0	1
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	0	1	0
1	1	1	1	0	0	0	1

(2) 由真值表画卡诺图,如图题解 4.2.5(a)所示。

(3) 由卡诺图可求得各输出逻辑表达式。

$$\begin{cases} L_3 = \overline{A}B + \overline{A}C + \overline{A}D + A\overline{B}\overline{C}\overline{D} \\ \quad = A \oplus (B+C+D) \\ L_2 = \overline{B}C + \overline{B}D + B\overline{C}\overline{D} \\ \quad = B \oplus (C+D) \\ L_1 = \overline{C}D + C\overline{D} = C \oplus D \\ L_0 = D \end{cases}$$

根据上述表达式用或门和异或门实现逻辑电路,如图题解 4.2.5(b)所示。



图题解 4.2.5

4.2.6 某足球评委会由一位教练和三位球迷组成,对裁判员的判罚进行表决。当满足以下条件时表示同意:有三人或三人以上同意,或者有两人同意,但其中一人是教练。试用 2 输入与非门设计该表决电路。

解:(1) 设一位教练和三位球迷分别用 A 和 B 、 C 、 D 表示,并且这些输入变量为 1 时表示同意,为 0 表示不同意。输出 L 表示表决结果, L 为 1 时表示同意判罚,为 0 表示不同意。由此列出真值表,如表题解 4.2.6 所示。

表题解 4.2.6

输 入				输出	输 入				输出
A	B	C	D	L	A	B	C	D	L
0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	0	1	0	1
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

(2) 由真值表画卡诺图,如图题解 4.2.6(a)所示。

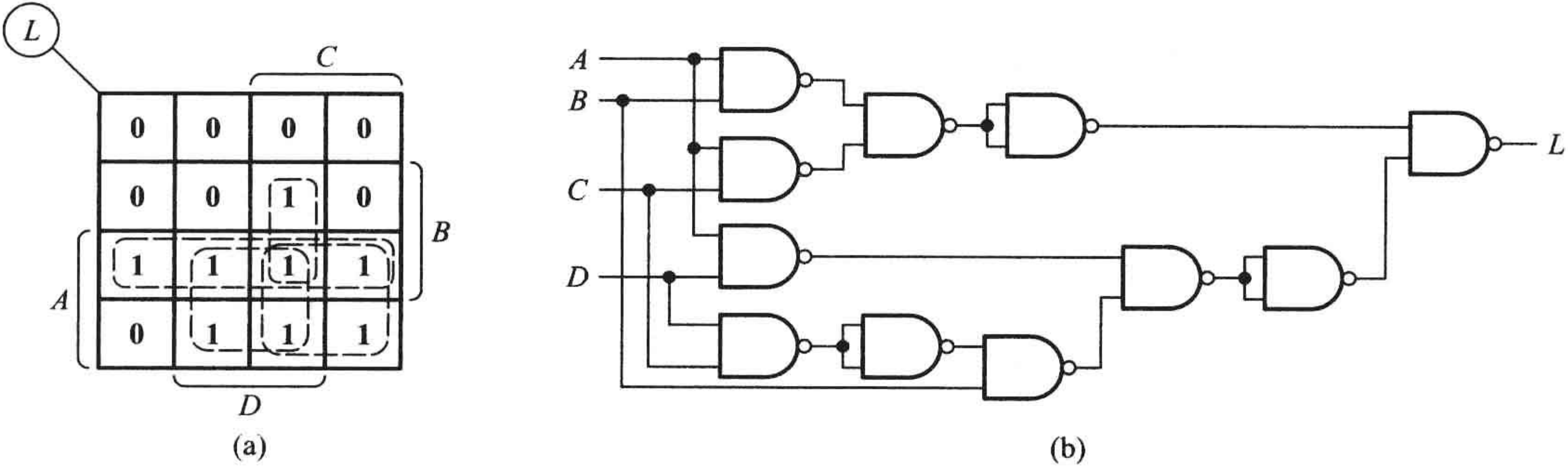
由卡诺图化简得

$$L=AB+AC+AD+BCD$$

由于规定只能用 2 输入与非门,将上式变换为两变量的与非-与非运算式

$$\begin{aligned} L &= \overline{\overline{AB} \cdot \overline{AC} \cdot \overline{AD} \cdot \overline{BCD}} \\ &= \overline{\overline{\overline{\overline{AB}} \cdot \overline{\overline{\overline{AC}} \cdot \overline{\overline{\overline{AD}} \cdot \overline{\overline{\overline{BCD}}}}}}} \end{aligned}$$

(3) 根据 L 的逻辑表达式,画出由 2 输入与非门组成的逻辑电路如图题解 4.2.6(b)所示。



图题解 4.2.6

4.2.7 某雷达站有三部雷达 A、B、C,其中 A 和 B 功率消耗相等,C 的功率是 A 的两倍。这些雷达由两台发电机 X 和 Y 供电,发电机 X 的最大输出功率等于雷达 A 的功率消耗,发电机 Y 的最大输出功率是 X 的 3 倍。要求设计一个逻辑电路,能够根据各雷达的启动和关闭信号,以最节约电能的方式启、停发电机。

解: 设雷达 A、B、C 启动为 1,关闭为 0,发电机 X、Y 启动为 1,停止为 0。由题意可知,当 A 或 B 工作时,只需要 X 发电;A、B、C 同时工作时,需要 X 和 Y 同时发电;其他情况只需要 Y 发电。

由此列出真值表如表题解 4. 2. 7 所示。

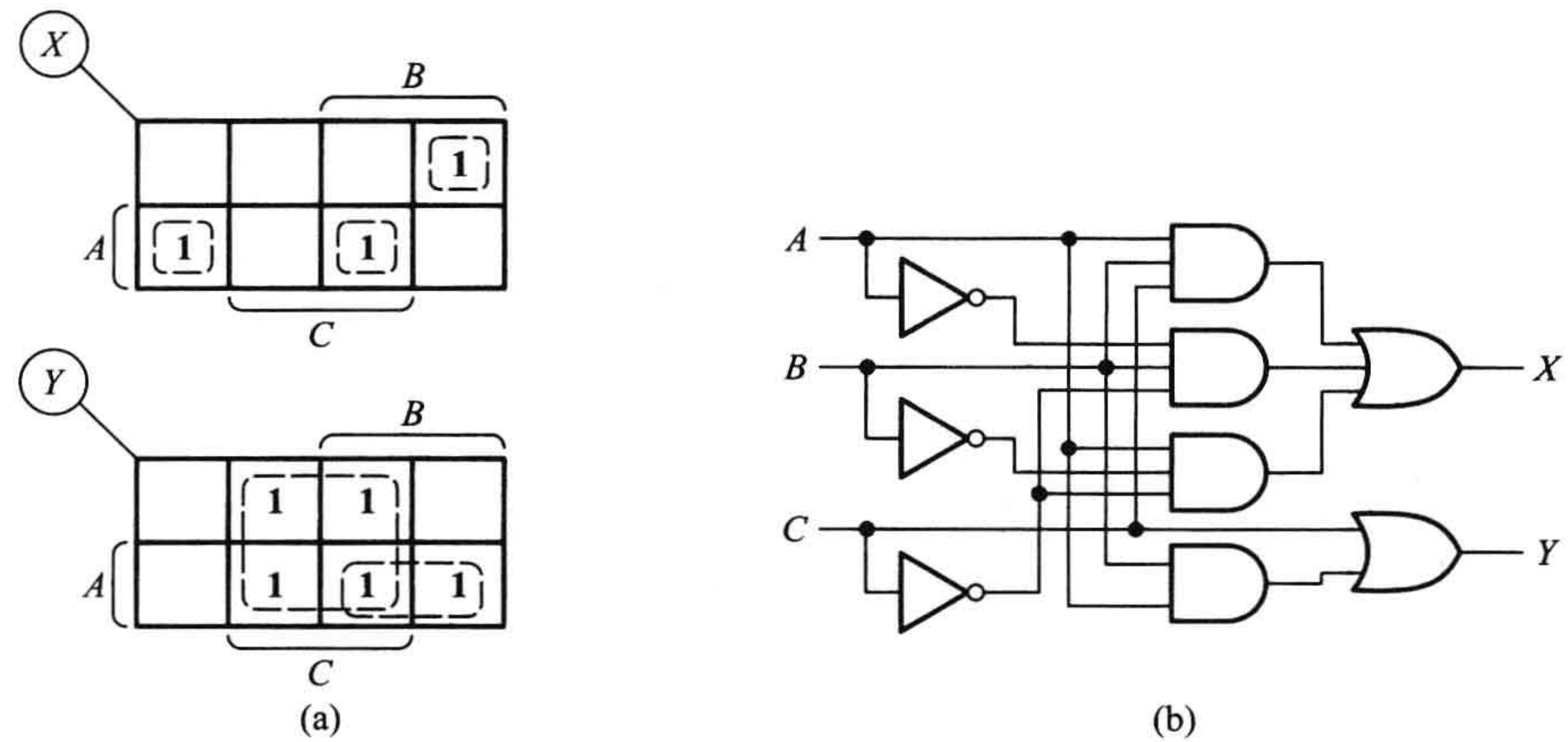
由真值表可画出卡诺图,如图题解 4. 2. 7(a)所示。由卡诺图可得简化逻辑表达式

$$X=\overline{A}\overline{B}\overline{C}+A\overline{B}\overline{C}+ABC$$
$$Y=AB+C$$

由逻辑表达式,可画出由与、或、非门构成的逻辑电路,如图题解 4. 2. 7(b)所示。

表题解 4. 2. 7

A	B	C	X	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



图题解 4. 2. 7

4. 2. 8 某火车站有特快、直快和慢车三种类型的客运列车进出,试用两输入与非门和反相器设计一个指示列车等待进站的逻辑电路,3 个指示灯一、二、三号分别对应特快、直快和慢车。列车的优先级别依次为特快、直快和慢车,要求当特快列车请求进站时,无论其他两种列车是否请求进站,一号灯亮。当特快没有请求,直快请求进站时,无论慢车是否请求,二号灯亮。当特快和直快均没有请求,而慢车有请求时,三号灯亮。

解:(1) 明确逻辑功能

设特快、直快和慢车的进站请求信号分别为 3 个输入信号 I_1 、 I_2 、 I_3 ，并规定有进站请求时为 1，没有请求时为 0。3 个指示灯的状态表示 3 个输出信号 L_1 、 L_2 、 L_3 ，灯亮为 1，灯灭为 0。

电路的逻辑功能是：当输入 I_1 为 1 时，输出 L_1 为 1， L_2 和 L_3 为 0，此时 I_2 和 I_3 可以是 1 或是 0，因此用×表示取任意值。当 I_1 为 0 且 I_2 为 1， I_3 为×，输出 L_2 为 1，其余两个输出为 0；当 I_3 为 1 且 I_1 和 I_2 均为 0 时，输出 L_3 为 1，其余两个输出为 0。

电路的输入是具有优先级的， I_1 的优先级最高。根据题意列出真值表，如表题解 4. 2. 8 所示。

(2) 根据真值表写出各输出逻辑表达式

写逻辑表达式时，将每个输出逻辑函数中所有为 1 的输入变量乘积项相加。输入变量为 1 的用原变量表示，为 0 的用反变量表示，为×的表示乘积项与此变量无关。则

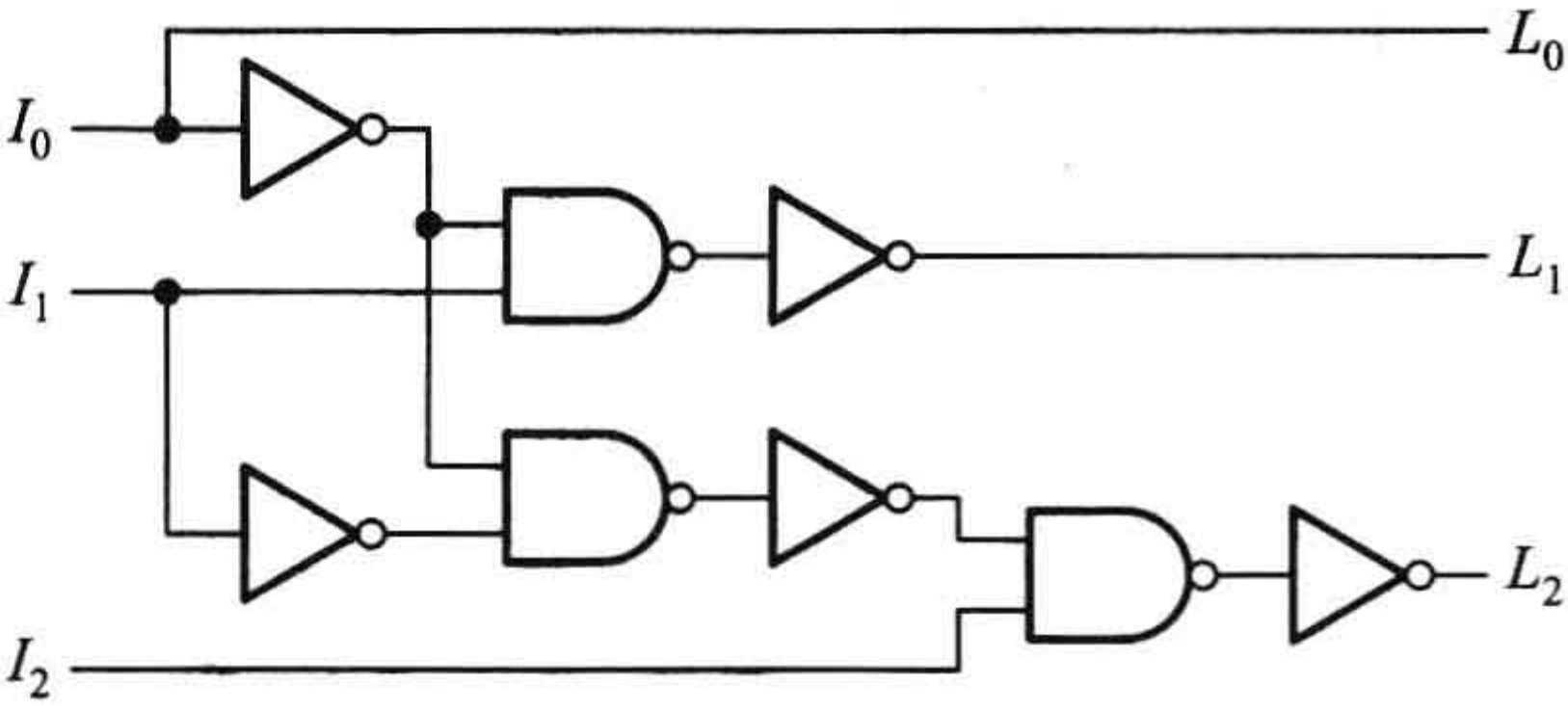
$$\begin{aligned} L_0 &= I_0 \\ L_1 &= \bar{I}_0 I_1 \\ L_2 &= \bar{I}_0 \bar{I}_1 I_2 \end{aligned}$$

(3) 根据要求将上式变换为与非形式

$$\begin{aligned} L_0 &= I_0 \\ L_1 &= \overline{\overline{I_0} \bar{I}_1} \\ L_2 &= \overline{\overline{\overline{I_0} \bar{I}_1} \cdot I_2} \end{aligned}$$

表题解 4. 2. 8

输 入			输 出		
I_1	I_2	I_3	L_1	L_2	L_3
0	0	0	0	0	0
1	×	×	1	0	0
0	1	×	0	1	0
0	0	1	0	0	1



图题解 4. 2. 8

由此可画出逻辑图，如图题解 4. 2. 8 所示。

4. 2. 9 设计一个电路，能实现表题 4. 2. 9 所示的逻辑功能，可以用任何门电路实现。化简变换时考虑多输出函数的公共乘积项，以减少门的数目。

表题 4. 2. 9

A	B	C	L_1	L_2
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0

续表

A	B	C	L_1	L_2
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	0

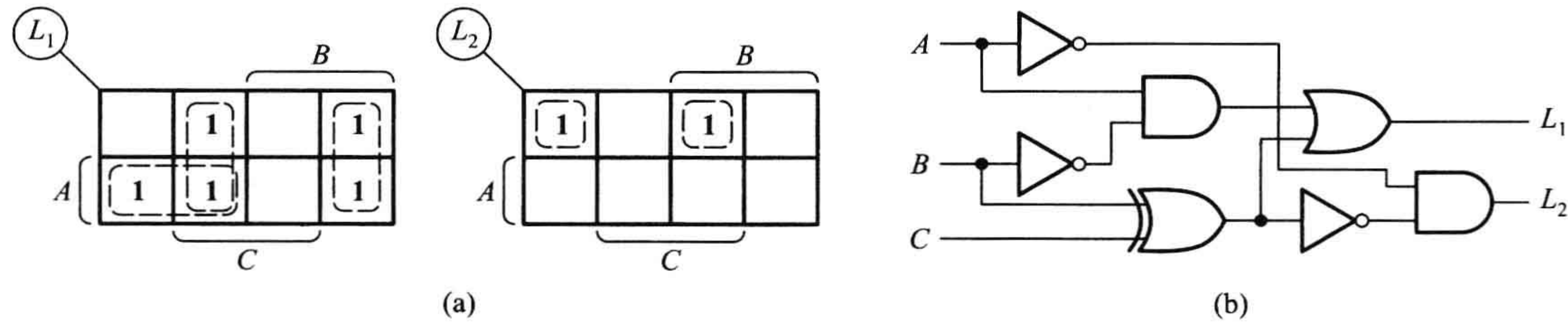
解:用卡诺图化简得到 L_1 、 L_2 的最简表达式。

(1) 由题中给出的真值表画出卡诺图,如图题解 4.2.9(a)所示。

(2) 由卡诺图得最简逻辑表达式

$$L_1 = A \bar{B} + \bar{B}C + B \bar{C} = A \bar{B} + B \oplus C$$
$$L_2 = \bar{A} \bar{B} \bar{C} + \bar{A} B C = \bar{A} \bar{B} \oplus C$$

(3) 用 3 个反相器、2 个与门、1 个或门、1 个异或门可构成题中要求的逻辑电路,如图题解 4.2.9(b)所示。



图题解 4.2.9

4.2.10 设计一 2 位二进制数相加的逻辑电路,可以用任何门电路实现。化简变换时考虑多输出函数的公共乘积项,以减少门的数目。提示:

$$\begin{array}{r} A_1 \quad A_0 \\ + \quad B_1 \quad B_0 \\ \hline C_1 \quad S_1 \quad S_0 \end{array}$$

A_1 、 A_0 和 B_1 、 B_0 分别为被加数和加数, S_1 、 S_0 为相加的和, C_1 为进位位。

解:设 A_1 、 A_0 和 B_1 、 B_0 分别为两位数加法的被加数和加数。 S_1 、 S_0 为两位数加法的和, C_1 为向更高位的进位。由此列出真值表,如表题解 4.2.10 所示。

由真值表可得卡诺图,如图题解 4.2.10(a)所示。

表题解 4.2.10

A_1	B_1	A_0	B_0	S_1	S_0	C_1
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	1	0	0
0	1	0	0	1	0	0
0	1	0	1	1	1	0
0	1	1	0	1	1	0
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	1	0
1	0	1	0	1	1	0
1	0	1	1	0	0	1
1	1	0	0	0	0	1
1	1	0	1	0	1	1
1	1	1	0	0	1	1
1	1	1	1	1	0	1

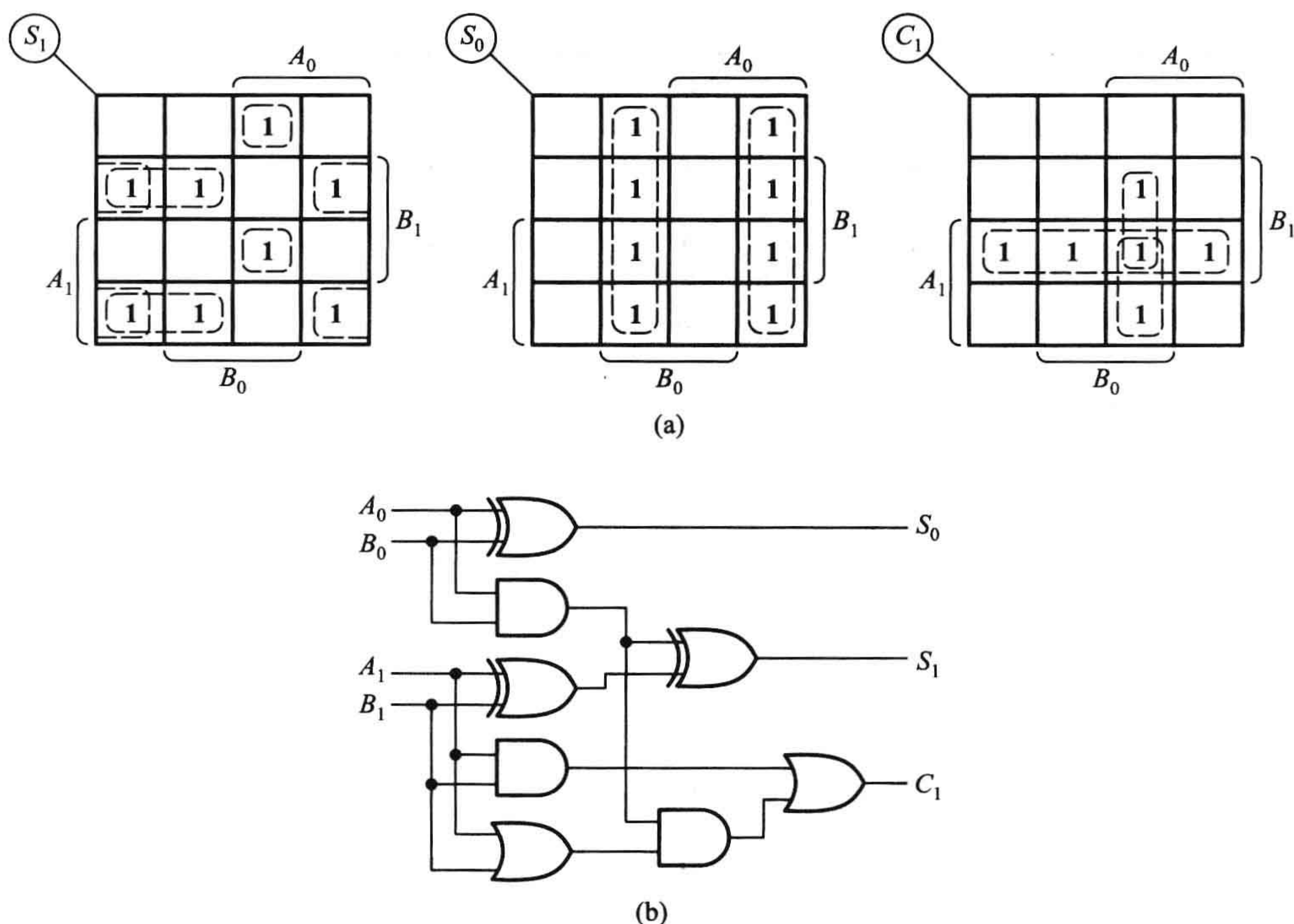
由卡诺图可得 S_1 、 S_0 、 C_1 的简化逻辑表达式

$$\begin{aligned}
 S_1 &= \bar{A}_1 \bar{B}_1 \bar{A}_0 + \bar{A}_1 \bar{B}_1 \bar{B}_0 + A_1 \bar{B}_1 \bar{A}_0 + A_1 \bar{B}_1 \bar{B}_0 + \bar{A}_1 \bar{B}_1 A_0 B_0 + A_1 \bar{B}_1 A_0 B_0 \\
 &= \bar{A}_0 (\bar{A}_1 \bar{B}_1 + A_1 \bar{B}_1) + \bar{B}_0 (\bar{A}_1 \bar{B}_1 + A_1 \bar{B}_1) + A_0 B_0 (\bar{A}_1 \bar{B}_1 + A_1 B_1) \\
 &= (A_1 \oplus B_1) (\bar{A}_0 + \bar{B}_0) + A_0 B_0 (\bar{A}_1 \oplus B_1) \\
 &= (A_1 \oplus B_1) \bar{A}_0 \bar{B}_0 + A_0 B_0 (\bar{A}_1 \oplus B_1) \\
 &= A_1 \oplus B_1 \oplus (A_0 B_0)
 \end{aligned}$$

$$S_0 = \bar{A}_0 B_0 + A_0 \bar{B}_0 = A_0 \oplus B_0$$

$$C_1 = A_1 B_1 + A_1 A_0 B_0 + B_1 A_0 B_0 = A_1 B_1 + A_0 B_0 (A_1 + B_1)$$

由逻辑表达式可以画出逻辑图,如图题解 4.2.10(b)所示。



图题解 4.2.10

4.3 组合逻辑电路中的竞争冒险

4.3.1 判断下列逻辑函数是否有可能产生竞争冒险,如果可能应如何消除。

(1) $L_1(A, B, C, D) = \sum m(5, 7, 13, 15)$

(2) $L_2(A, B, C, D) = \sum m(5, 7, 8, 9, 10, 11, 13, 15)$

(3) $L_3(A, B, C, D) = \sum m(0, 2, 4, 6, 8, 10, 12, 14)$

(4) $L_4(A, B, C, D) = \sum m(0, 2, 4, 6, 12, 13, 14, 15)$

解:在一定条件下,如果逻辑表达式简化为两个互补信号相乘或者相加,电路有可能产生竞争冒险现象。

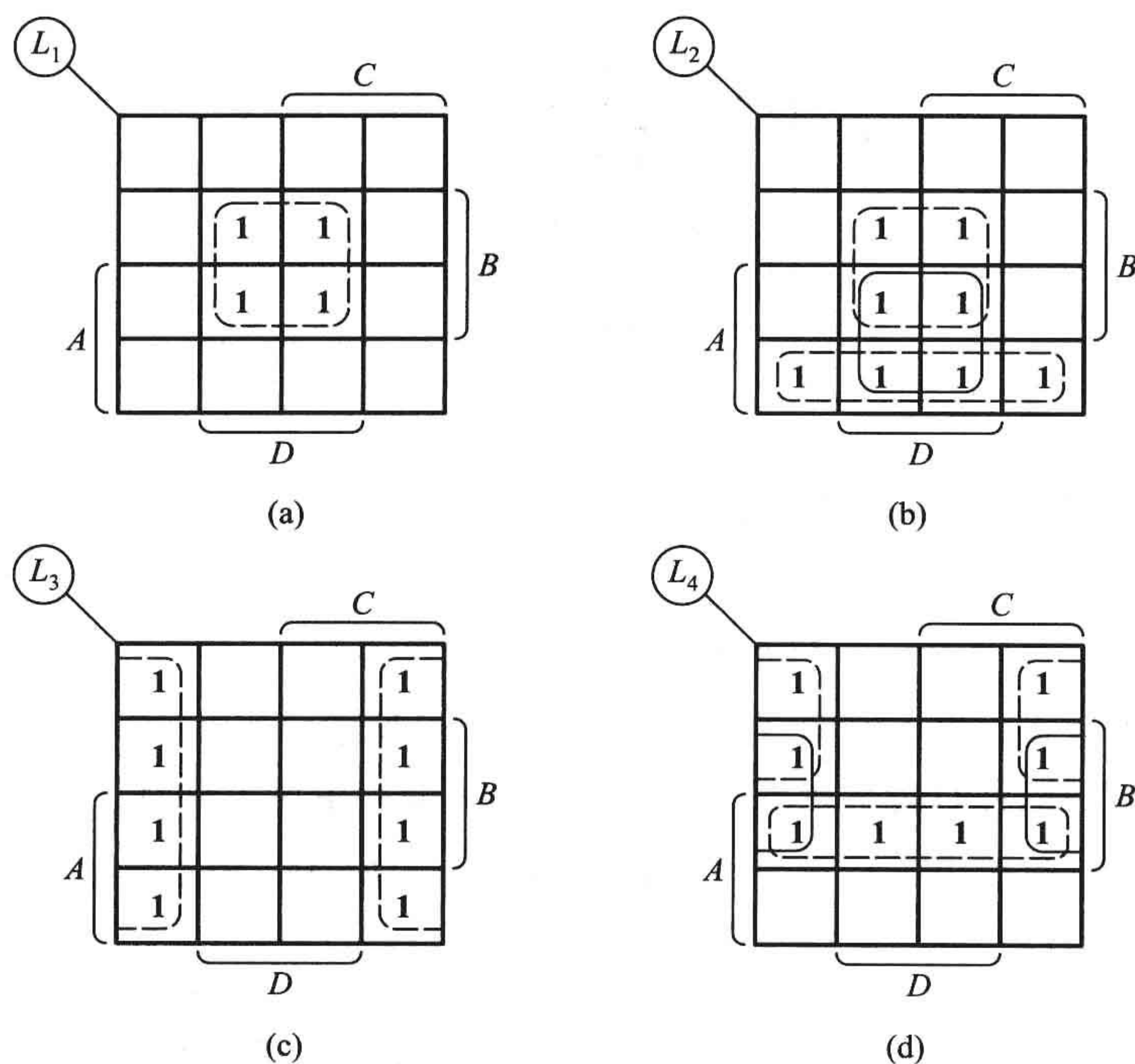
根据逻辑表达式画出各卡诺图如图题解 4.3.1 所示。根据卡诺图分别得出各简化的逻辑表达式。

(1) $L_1 = BD$, 当 B, D 信号同时向相反方向变化,而且变化的时间有差异时,可能产生竞争冒险。在输出端并联一滤波电容。

(2) $L_2 = A\bar{B} + BD$, 当 $A = D = 1$ 时, $L_2 = \bar{B} + B$, 有可能产生竞争冒险。在图题解 4.3.1(b) 所示的卡诺图中增加一实线画的包围圈,即增加乘积项,使 $L_2 = A\bar{B} + BD + AD$, 可消除竞争冒险。

(3) $L_3 = D$, 不会产生竞争冒险。

(4) $L_4 = AB + \bar{A}\bar{D}$, 当 $B = 1, D = 0$ 时, $L_4 = A + \bar{A}$, 有可能产生竞争冒险。增加乘积项,使 $L_4 = AB + \bar{A}\bar{D} + B\bar{D}$, 可消除竞争冒险。



图题解 4.3.1

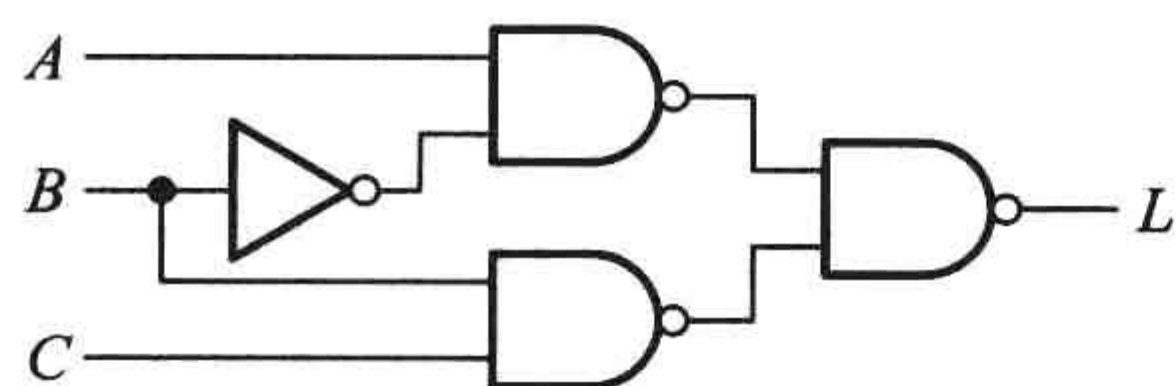
4.3.2 判断图题 4.3.2 所示电路是否会产生竞争冒险。

解:在一定条件下,如果逻辑表达式简化为两个互补信号相乘或者相加,电路有可能产生竞争冒险现象。

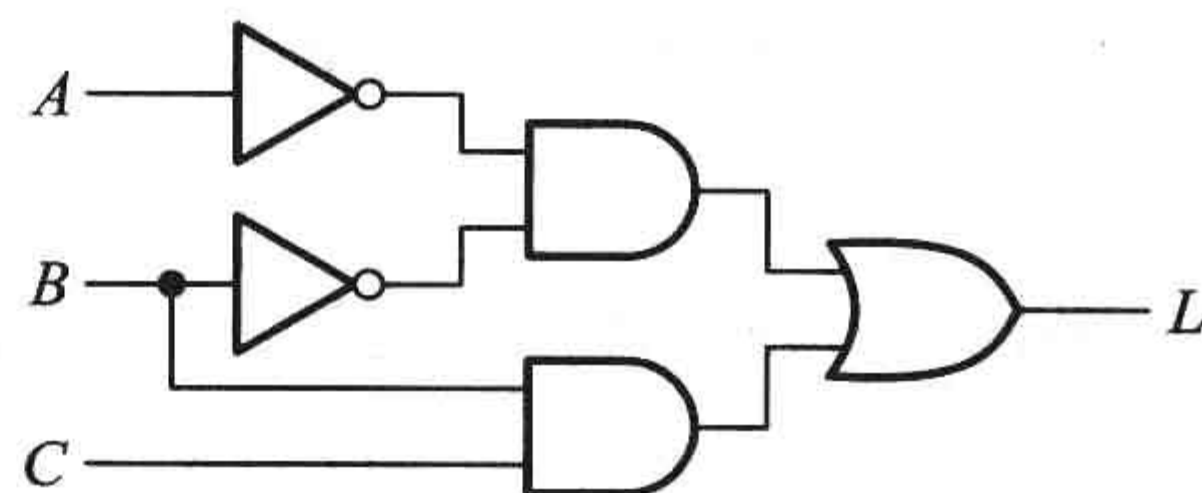
根据电路图写出逻辑表达式并化简得

$$L = \overline{A \overline{B}} \cdot \overline{BC} = \overline{A \overline{B}} + BC$$

当 $A = C = 1$ 时, $L = \overline{B} + B$, 有可能产生竞争冒险。



图题 4.3.2



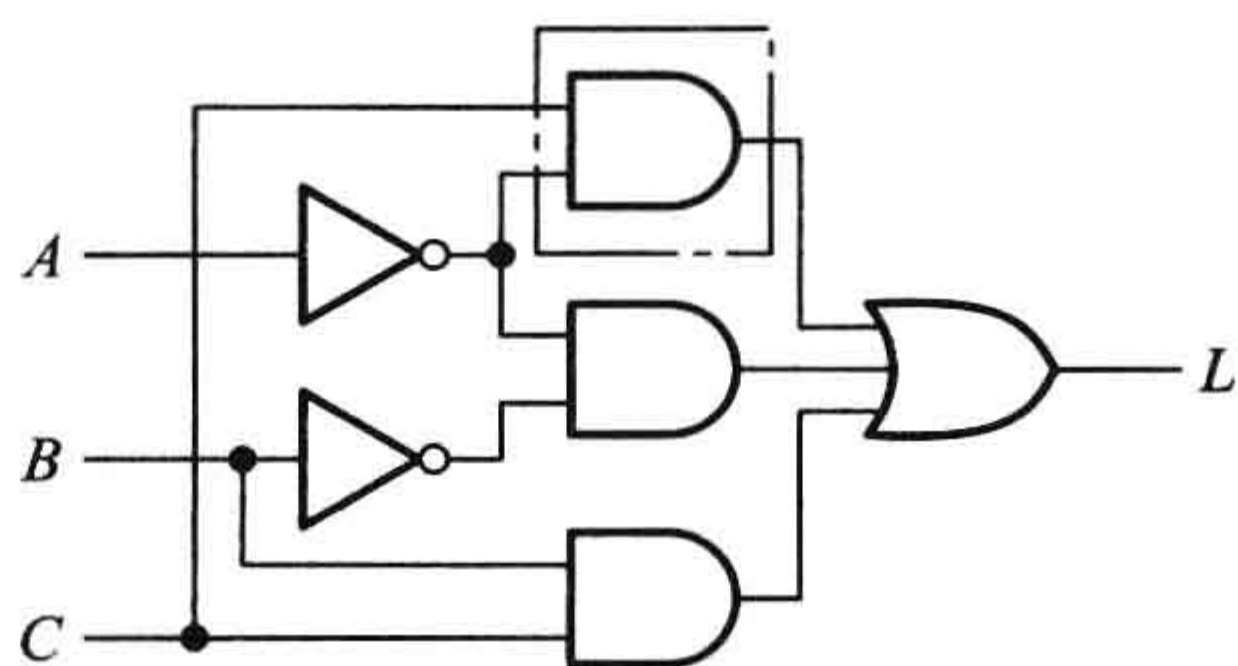
图题 4.3.3

4.3.3 判断图题 4.3.3 所示电路在什么条件下产生竞争冒险,怎样修改电路能消除竞争冒险。

解:根据电路图写出逻辑表达式并化简得

$$L = \overline{A} \overline{B} + BC$$

当 $A = 0, C = 1$ 时, $L = \overline{B} + B$, 有可能产生竞争冒险。为消除可能产生竞争冒险,增加乘积项 $\overline{A}C$, 使 $L = \overline{A} \overline{B} + BC + \overline{A}C$ 。修改后得电路如图题解 4.3.3 所示。



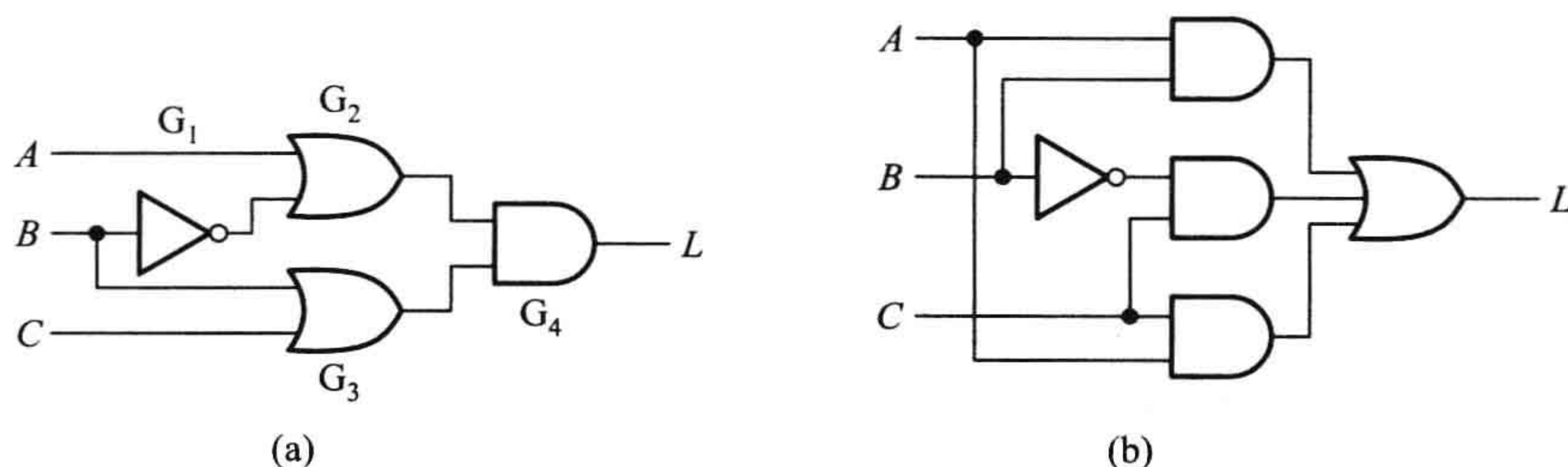
图题解 4.3.3

4.3.4 画出下列逻辑函数的逻辑图,电路在什么条件下产生竞争冒险,怎样修改电路能消除竞争冒险。

$$L(A, B, C) = (A + \bar{B})(B + C)$$

解:根据逻辑表达式画出电路图,如图题解 4.3.4(a)所示。当 $A = C = 0$ 时, $L(A, B, C) = \bar{B}B$, G_4 门两输入端信号互补,并且传输延迟有差异,因此,可能产生竞争冒险。

为消除竞争冒险,将逻辑表达式变换为 $L(A, B, C) = AB + AC + \bar{B}C$, 根据这个表达式组成逻辑电路就不会出现竞争冒险,如图题解 4.3.4(b)所示。



图题解 4.3.4

4.4 若干典型的组合逻辑集成电路

4.4.1 优先编码器 CD4532 的输入端 $I_1 = I_3 = I_5 = 1$, 其余输入端均为 0, 试确定其输出 $Y_2 Y_1 Y_0$ 。

解:优先编码器 CD4532 除数据输入端 I_i 外, 还有输入使能端 EI , 由于 $EI = 0$, 根据其功能表可知, 使能端 EI 没有加有效信号, 所以, $Y_2 Y_1 Y_0 = 000$ 。

4.4.2 试用与非门设计一 4 输入的优先编码器, 要求输入、输出及工作状态标志均为高电平有效。列出真值表, 画出逻辑图。

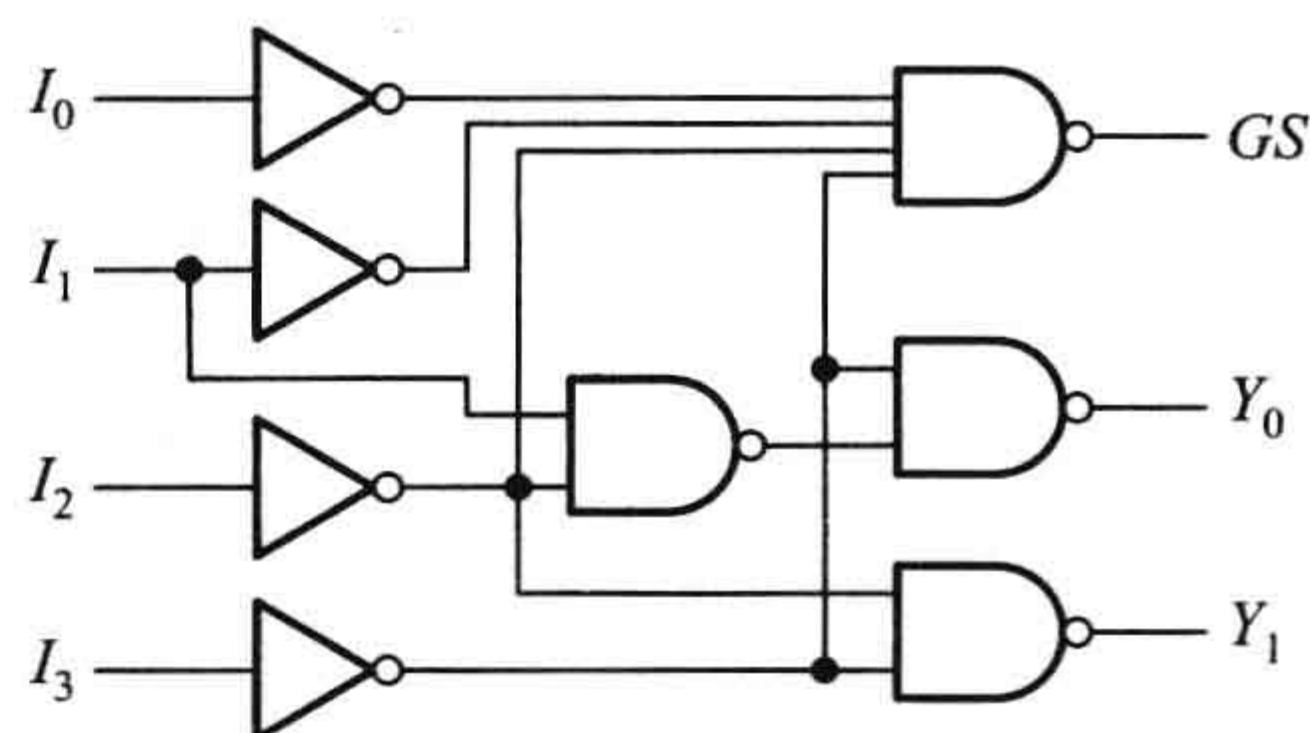
解:设输入为 I_0, I_1, I_2, I_3 , 输出及工作状态标志分别为 Y_0, Y_1 和 GS , 根据题意列出真值表如表题解 4.4.2 所示。由真值表可以得出该优先编码器的逻辑表达式, 并写成与非-与非表形式:

$$\begin{aligned} Y_1 &= I_2 \bar{I}_3 + I_3 = I_2 + I_3 = \overline{\bar{I}_2 \bar{I}_3} \\ Y_0 &= I_1 \bar{I}_2 \bar{I}_3 + I_3 = I_1 \bar{I}_2 + I_3 = \overline{\overline{I_1 \bar{I}_2} \bar{I}_3} \\ GS &= I_0 + I_1 + I_2 + I_3 = \overline{\bar{I}_0 \bar{I}_1 \bar{I}_2 \bar{I}_3} \end{aligned}$$

由与非门构成的逻辑电路如图题解 4.4.2 所示。

表题解 4.4.2

输 入				输 出		
I_0	I_1	I_2	I_3	Y_1	Y_0	GS
0	0	0	0	0	0	0
1	0	0	0	0	0	1
×	1	0	0	0	1	1
×	×	1	0	1	0	1
×	×	×	1	1	1	1



图题解 4.4.2

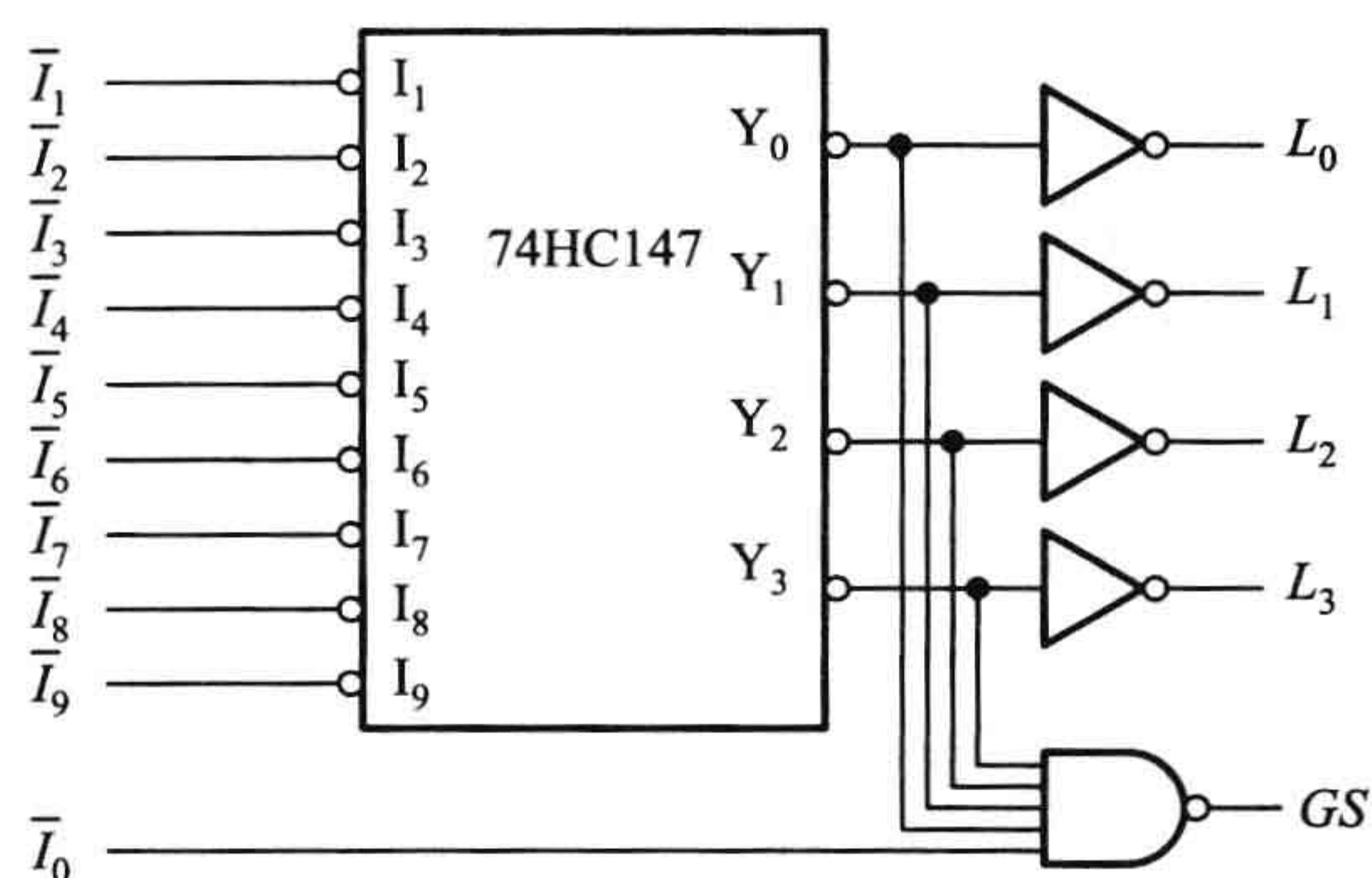
4.4.3 优先编码器 74HC147 的功能表如表题 4.4.3 所示,试用 74HC147 和适当的门构成输入为低有效的 $\bar{I}_0 \sim \bar{I}_9$, 输出为低电平有效的 8421BCD 码,并具有编码输出标志的编码器。

表题 4.4.3 优先编码器 74HC147 功能表

输 入									输 出			
$\bar{I}_1$	$\bar{I}_2$	$\bar{I}_3$	$\bar{I}_4$	$\bar{I}_5$	$\bar{I}_6$	$\bar{I}_7$	$\bar{I}_8$	$\bar{I}_9$	$\bar{Y}_3$	$\bar{Y}_2$	$\bar{Y}_1$	$\bar{Y}_0$
1	1	1	1	1	1	1	1	1	1	1	1	1
×	×	×	×	×	×	×	×	0	0	1	1	0
×	×	×	×	×	×	×	0	1	0	1	1	1
×	×	×	×	×	×	0	1	1	1	0	0	0
×	×	×	×	×	0	1	1	1	1	0	0	1
×	×	×	×	0	1	1	1	1	1	0	1	0
×	×	×	0	1	1	1	1	1	1	0	1	1
×	×	0	1	1	1	1	1	1	1	1	0	0
×	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

解:由表题 4.4.3 可知,输出 $\bar{Y}_3 \bar{Y}_2 \bar{Y}_1 \bar{Y}_0$ 是 8421BCD 码的反码,因此只要在 74HC147 的输出端增加反相器就可以获得题中所要求的输出码。在输入端均为高电平时 GS 为 0,而有低电平信号输入时 GS 为 1,可由与非门实现此功能。74HC147 为 9 个输入端,此题需要 10 个输入端,因此将 $\bar{I}_0$ 接在与非门的输入端,当 $\bar{I}_1 \sim \bar{I}_9$ 为 1, $\bar{I}_0 = 0$ 时, $L_3 \sim L_0$ 为 0, GS 为 1。题中所要求的编码器的逻辑电路如图题解 4.4.3 所示。

4.4.4 试用 74HC147 设计键盘编码电路,十个按键分别对应十进制数 0~9,编码器的输出为 8421BCD 码。要求按键 9 的优先级别最高,并且有工作状态标志,以说明没有按键按下和按键 0 按下两种情况。



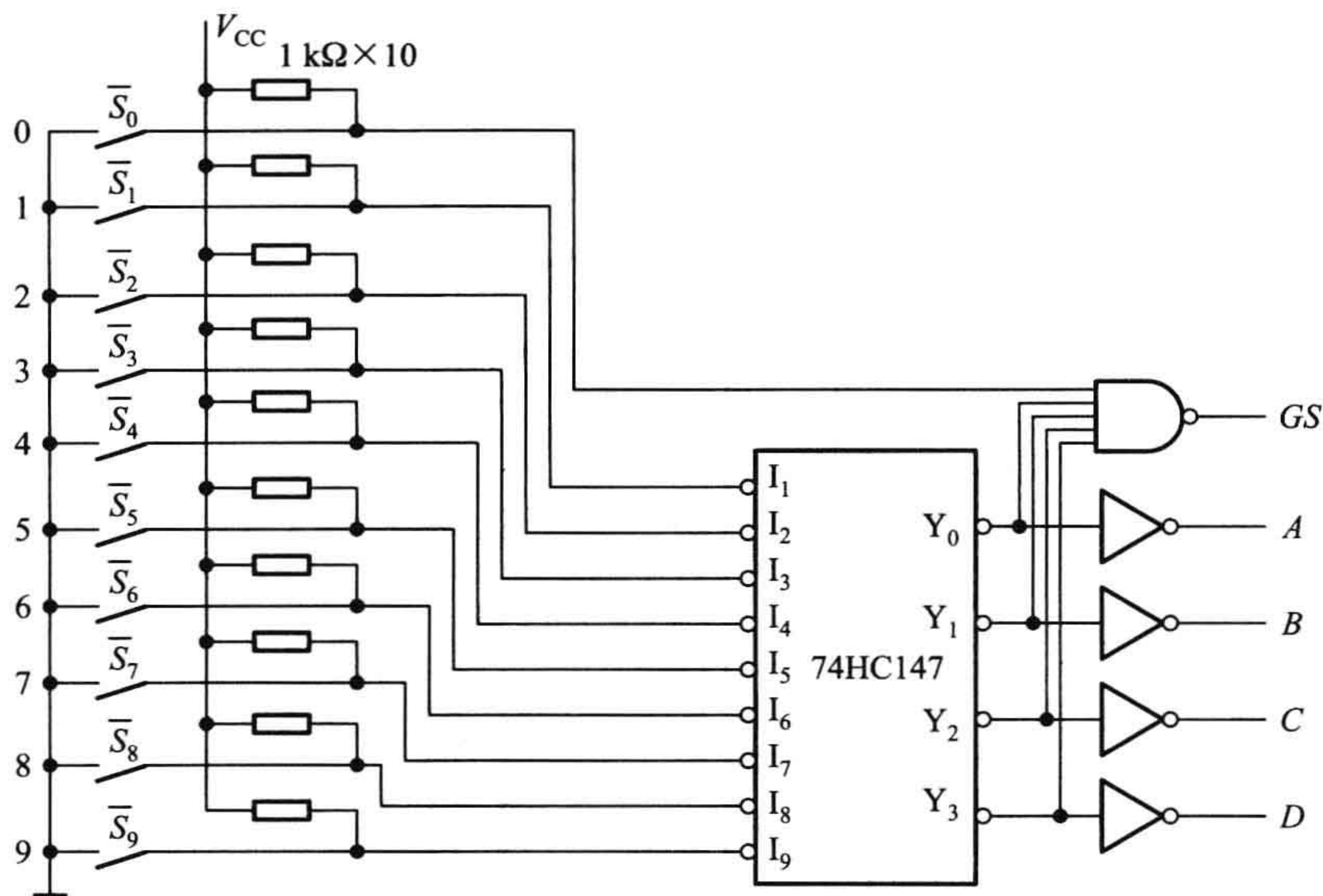
图题解 4.4.3

解: 设 $\bar{S}_0 \sim \bar{S}_9$ 表示十个按键, 分别对应十进制数 0 ~ 9 的输入键, 编码器的输出为 A 、 B 、 C 、 D 和工作状态标志 GS 。当有键按下时, GS 为 1; 无键按下时, GS 为 0。根据设计要求列出真值表, 如表题解 4.4.4 所示。

对照真值表和 74HC147 功能表(见表题 4.4.3)可以看出, 将 74HC147 的输出信号反相后, 就可实现表题解 4.4.4 中的虚线部分的功能。将所有输入信号进行与非运算后, 便可作为 GS 的输出。74HC147 为 9 个输入端, 此题需要 10 个输入端, 因此将 $\bar{S}_0$ 接与非门的输入端, 当 $\bar{S}_1 \sim \bar{S}_9$ 为 1, $\bar{S}_0 = 0$ 时, $ABCD$ 对 $\bar{S}_0$ 进行编码为 0000, GS 为 1。由此可画出键盘编码电路如图题解 4.4.4 所示。

表题解 4.4.4

输 入										输 出				
$\bar{S}_0$	$\bar{S}_1$	$\bar{S}_2$	$\bar{S}_3$	$\bar{S}_4$	$\bar{S}_5$	$\bar{S}_6$	$\bar{S}_7$	$\bar{S}_8$	$\bar{S}_9$	A	B	C	D	GS
1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
×	×	×	×	×	×	×	×	×	0	1	0	0	1	1
×	×	×	×	×	×	×	×	0	1	1	0	0	0	1
×	×	×	×	×	×	×	0	1	1	0	1	1	1	1
×	×	×	×	×	×	0	1	1	1	0	1	1	0	1
×	×	×	×	×	0	1	1	1	1	0	1	0	1	1
×	×	×	×	0	1	1	1	1	1	0	1	0	0	1
×	×	×	0	1	1	1	1	1	1	0	0	1	1	1
×	×	0	1	1	1	1	1	1	1	0	0	1	0	1
×	0	1	1	1	1	1	1	1	1	0	0	0	1	1
0	1	1	1	1	1	1	1	1	1	0	0	0	0	1



图题解 4.4.4

4.4.5 试用两片 74HC138 构成 4 线-16 线译码器,输入为 4 位二进制码 $B_3B_2B_1B_0$,输出 $\bar{L}_0 \sim \bar{L}_{15}$ 为低电平有效信号。

解:首先列出 4 线-16 线译码器的功能表如表题解 4.4.5 所示。

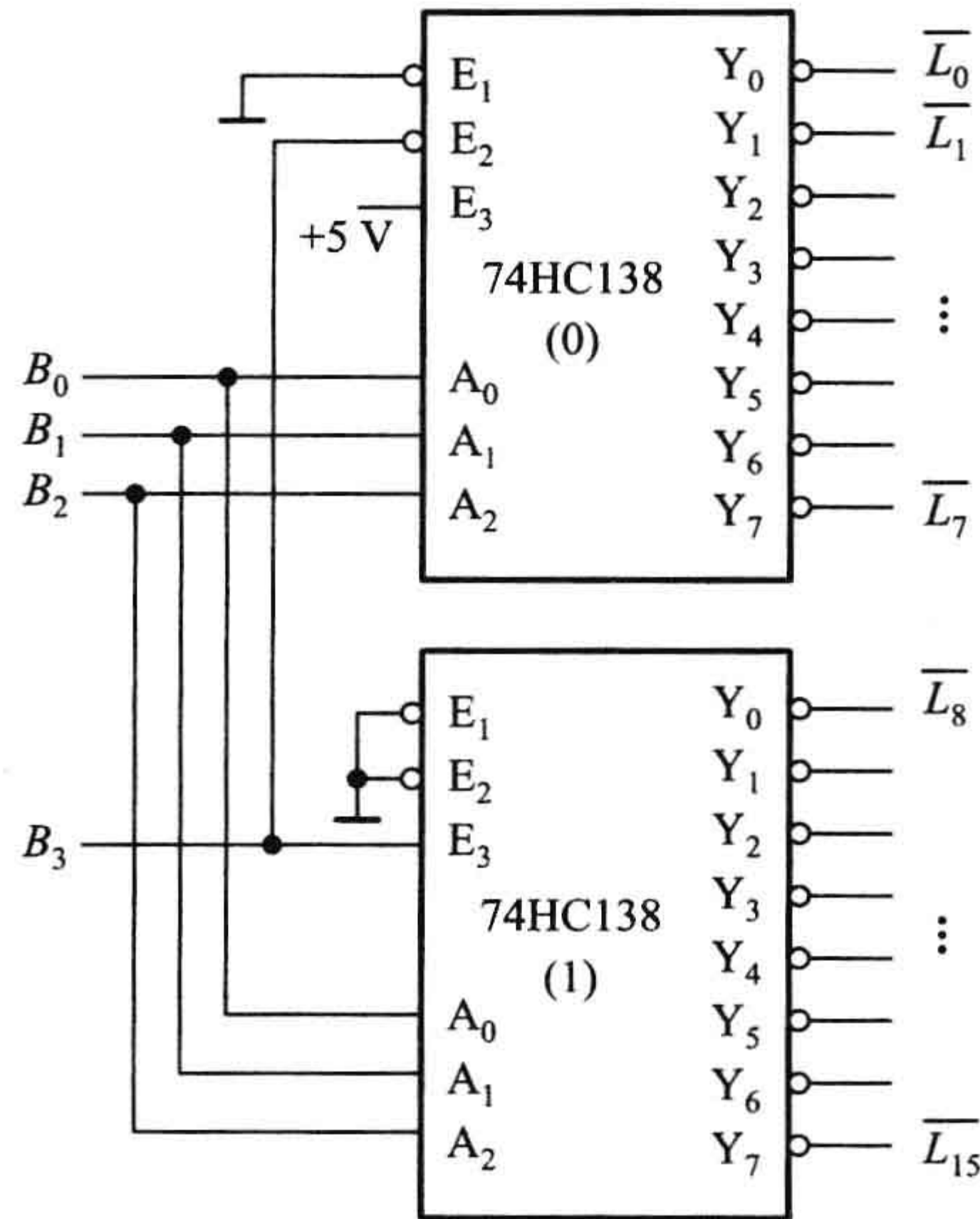
表题解 4.4.5 5 线-32 线译码器功能表

输 入				输 出									
B_3	B_2	B_1	B_0	$\bar{L}_0$	$\bar{L}_1$	$\bar{L}_2$	...	$\bar{L}_7$	$\bar{L}_8$	$\bar{L}_9$	...	$\bar{L}_{14}$	$\bar{L}_{15}$
0	0	0	0	0	1	1	...	1	1	1	...	1	1
0	0	0	1	1	0	1	...	1	1	1	...	1	1
0	0	1	0	1	1	0	...	1	1	1	...	1	1
	⋮						⋮				⋮		
0	1	1	1	1	1	1	...	0	1	1	...	1	1
1	0	0	0	1	1	1	...	1	0		...	1	1
1	0	0	1	1	1	1		1	1	0		1	1
	⋮												
1	1	1	0	1	1	1	...	1	1	1	...	0	1
1	1	1	1	1	1	1	...	1	1	1	...	1	0

从表中可以看出,当 $B_3=0$, $B_2B_1B_0$ 从 000 变化到 111 时, $\bar{L}_0 \sim \bar{L}_7$ 中有一个输出为 0,其余输出全为 1,因此设置片(0)为译码状态,片(1)为禁止译码状态,输出 $\bar{L}_8 \sim \bar{L}_{15}$ 全为 1。

当 $B_3=1$, $B_2B_1B_0$ 从 000 变化到 111 时, $\bar{L}_8 \sim \bar{L}_{15}$ 分别输出有效信号,此时设置片(1)为译码状态。片(0)为禁止状态。将输入信号 $B_2B_1B_0$ 分别接在两片 74HC138 的 A_2 、 A_1 、 A_0 ,最高位 B_3 接在

使能输入端,控制片(0)和片(1)轮流工作,因此, B_3 接片(0)的 $\overline{E}_2$ 、接片(1)的 E_3 。电路的连接方式如图题解 4.4.5 所示。



图题解 4.4.5

4.4.6 译码器的真值表如表题 4.4.6 所示,试用 74HC138 实现该译码器。

表题 4.4.6 译码器的真值表

选择输入				译码输出									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	1	0	1	1
1	0	1	1	1	1	1	1	1	1	1	1	0	1
1	1	0	0	1	1	1	1	1	1	1	1	1	0

解:该译码器有 10 个输出端,因此需要两片 74HC138。将输入信号 C 、 B 、 A 分别接在两片 74HC138 的 A_2 、 A_1 、 A_0 ,最高位 D 接在使能输入端,控制片(0)和片(1)轮流工作,因此, D 接片(0)的 $\overline{E}_2$ 、接片(1)的 E_3 。由表题 4.4.6 所示真值表写出逻辑函数表达式

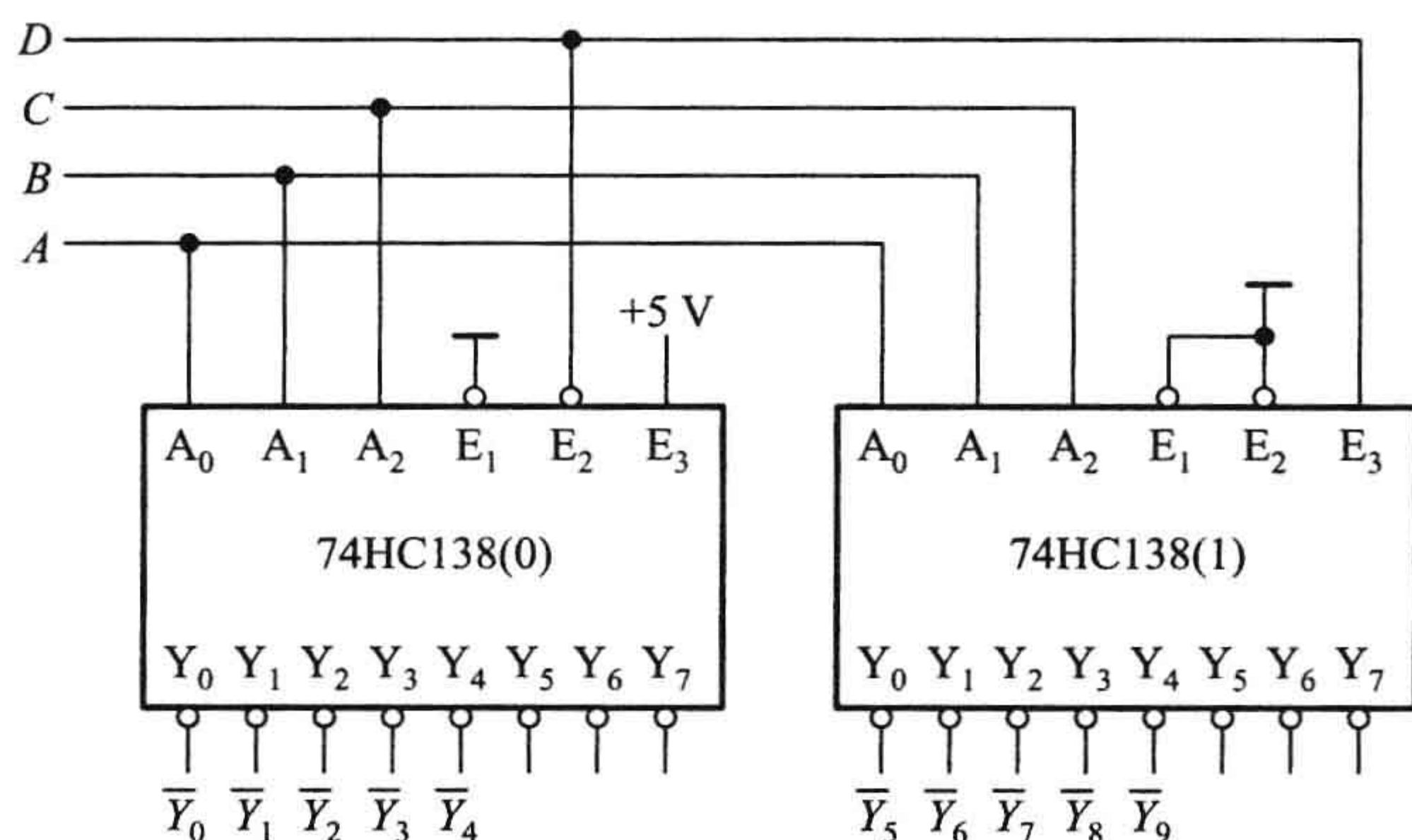
$D=0$ 时,片(0)工作,对应的输出为

$\overline{Y}_0 = \overline{\overline{C}} \overline{\overline{B}} \overline{\overline{A}} = \overline{m}_0 \quad \overline{Y}_1 = \overline{m}_1 \quad \overline{Y}_2 = \overline{m}_2 \quad \overline{Y}_3 = \overline{m}_3 \quad \overline{Y}_4 = \overline{m}_4;$

$D=1$ 时,片(1)工作,对应的输出为

$$\overline{Y}_5 = \overline{C} \overline{B} \overline{A} = \overline{m}_0 \quad \overline{Y}_6 = \overline{m}_1 \quad \overline{Y}_7 = \overline{m}_2 \quad \overline{Y}_8 = \overline{m}_3 \quad \overline{Y}_9 = \overline{m}_4。$$

构成的译码器如图题解 4.4.6 所示。



图题解 4.4.6

4.4.7 2 线-4 线译码器 74x139 的输入为高电平有效,使能输入及输出均为低电平有效。试用 74x139 构成 4 线-16 线译码器。

解:该题目是将 2 线-4 线译码器扩展为 4 线-16 线译码器。

设输入为 $A_3A_2A_1A_0$, 输出为 $\overline{L}_0 \sim \overline{L}_{15}$ 。每片 74x139 中含有两个 2 线-4 线译码器,所以需要 3 片 74x139 构成 4 线-16 线译码器,(0)号译码器的两个地址输入端分别接高两位 A_3 、 A_2 ,产生 4 个低有效信号分别控制(1)到(4)号译码器的使能端,使其轮流工作在译码状态。(1)到(4)号译码器的两个地址输入端分别并接在一起,作为低两位 A_1 、 A_0 的输入端,这样就构成 4 线-16 线译码器,如图题解 4.4.7 所示。

4.4.8 用译码器 74HC138 和适当的逻辑门实现函数 $F = \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + A \overline{B} \overline{C} + ABC$ 。

解:用 74HC138 实现逻辑函数,需要将函数式变换为最小项之和的形式

$$F = \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + A \overline{B} \overline{C} + ABC = m_0 + m_4 + m_6 + m_7 = \overline{m}_0 \cdot \overline{m}_4 \cdot \overline{m}_6 \cdot \overline{m}_7 = \overline{Y}_0 \cdot \overline{Y}_4 \cdot \overline{Y}_6 \cdot \overline{Y}_7$$

在译码器输出端用一个与非门,即可实现要求的逻辑函数。注意 A 接最高位, C 接最低位,逻辑图如图题解 4.4.8 所示。

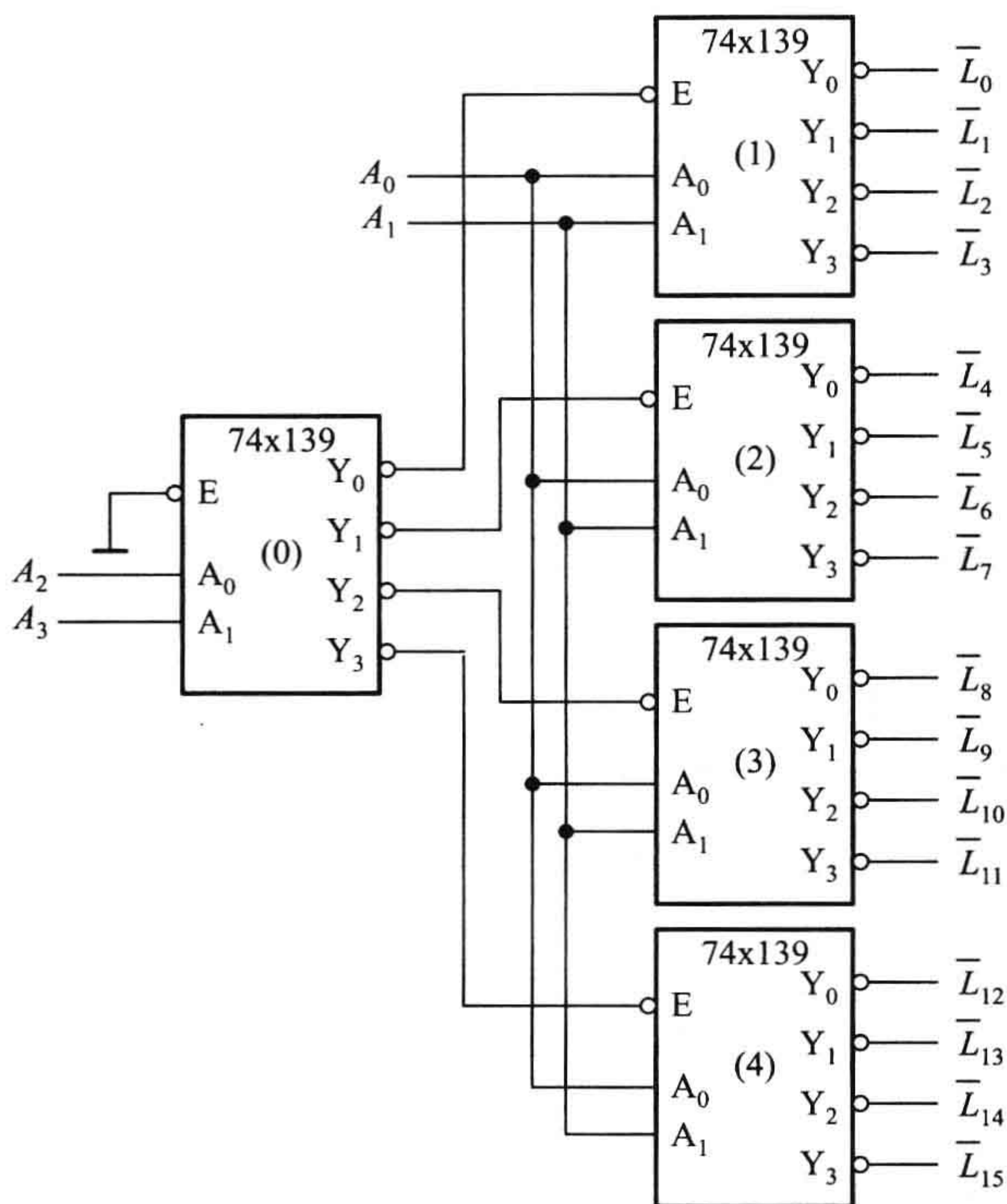
4.4.9 试用一片 74HC138 实现函数 $L(A, B, C, D) = AB \overline{C} + ACD$ 。

解:该题是用 3 输入的 74HC138 译码器实现 4 变量的逻辑函数,需要将其中 3 个变量接在输入端,另一个变量有可能接在使能输入端。首先将函数式变换为最小项之和的形式,然后变换为 3 变量的最小项的形式

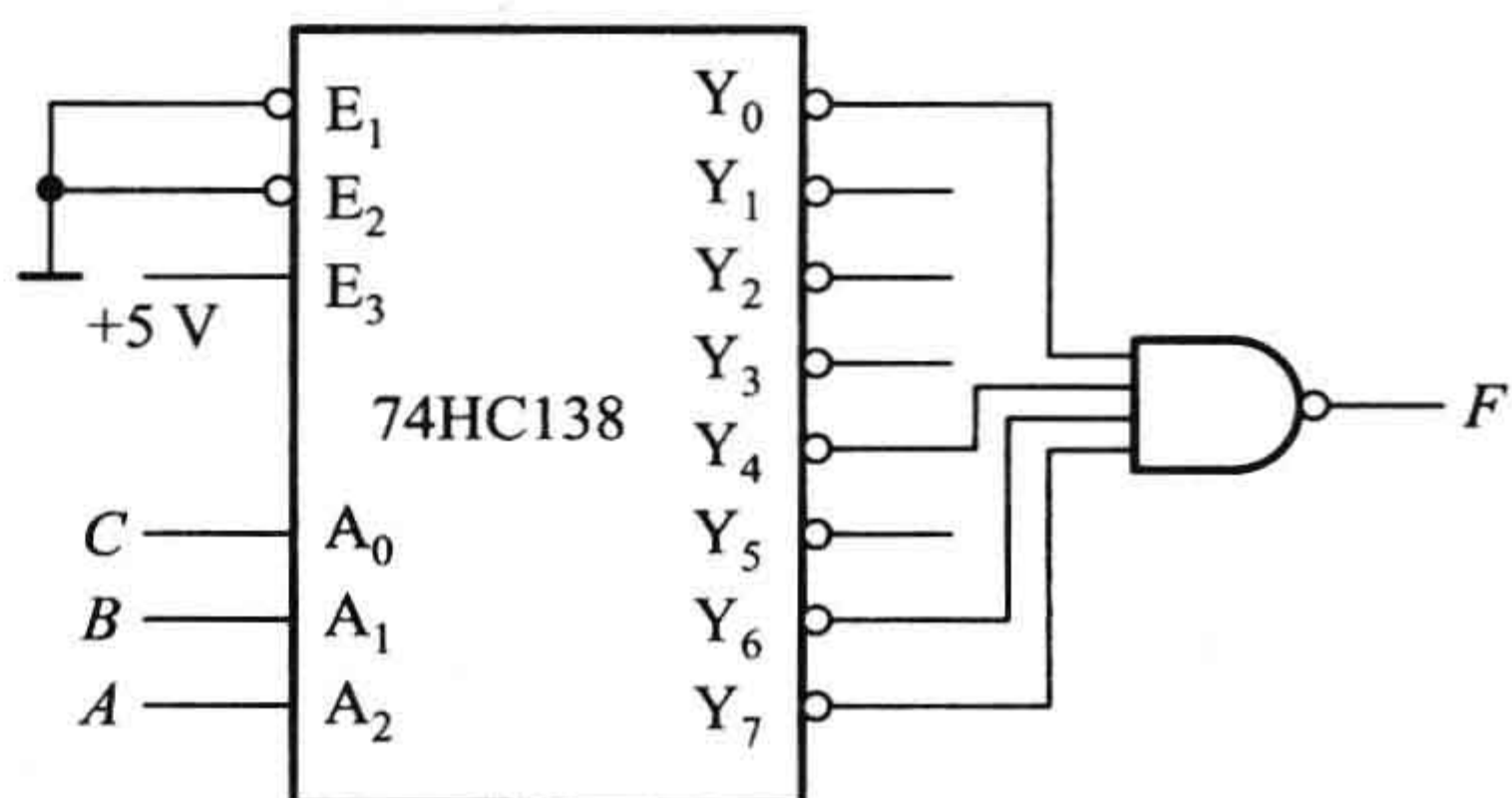
$$\begin{aligned} L &= AB \overline{C} \overline{D} + AB \overline{C} D + A \overline{B} C D + ABCD = A(B \overline{C} \overline{D} + B \overline{C} D + \overline{B} C D + B C D) \\ &= A \cdot (m_3 + m_4 + m_5 + m_7) = A \cdot \overline{Y}_3 \cdot \overline{Y}_4 \cdot \overline{Y}_5 \cdot \overline{Y}_7 \end{aligned}$$

上述表达式中,最小项中的变量 A 均为 1,因此,可以将 A 接在使能端 E_3 上,在译码器输出端用一个与非门,即可实现要求的逻辑函数,如图题解 4.4.9 所示。

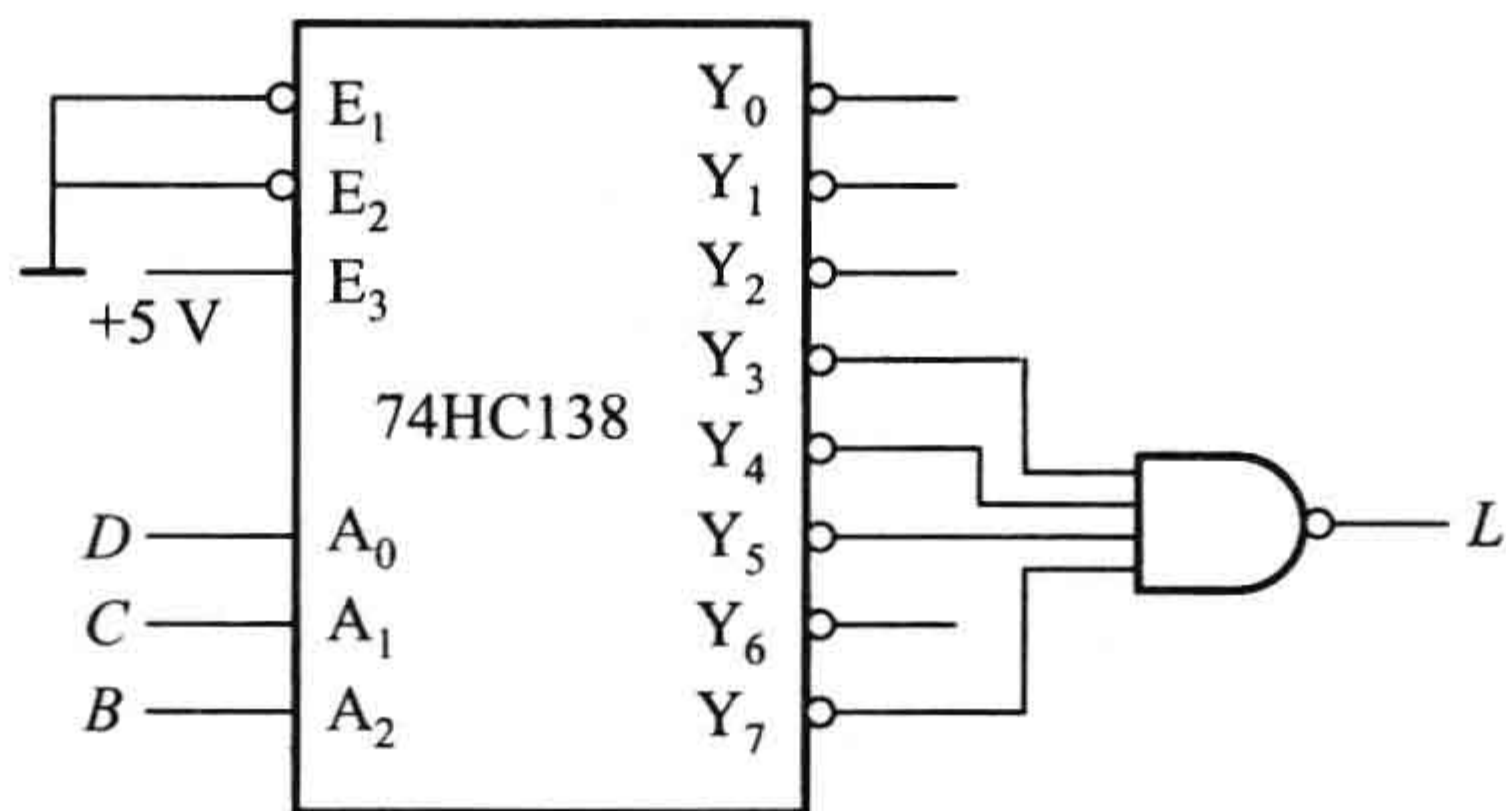
4.4.10 应用 74HC138 和其他逻辑门设计一地址译码器,要求地址范围是十六进制 00—3F。



图题解 4.4.7



图题解 4.4.8



图题解 4.4.9

解:十六进制 00—3F 即为二进制的 **000000 ~ 111111**, 共 64 个地址, 每片 74HC138 有 8 个输出端, 因此需用 8 片 74HC138 构成 64 个输出的地址译码器, 共 6 条地址线, 其中 3 条接 74HC138 的输入端, 另 3 条接使能输入端。列真值表如表题解 4.4.10, 可见将 A_2 、 A_1 、 A_0 分别接 74HC138 的输入端, A_5 、 A_4 、 A_3 作为片选信号, 通过反相器或直接与使能端 E_3 、 $\overline{E_2}$ 、 $\overline{E_1}$ 连接, 片(1)的 $E_3\overline{E_2}\overline{E_1} = \overline{A_5}A_4A_3$, 片(2)的 $E_3\overline{E_2}\overline{E_1} = \overline{A_5}A_4\overline{A_3}$, 片(3)的 $E_3\overline{E_2}\overline{E_1} = \overline{A_5}\overline{A_4}A_3$, 片(4)的 $E_3\overline{E_2}\overline{E_1} = \overline{A_5}\overline{A_4}\overline{A_3}$, 片(5)的 $E_3\overline{E_2}\overline{E_1} = A_5A_4A_3$, 片(6)的 $E_3\overline{E_2}\overline{E_1} = A_5A_4\overline{A_3}$, 片(7)的 $E_3\overline{E_2}\overline{E_1} = A_5\overline{A_4}A_3$, 片(8)的 $E_3\overline{E_2}\overline{E_1} = A_5\overline{A_4}\overline{A_3}$, 逻辑电路如图题解 4.4.10。

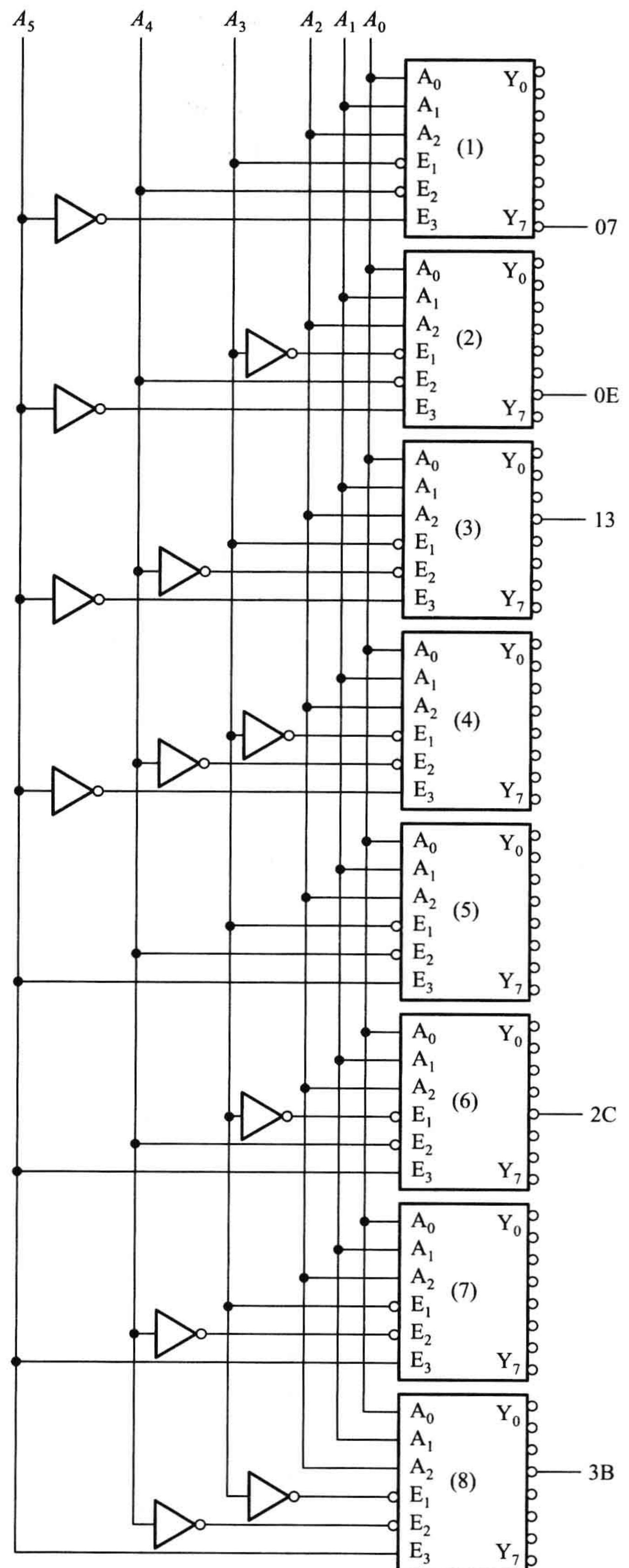
4.4.11 指出题 4.4.10 中对应十六进制地址码 07、0E、13、2C、3B 的输入。

解:十六进制地址码 07、0E、13、2C、3B 所对应的二进制码分别为

07 的输入 $A_5A_4A_3A_2A_1A_0 = \mathbf{000111}$

表题解 4.4.10

A_5	A_4	A_3	A_2	A_1	A_0	
0	0	0	0	0	0	(00)
					$\vdots$	$\vdots$
0	0	0	1	1	1	(07)
0	0	1	0	0	0	(08)
					$\vdots$	$\vdots$
0	0	1	1	1	1	(0F)
0	1	0	0	0	0	(10)
					$\vdots$	$\vdots$
0	1	0	1	1	1	(17)
0	1	1	0	0	0	(18)
					$\vdots$	$\vdots$
0	1	1	1	1	1	(1F)
1	0	0	0	0	0	(20)
					$\vdots$	$\vdots$
1	0	0	1	1	1	(27)
1	0	1	0	0	0	(28)
					$\vdots$	$\vdots$
1	0	1	1	1	1	(2F)
1	1	0	0	0	0	(30)
					$\vdots$	$\vdots$
1	1	0	1	1	1	(37)
1	1	1	0	0	0	(38)
					$\vdots$	$\vdots$
1	1	1	1	1	1	(3F)



图题解 4.4.10

0E 的输入 $A_5A_4A_3A_2A_1A_0 = 001110$

13 的输入 $A_5A_4A_3A_2A_1A_0 = 010011$

2C 的输入 $A_5A_4A_3A_2A_1A_0 = 101100$

3B 的输入 $A_5A_4A_3A_2A_1A_0 = 111011$

4.4.12 试用译码器 74HC138 和必要的与非门,设计一个乘法器电路,实现两位二进制数相乘,并输出结果。

解:两位二进制数分别 A_1A_0 和 B_1B_0 , $P_3P_2P_1P_0$ 为相乘的结果,则

$$\begin{array}{r} A_1 \quad A_0 \\ \times \quad B_1 \quad B_0 \\ \hline P_3 \quad P_2 \quad P_1 \quad P_0 \end{array}$$

当 A_1A_0 和 B_1B_0 相乘时,可列出真值表如表题解 4.4.12 所示。用译码器实现逻辑函数,需要用最小项的形式表示。由此直接从真值表写出各输出端的表达式,并注意 74HC138 的输出是低有效。设计的乘法器电路如图题解 4.4.12 所示。

$$P_3 = m_{15} = \overline{L_{15}}, \quad P_2 = m_{14} + m_{11} + m_{10} = \overline{m_{14}} \cdot \overline{m_{11}} \cdot \overline{m_{10}} = \overline{L_{14}} \cdot \overline{L_{11}} \cdot \overline{L_{10}}$$

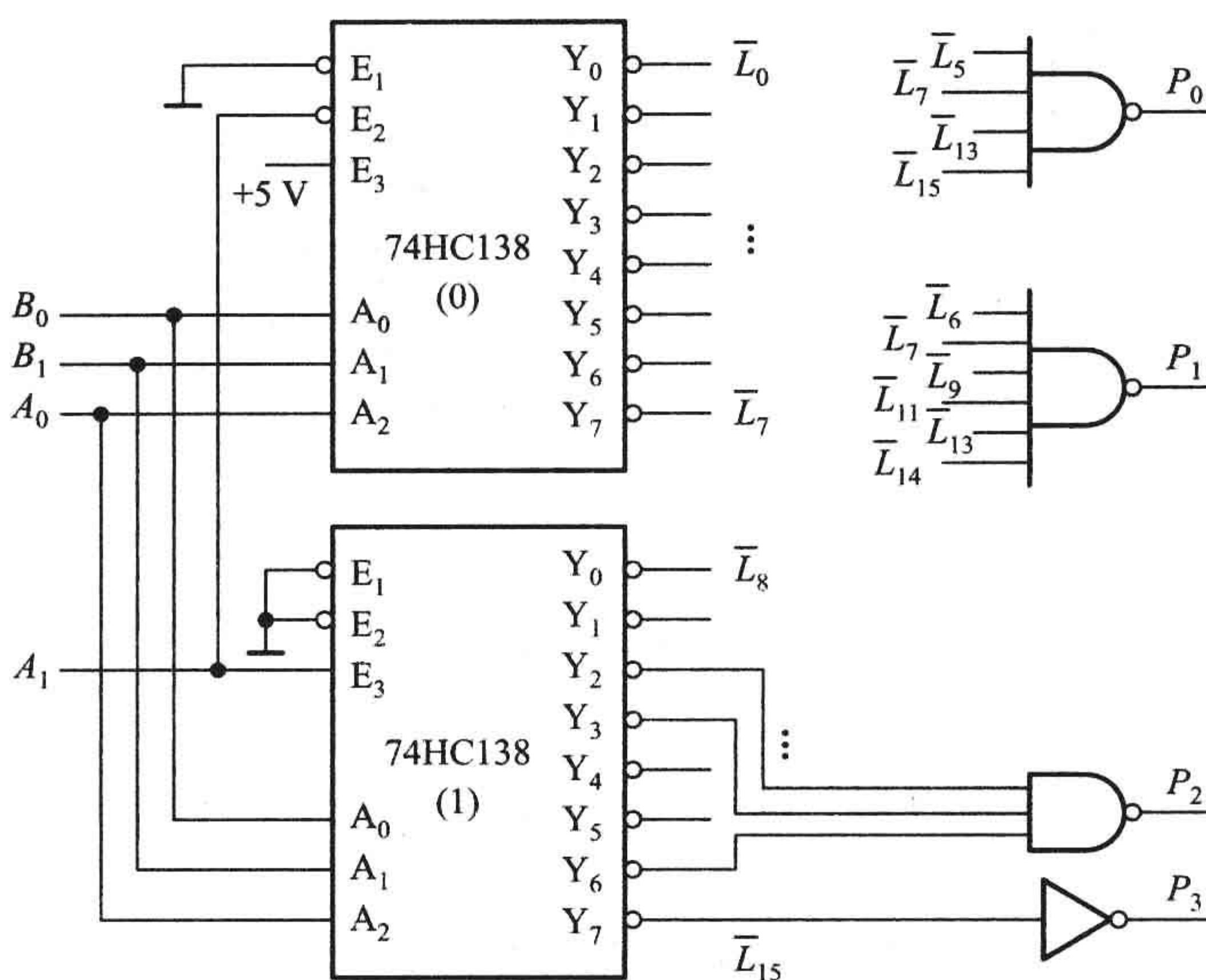
$$P_1 = m_{14} + m_{13} + m_{11} + m_9 + m_7 + m_6 = \overline{L_{14}} \cdot \overline{L_{13}} \cdot \overline{L_{11}} \cdot \overline{L_9} \cdot \overline{L_7} \cdot \overline{L_6}$$

$$P_0 = m_{15} + m_{13} + m_7 + m_5 = \overline{L_{15}} \cdot \overline{L_{13}} \cdot \overline{L_7} \cdot \overline{L_5}$$

用一片 74x154 和 4 个与非门即可实现所要求的乘法电路。

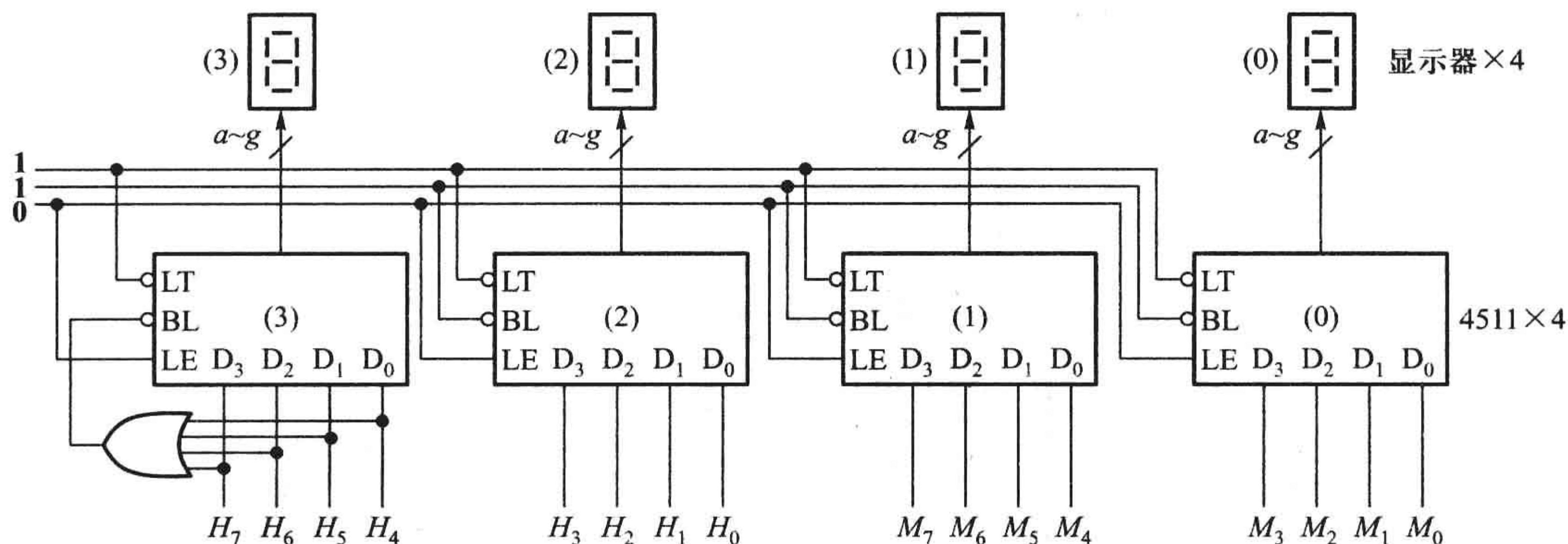
表题解 4.4.12

A_1	A_0	B_1	B_0	P_3	P_2	P_1	P_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1



图题解 4.4.12

4.4.13 由 74HC4511 构成 24 小时及分钟的译码电路如图题 4.4.13 所示,试分析小时高位是否具有零熄灭功能。

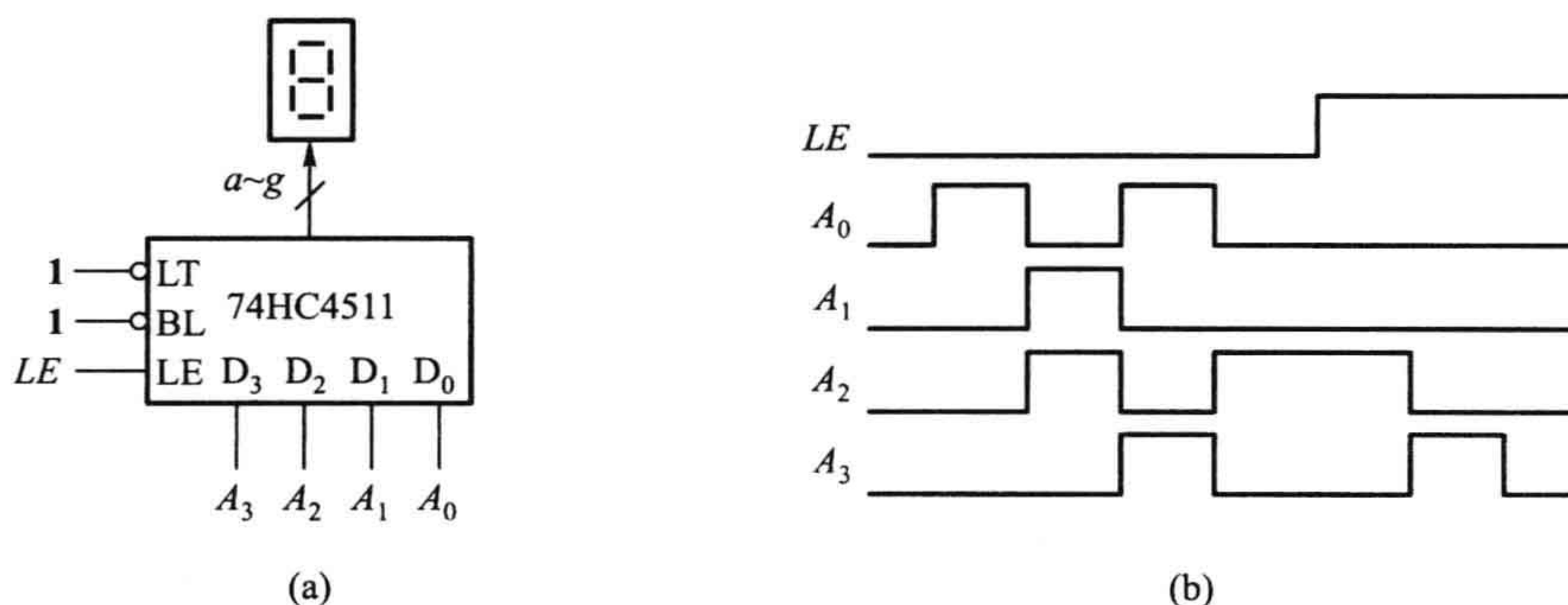


图题 4.4.13

解:根据教材表 4.4.9 所示 74HC4511 功能表可知,译码器正常译码时, LE 接低电平, $\overline{BL}$ 和 $\overline{LT}$ 均接高电平。如果输入 8421BCD 码为 **0000** 时,显示器不显示,要求 $\overline{BL}$ 接低电平, $\overline{LT}$ 仍为高电平,而 LE 可以是任意值。图题 4.4.13 中,小时高位的 BCD 码经或门连接到 $\overline{BL}$ 端,当输入为 **0000** 时,或门的输出为 **0**,使 $\overline{BL}$ 为 **0**,高位零被熄灭。

4.4.14 七段显示译码电路如图题 4.4.14(a) 所示,对应图题 4.4.14(b) 所示输入波形,试确定显示器显示的字符序列是什么?

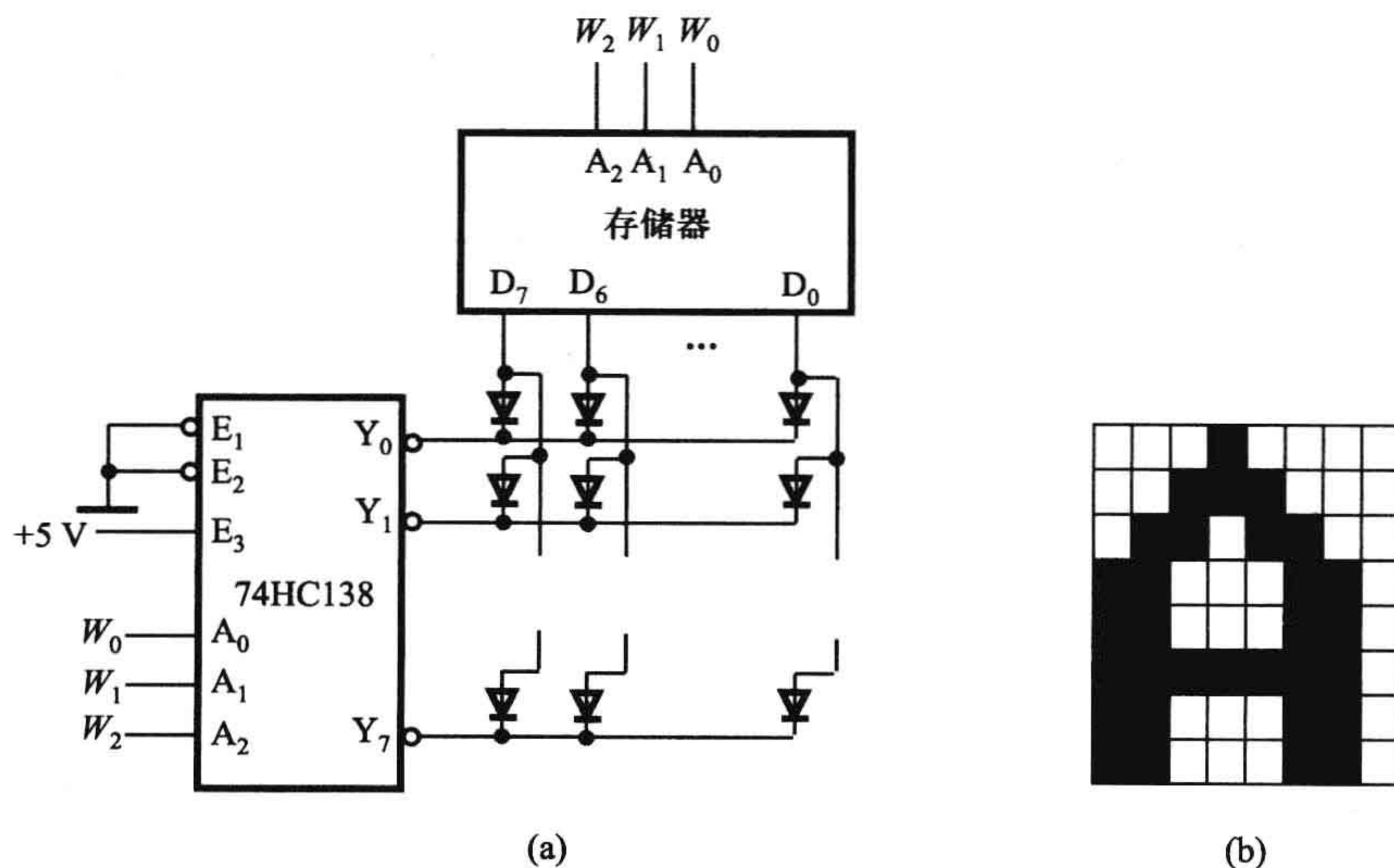
解:当 $LE = 0$ 时,图题 4.4.14(a) 所示译码器能正常工作。所显示的字符即为 $A_3A_2A_1A_0$ 所表



图题 4.4.14

示的十进制数,显示的字符序列为 0、1、6、9、4。当 LE 由 0 跳变 1 时,数字 4 被锁存,所以持续显示 4。

4.4.15 图题 4.4.15 所示为 8×8 个 LED 阵列显示示意图。3 线—8 线译码器控制逐行扫描,从上到下每次显示一行。存储阵列共有 8×8 个存储单元,每个单元存放 1 位显示的数据,需要显示的点存 1,否则存 0。地址线 $W_2 W_1 W_0$ 从 000 到 111 变化时,每次将一组 8 个数据送到输出端,控制发光二极管,需要发光的二极管接 1,否则接 0。如要显示的字型如图题 4.4.15(b) 所示,试写出存储器存放的数据。若人的视觉暂留时间为 0.05 秒,在满足 LED 阵列图像稳定不闪烁的情况下,试计算地址变换的最低频率。



图题 4.4.15

解: 根据图题 4.4.15(b) 所示的字形可以判断,地址线 $W_2 W_1 W_0 = 000$ 时,LED 阵列第一行显示的数据为 $D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0 = 00010000$ 。当地址线 $W_2 W_1 W_0$ 从 000 变化到 111 时,存储器存放的数据如表题解 4.4.15 所示。

地址变换的最低频率为 f_c , 则

$$\frac{1}{f_c} \times 8 = 0.05 \text{ s}$$

所以, $f_c = 160 \text{ Hz}$ 。

表题解 4.4.15

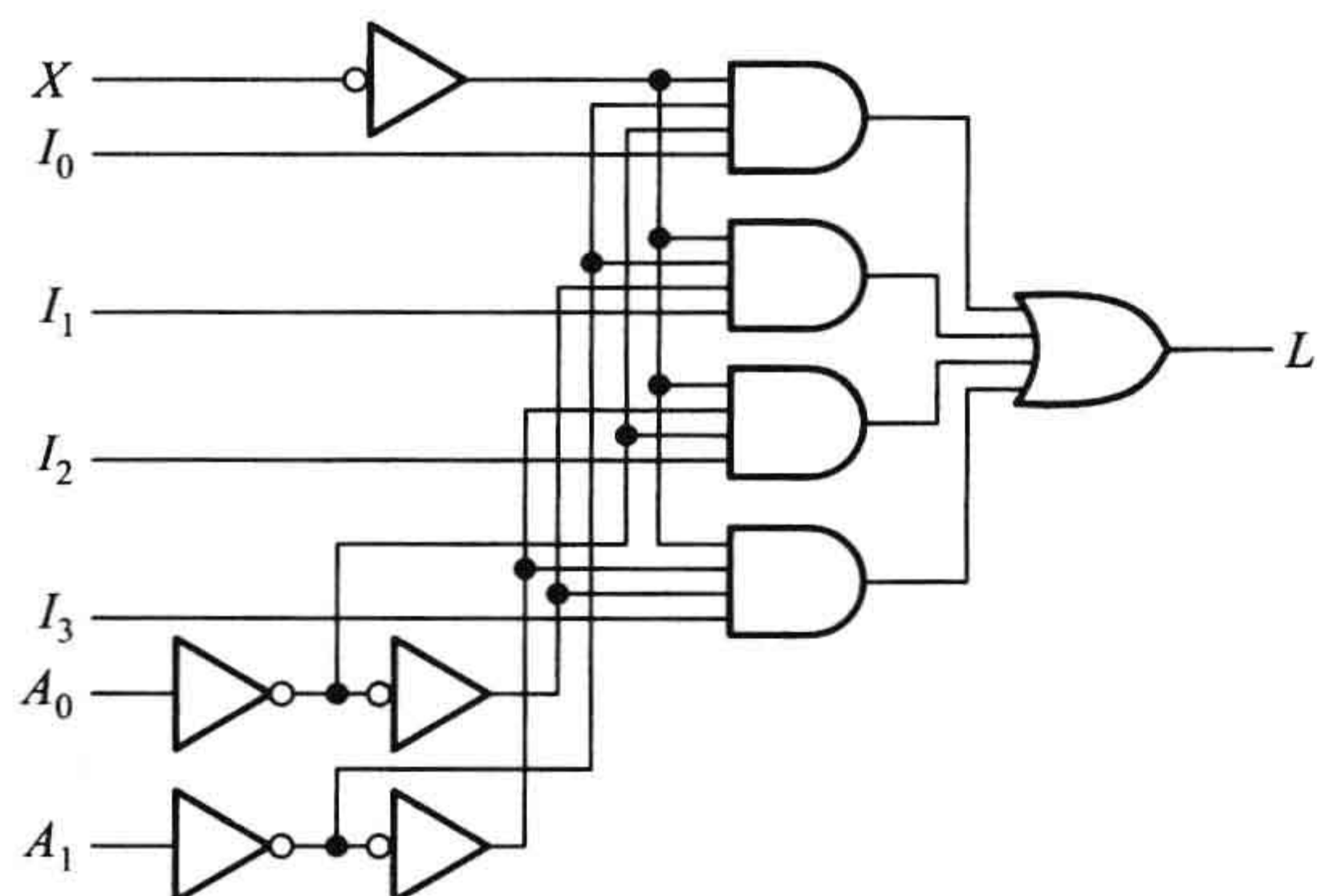
W_2	W_1	W_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	1	0	0	0	0
0	0	1	0	0	1	1	1	0	0	0
0	1	0	0	1	1	0	1	1	0	0
0	1	1	1	1	0	0	0	1	1	0
1	0	0	1	1	0	0	0	1	1	0
1	0	1	1	1	1	1	1	1	1	0
1	1	0	1	1	0	0	0	1	1	0
1	1	1	1	1	0	0	0	1	1	0

4.4.16 数据选择器如图题 4.4.16 所示, 并行输入数据 $I_3 I_2 I_1 I_0 = 1010$, 控制端 $X=0$, $A_1 A_0$ 的态序分别为 **00, 01, 10, 11**, 试画出输出端 L 的波形。

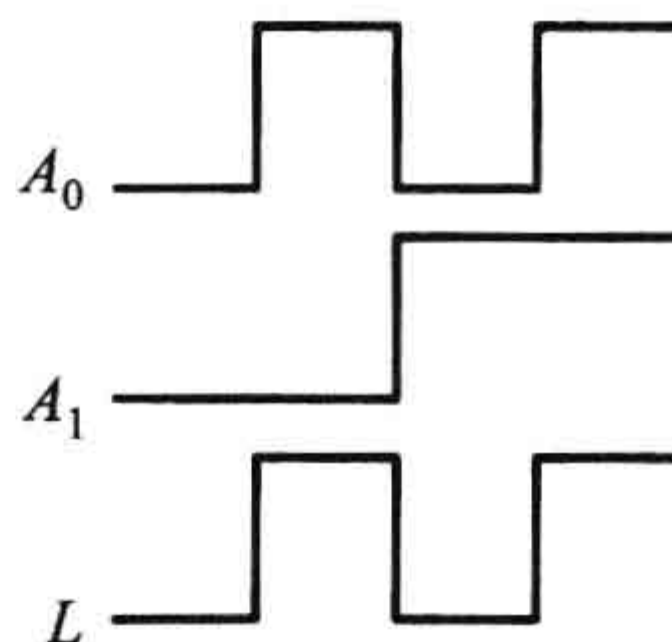
解: 由逻辑电路可写出 L 的逻辑表达式

$$L = \bar{X}(\bar{A}_1 \bar{A}_0 I_0 + \bar{A}_1 A_0 I_1 + A_1 \bar{A}_0 I_2 + A_1 A_0 I_3)$$

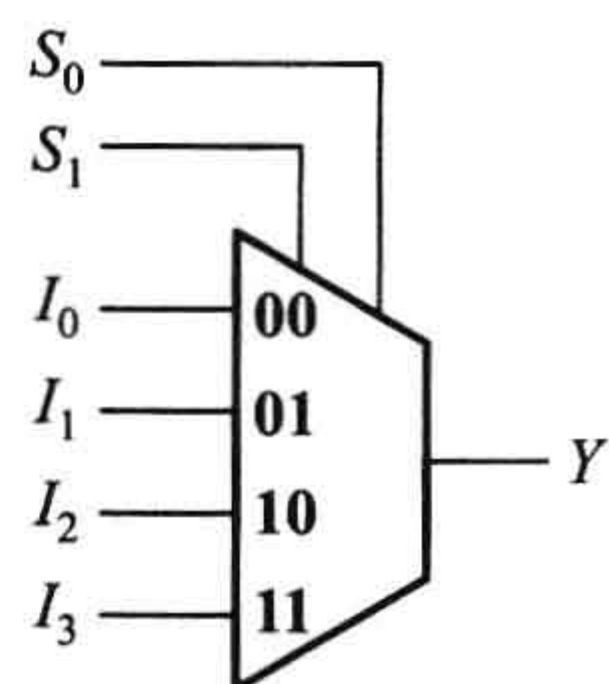
由逻辑表达式和已知条件可知, 当 $I_3 I_2 I_1 I_0 = 1010$, $X=0$ 时, 分别将 $A_1 A_0$ 的取值 **00, 01, 10, 11** 代入逻辑表达式, 得出输出 L 的顺序依次为 I_0 、 I_1 、 I_2 、 I_3 即 **0101**。 A_0 、 A_1 、 L 的波形如图题解 4.4.16 所示。



图题 4.4.16



图题解 4.4.16



图题 4.4.17

4.4.17 数据选择器如图题 4.4.17 所示, 当 $I_3=0$, $I_2=I_1=I_0=1$ 时, 有 $L = \bar{S}_1 + S_1 \bar{S}_0$ 的关系, 证明该逻辑表达式的正确性。

证明: 首先写出逻辑表达式, 再将已知条件代入后化简即可证明。

由图题 4.4.17 的逻辑电路可得如下逻辑表达式

$$L = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$

当 $I_3 = 0, I_2 = I_1 = I_0 = 1$ 时, 上式为

$$\begin{aligned} L &= \bar{S}_1 \bar{S}_0 + \bar{S}_1 S_0 + S_1 \bar{S}_0 = \bar{S}_1 (\bar{S}_0 + S_0) + S_1 \cdot \bar{S}_0 \\ &= \bar{S}_1 + S_1 \cdot \bar{S}_0 \end{aligned}$$

证毕。

4.4.18 应用图题 4.4.17 所示的电路产生逻辑函数 $F = S_1 + S_0$ 。

证明: 将所要实现的逻辑函数化为最小项形式, 与上题电路输出的最小项表达式进行比较, 得出数据输入的条件, 即可实现所需的逻辑函数。

将逻辑函数 $F = S_1 + S_0$ 转化为最小项表达式:

$$\begin{aligned} F &= S_1 S_0 + S_1 \bar{S}_0 + S_1 S_0 + \bar{S}_1 S_0 \\ &= S_1 S_0 + S_1 \bar{S}_0 + \bar{S}_1 S_0 \end{aligned} \quad (1)$$

而图题 4.4.17 数据选择器的输出端 L 的逻辑函数为

$$L = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0 \quad (2)$$

比较(1)式和(2)式可知, 当 $I_0 = 0, I_1 = I_2 = I_3 = 1$, 则有 $F = L$, 即可用图题 4.4.17 所示的数据选择器实现 $F = S_1 + S_0$ 。证毕。

4.4.19 设计一 4 选 1 数据选择器。数据输入是 I_0, I_1, I_2, I_3 , 数据输出是 Y , 4 个控制信号为 S_3, S_2, S_1, S_0 。要求只当 $S_i = 1$ 时, I_i 与 Y 接通, 且由另一控制信号 E 作为该选择器的使能信号。

(1) 画出由反相器、两输入与门和或门实现的逻辑电路。

(2) 选择一合适的三态门作为输出级。

解: 根据题意列出该数据选择器的功能表, 如表题解 4.4.19 所示。

表题解 4.4.19

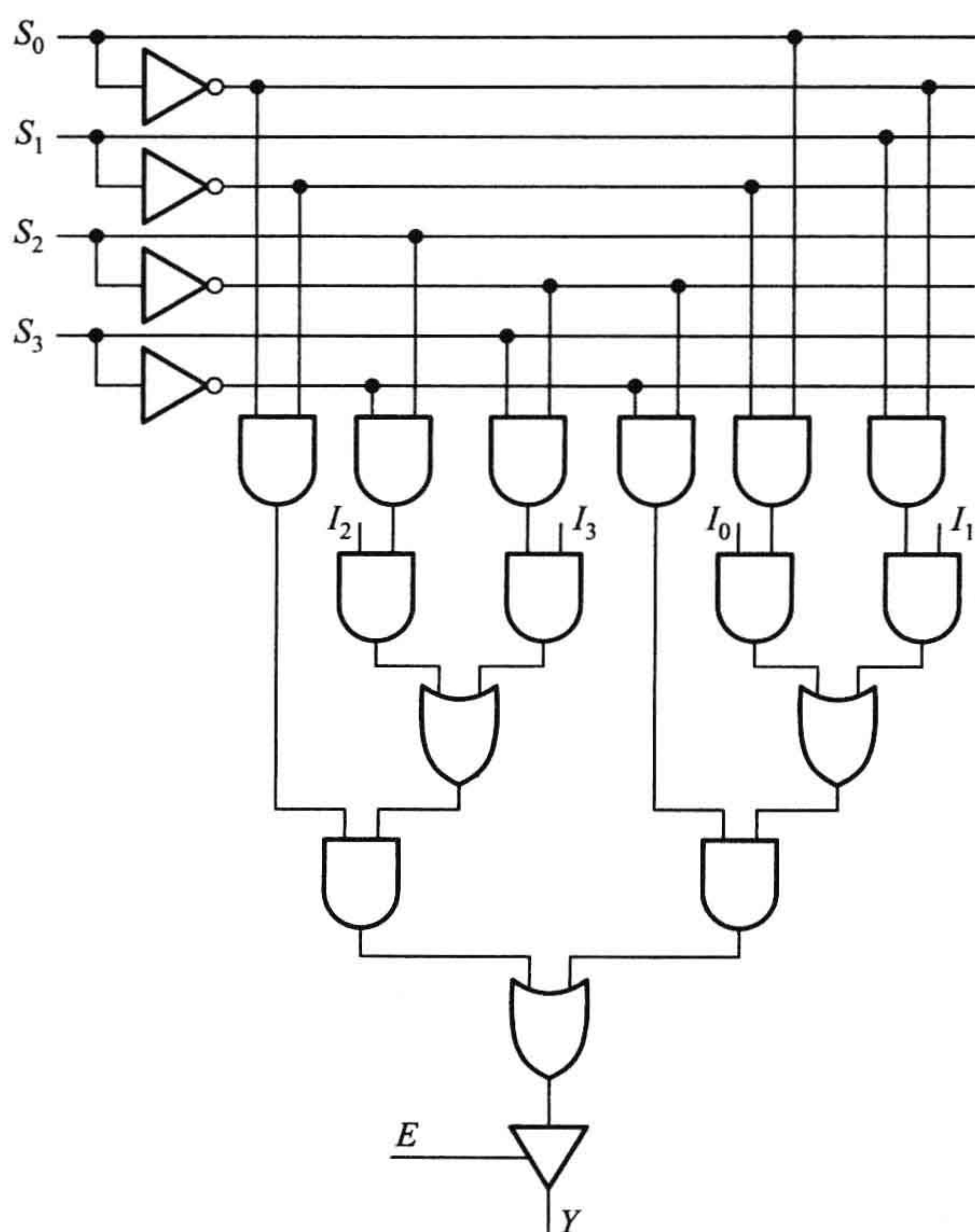
E	S_3	S_2	S_1	S_0	I_3	I_2	I_1	I_0	Y
1	0	0	0	1	×	×	×	I_0	I_0
1	0	0	1	0	×	×	I_1	×	I_1
1	0	1	0	0	×	I_2	×	×	I_2
1	1	0	0	0	I_3	×	×	×	I_3
0	×	×	×	×	×	×	×	×	高阻

由功能表写出 Y 的逻辑表达式

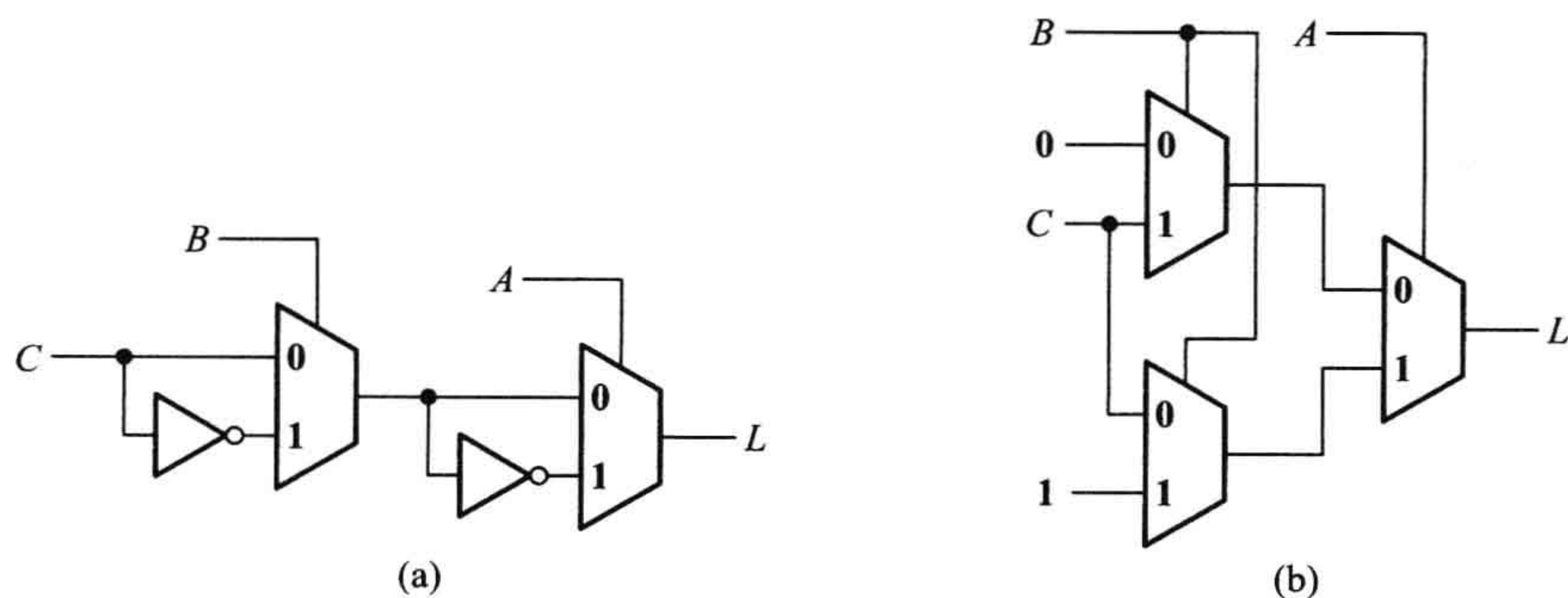
$$\begin{aligned} Y &= [\bar{S}_3 \bar{S}_2 \bar{S}_1 S_0 I_0 + \bar{S}_3 \bar{S}_2 S_1 \bar{S}_0 I_1 + \bar{S}_3 S_2 \bar{S}_1 \bar{S}_0 I_2 + S_3 \bar{S}_2 \bar{S}_1 \bar{S}_0 I_3] E \\ &= [\bar{S}_3 \bar{S}_2 (\bar{S}_1 S_0 I_0 + S_1 \bar{S}_0 I_1) + \bar{S}_0 \bar{S}_1 (\bar{S}_3 S_2 I_2 + S_3 \bar{S}_2 I_3)] E \end{aligned}$$

用非门和 2 输入与门、或门实现该数据选择器, 并用三态门作输出级, 电路如图题解 4.4.19 所示。

4.4.20 由数据选择器构成的电路如图题 4.4.20 所示, 试写出输出端的逻辑函数式。



图题解 4.4.19



图题 4.4.20

解: (a) 分析图题 4.4.20(a) 所示电路, 以 $CBA = 001$ 为例, 此时第一个选择器选通 D_0 , 输出为 0 , 使第二个选择器数据端 $D_1 = 1$ 。第二个选择器的 A 为 1 , 选通 $D_1 = 1$ 输出。因此, 输出 $L = 1$ 。列出 CBA 从 000 变化到 111 时所对应的真值表如表题解 4.4.20(a) 所示。根据真值表写出逻辑表达式为 $L = A \oplus B \oplus C$ 。

同理分析图题 4.4.20(b) 所示电路, 列出真值表如表题解 4.4.20(b) 所示。根据真值表写出逻辑表达式为 $L = AB + BC + AC$ 。

表题解 4.4.20(a)

C	B	A	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

表题解 4.4.20(b)

C	B	A	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

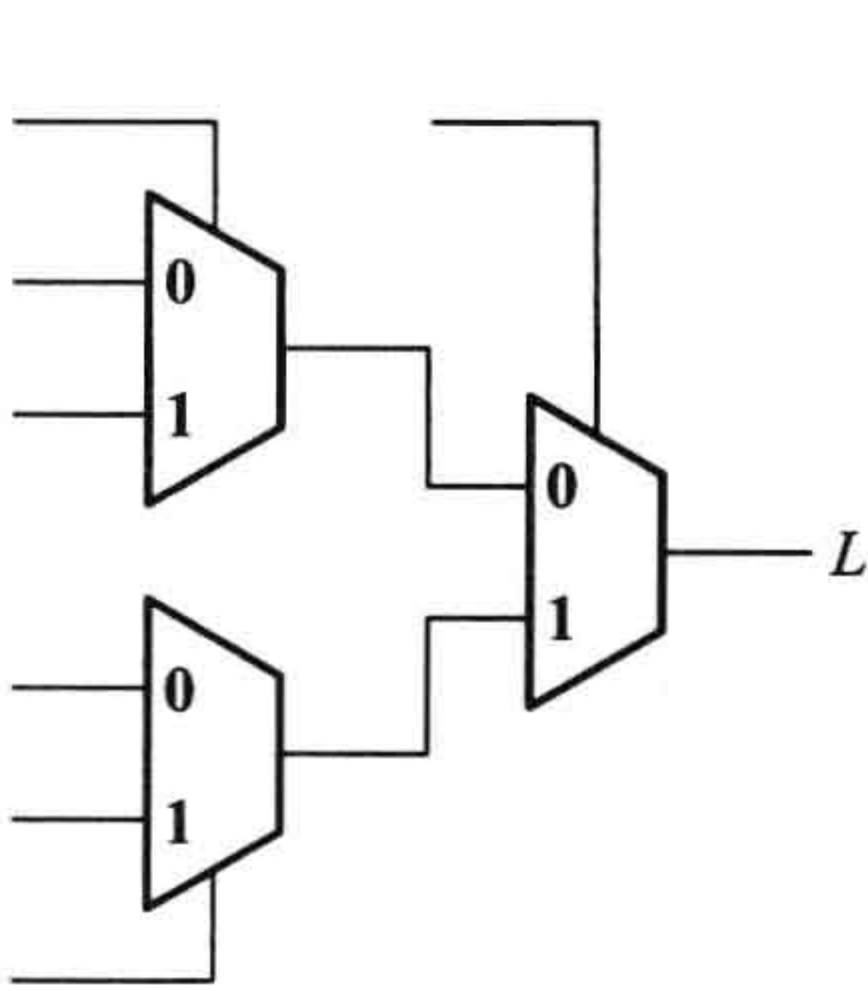
4.4.21 由 2 选 1 数据选择器构成的电路如图题 4.4.21 所示,其数据输入端和选择输入端可接 0,1 或输入变量,试用该电路实现下列逻辑函数。

(1) $L(A, B, C) = AB + C$

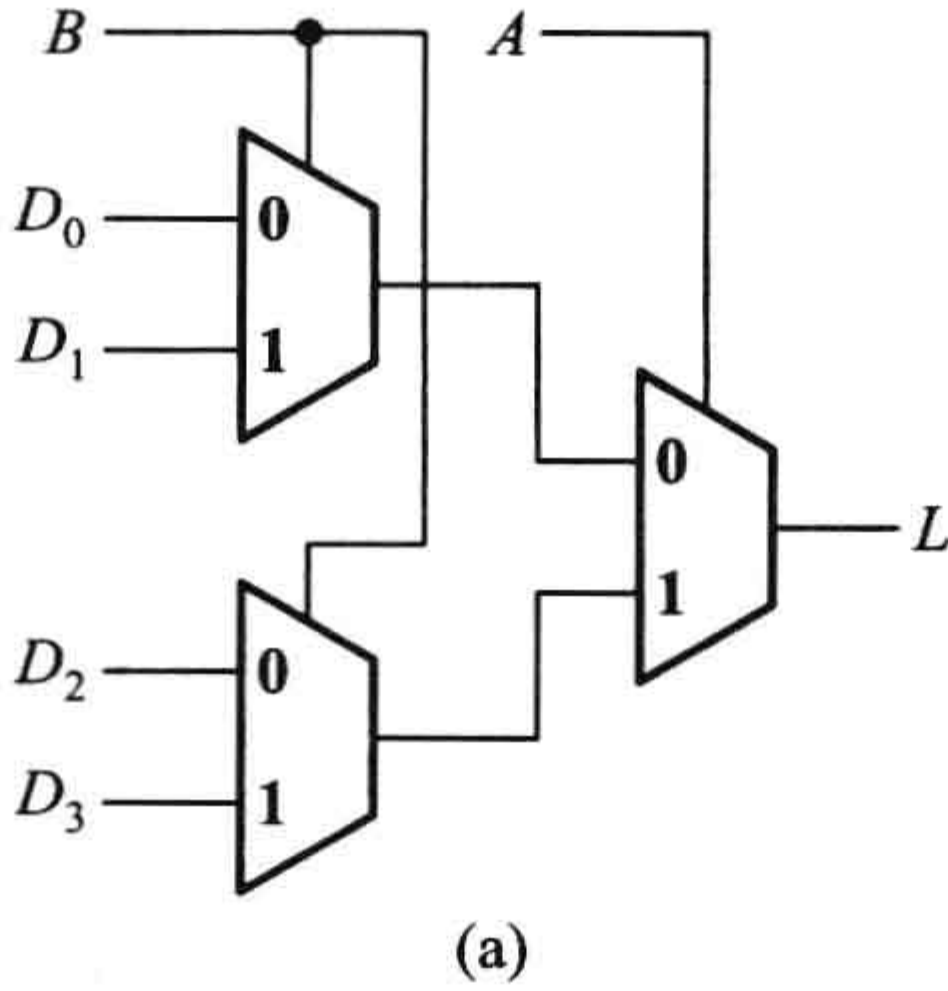
(2) $L(A, B, C) = AC + BC$

解:用图题 4.4.21 所示电路实现逻辑函数的方法有很多种,这里只介绍一种方法。

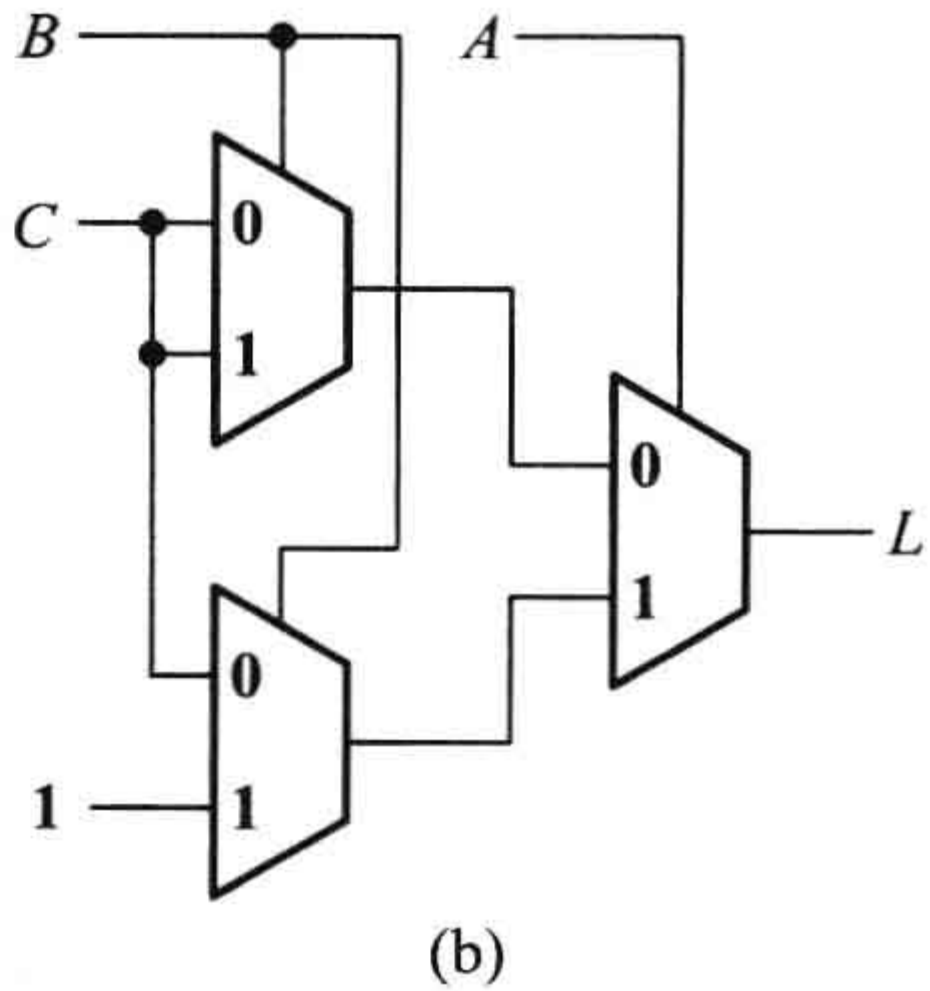
(1) 将变量 B, A 分别接入选择输入端,如图题解 4.4.21(a) 所示。其输出端与数据输入端的关系如表题解 4.4.21(a) 所示。根据逻辑函数式列出的真值表如表题解 4.4.21(b) 所示。对比表题解 4.4.21(a) 和 (b) 可以得出 $D_0 = D_1 = D_2 = C, D_3 = 1$, 电路如图题解 4.4.21(b) 所示。



图题 4.4.21



(a)



(b)

图题解 4.4.21

(2) 按照上述同样的方法可得 $D_0 = 0, D_1 = D_2 = D_3 = C$, 电路图略。

表题解 4.4.21(a)

A	B	C	L
0	0	0	D_0
0	0	1	D_0
0	1	0	D_1
0	1	1	D_1
1	0	0	D_2
1	0	1	D_2
1	1	0	D_3
1	1	1	D_3

表题解 4.4.21(b)

A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

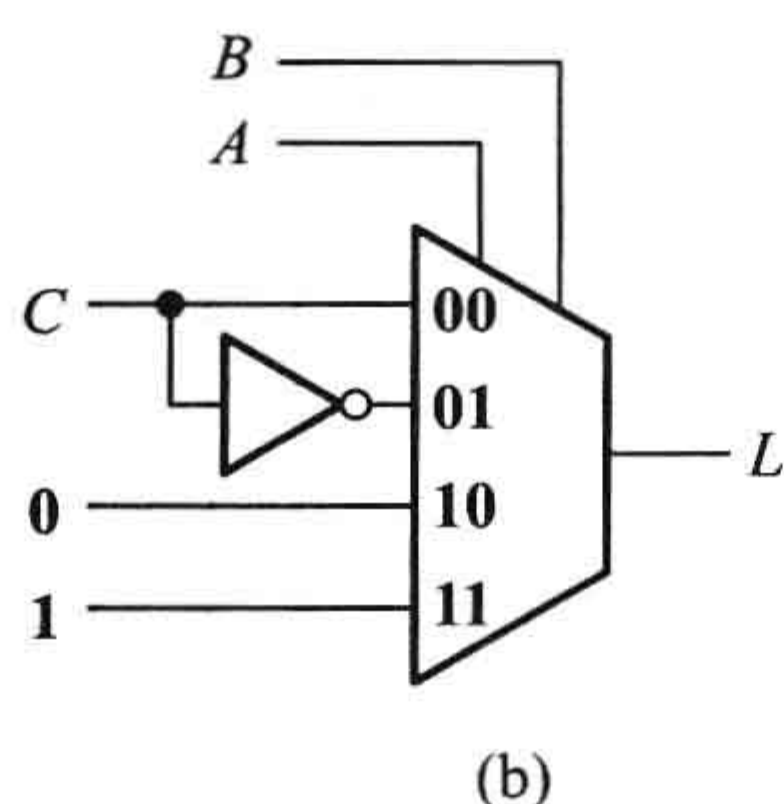
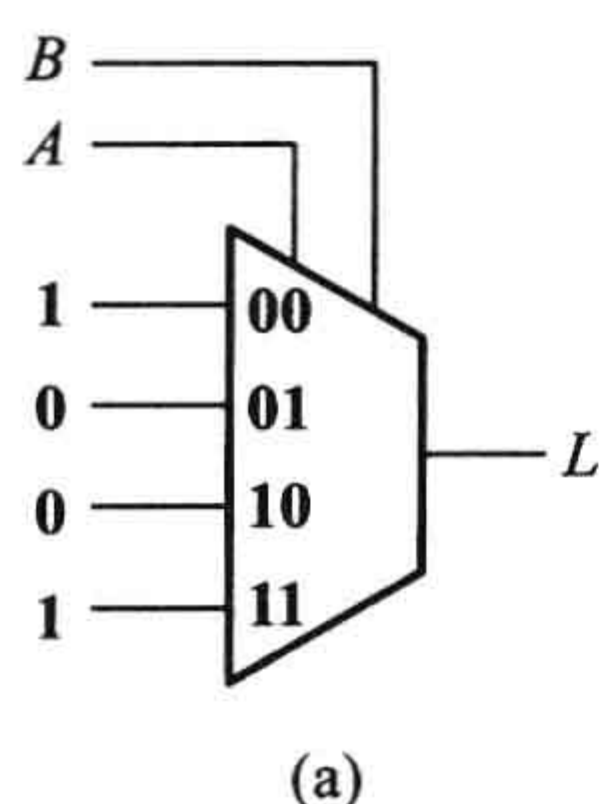
4.4.22 试用 4 选 1 数据选择器产生逻辑函数：

(1) $L(A, B) = \overline{A}\overline{B} + AB$

(2) $L(A, B, C) = \sum m(1, 2, 6, 7)$ 。

解：(1) 此题是用具有两个地址输入的数据选择器实现逻辑表达式。将两个变量接入选择输入端，数据输入端 D_0 、 D_3 接 1， D_1 、 D_2 接 0。电路如图题解 4.4.22(a) 所示。

(2) 此题是用具有两个选择输入的数据选择器实现三变量逻辑表达式，将两个变量接入选择输入端，另一个变量接入数据输入端。根据表达式列出真值表，如表题解 4.4.22 所示。将变量 A 、 B 分别接入选择输入端 S_1 、 S_0 ，变量 C 将被分配在数据输入端。从表中可以看出输出 L 与变量 C 之间的关系，当 $AB=00$ 时， $L=C$ ，因此数据端 D_0 接 C ；当 $AB=01$ 时， $L=\overline{C}$ ， D_1 接 $\overline{C}$ ；当 AB 为 00 和 11 时， L 分别为 0 和 1，数据输入端 D_2 和 D_3 分别接 0 和 1。由此可得逻辑函数产生器如图题解 4.4.22(b) 所示。



图题解 4.4.22

表题解 4.4.22

输 入			输 出
A	B	C	L
0	0	0	0
0	0	1	1
			$L=C$
0	1	0	1
0	1	1	0
			$L=\overline{C}$
1	0	0	0
1	0	1	0
			0
1	1	0	1
1	1	1	1
			1

4.4.23 用 2 选 1 数据选择器构建一个 4 输入查找表 LUT，画出电路结构图。

解：构建一个 4 输入查找表需要 15 个 2 选 1 数据选择器，电路如图题解 4.4.23 所示。

4.4.24 试用 3 输入 LUT 实现下列逻辑函数，画出电路结构，标明输入端存储单元的数值。

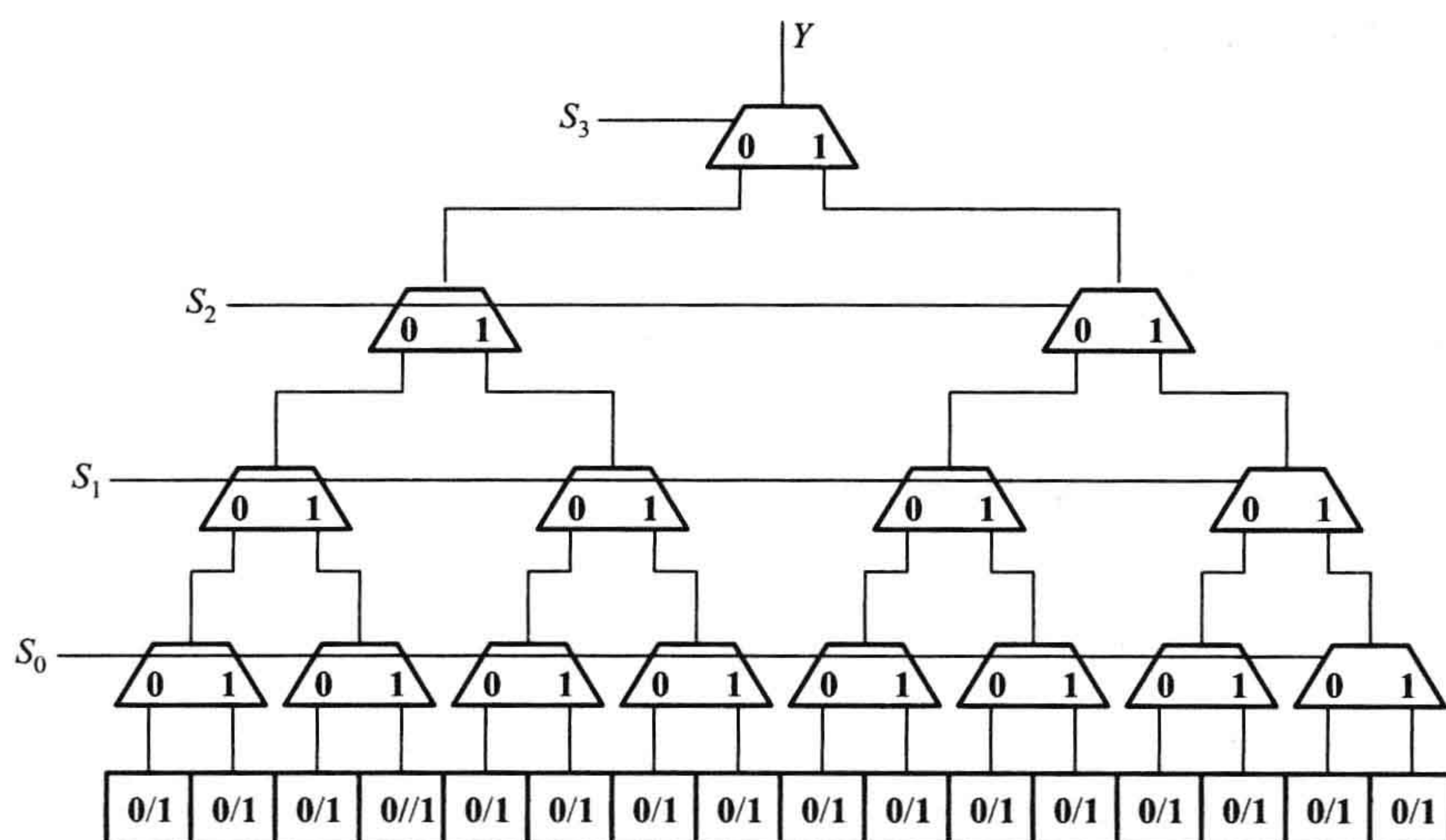
(1) $L = A\overline{B}\overline{C} + A\overline{B}C + \overline{A}BC$

(2) $L = A \oplus B \oplus C$

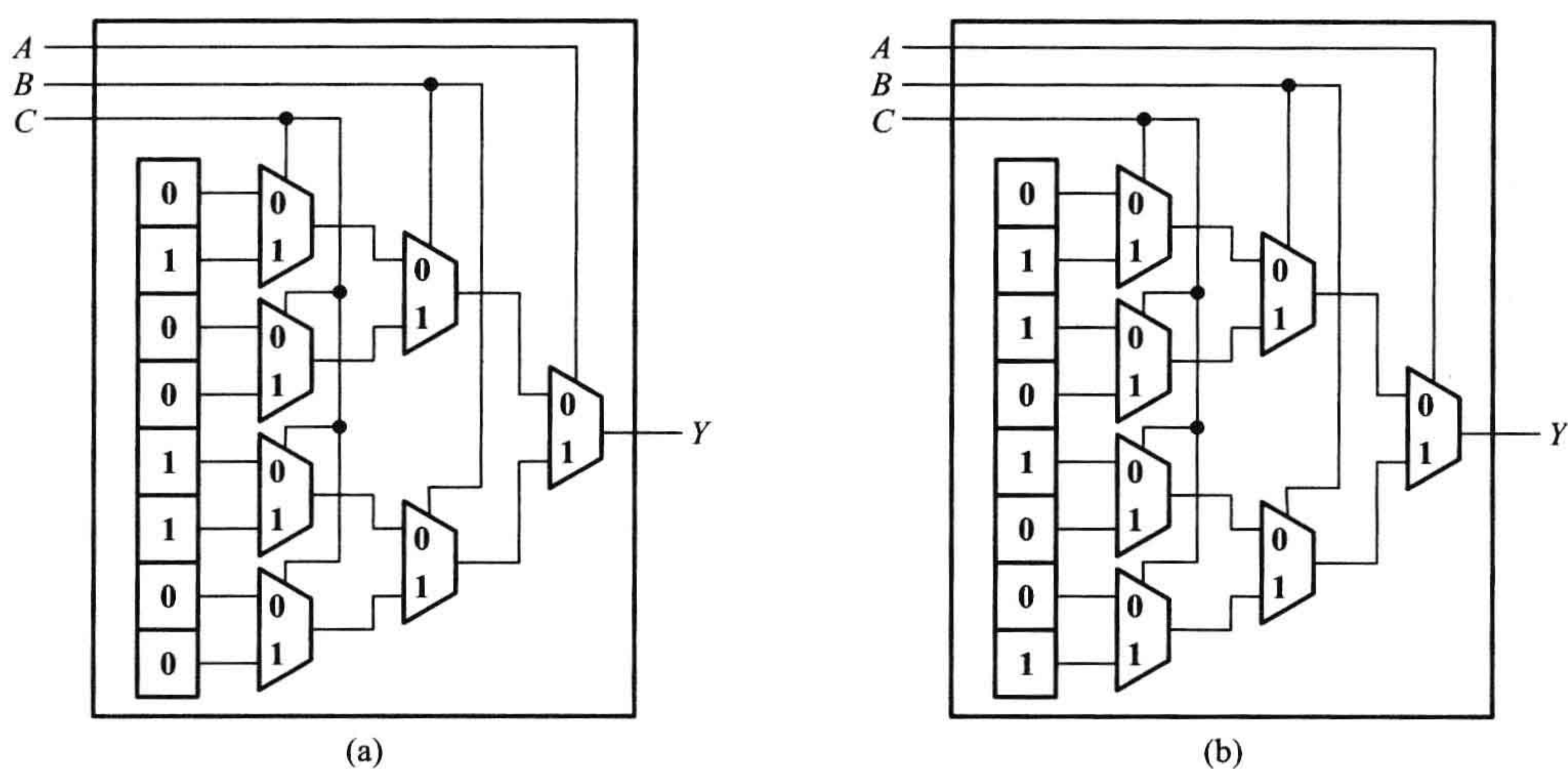
解：(1) 将变量 A 、 B 、 C 分别接入选择输入端 S_2 、 S_1 、 S_0 。根据逻辑函数表达式可知，数据输入端 D_1 、 D_4 、 D_5 接 1，其余接 0。电路结构如图题解 4.4.24(a) 所示。

(2) 将变量 A 、 B 、 C 分别接入选择输入端 S_2 、 S_1 、 S_0 。逻辑表达式变换为 $L = A \oplus B \oplus C = \sum m(1, 2, 4, 7)$ 。因此，数据输入端 D_1 、 D_2 、 D_4 、 D_7 接 1，其余接 0。电路结构如图题解 4.4.24(b) 所示。

4.4.25 试用 3 输入 LUT 实现下列逻辑函数，画出 LUT 符号构成的结构图，说明各 LUT 输入端存储单元的数值。



图题解 4.4.23



图题解 4.4.24

$$L = A(\bar{B} + C) + B\bar{C}$$

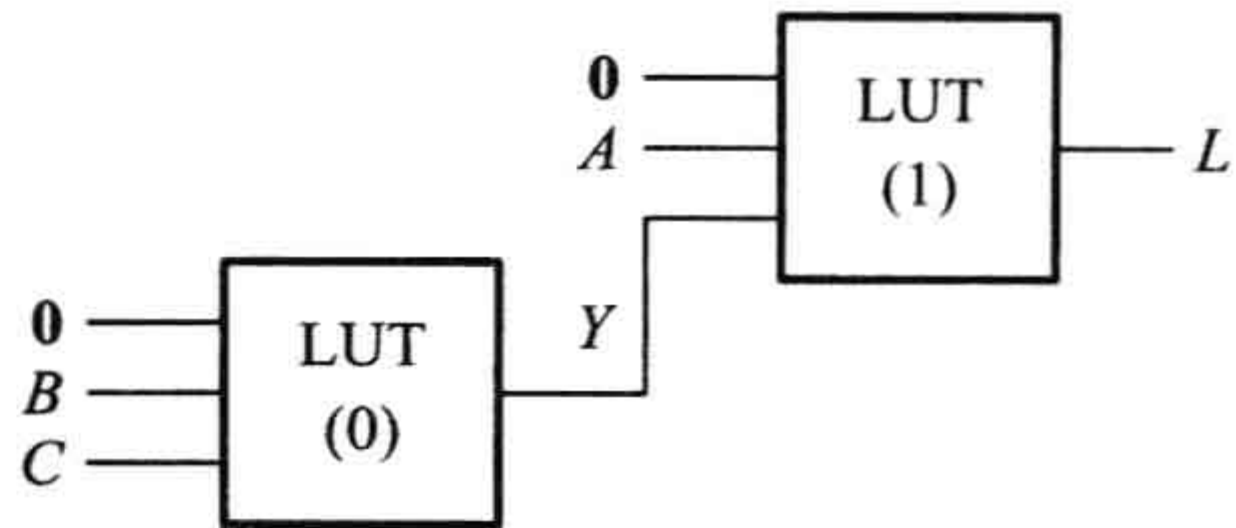
解: 将逻辑函数进行变换

$$\begin{aligned} L &= A(\bar{B} + C) + B\bar{C} \\ &= A\bar{B}\bar{C} + B\bar{C} \\ &= A\bar{Y} + Y \\ &= A\bar{Y} + \bar{A}Y + AY \end{aligned}$$

该电路需要两个 3 输入 LUT, 片(0)实现 $Y = B\bar{C}$, 片(1)实现 $L = A\bar{Y} + \bar{A}Y + AY$ 。片(0)的 3 个选择输入端只接 B 、 C 两个变量, 最高位地址输入端没有使用。查找表将没有使用的输入端当作无关项对待, $L(\times, B, C) = B\bar{C} = \sum m(2, 6)$ 。查找表没有使用的输入端可以接 0, 也可以接 1, 这里

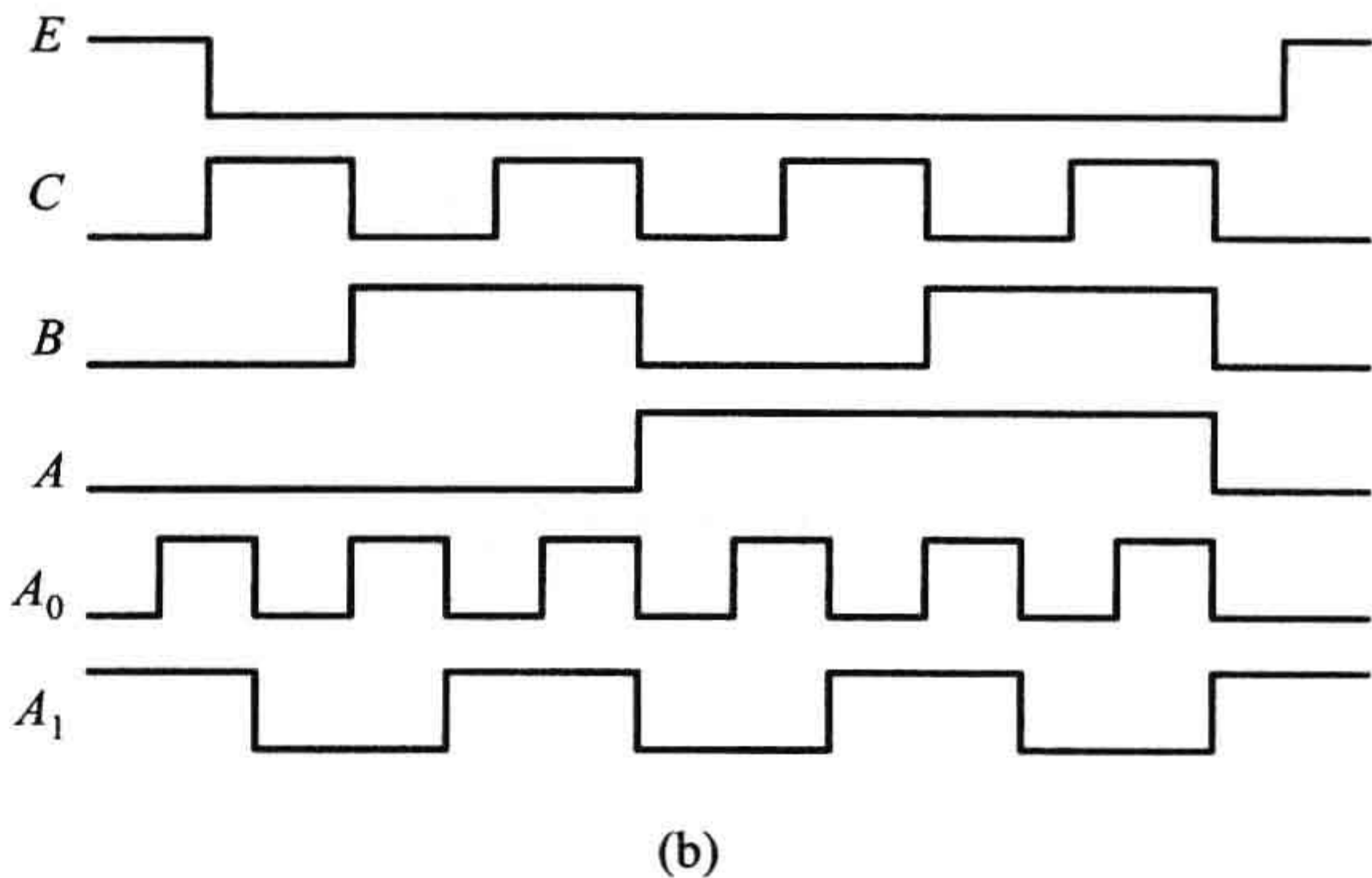
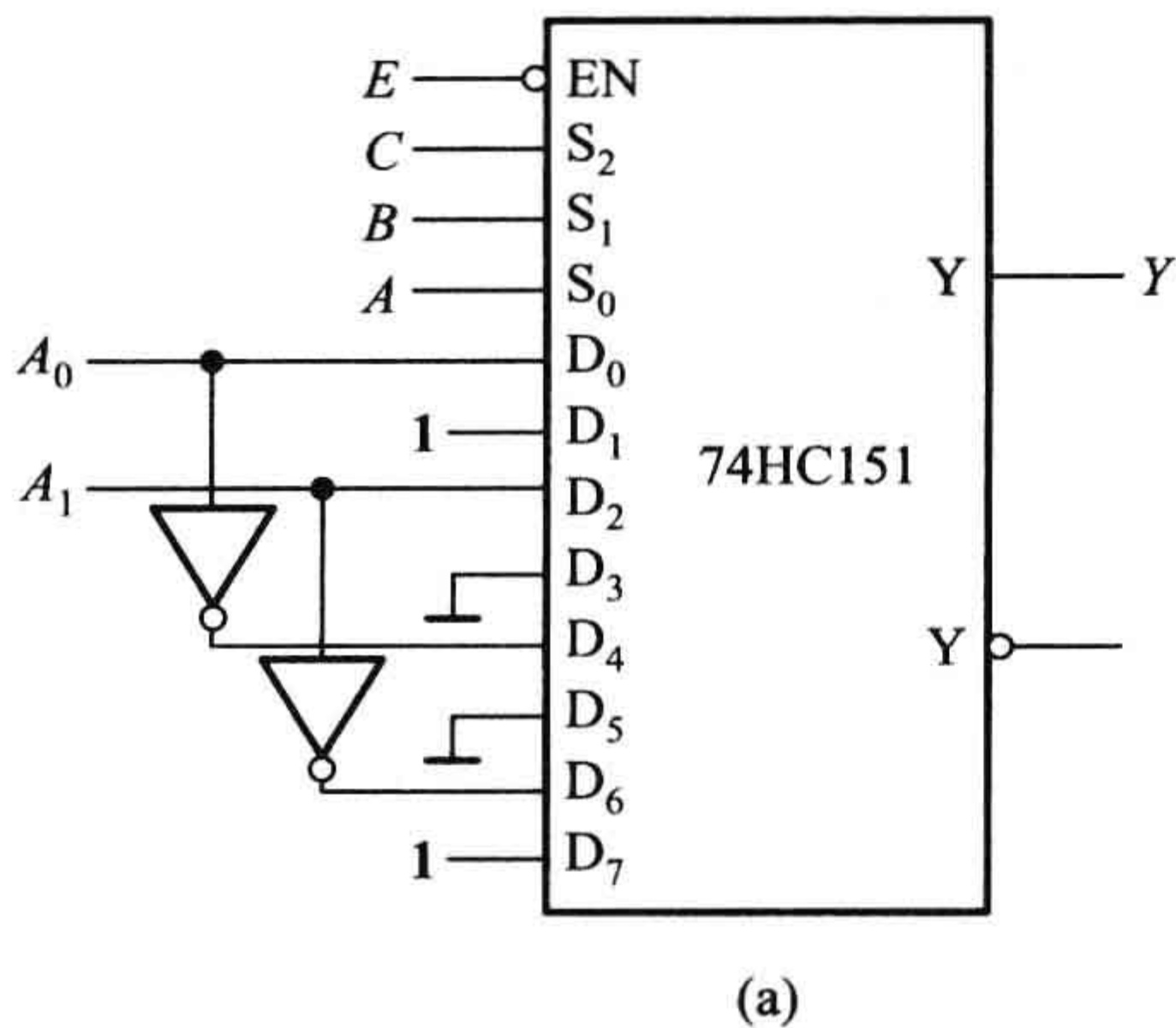
接 0。因此, $L(0,B,C) = B\bar{C} = \sum m(2)$, LUT(0) 中存储单元 2 为 1, 其余为 0。

同理, 片(1)的 3 个选择输入端只接 A、Y 两个变量, 最高位地址输入端接 0。 $L(0,A,Y) = A\bar{Y} + \bar{A}Y + AY = \sum m(1,2,3)$, LUT(1) 中存储单元 1, 2, 3 为 1, 其余为 0。用 LUT 实现的框图如图题解 4. 4. 25 所示。



图题解 4. 4. 25

4. 4. 26 74HC151 的连接方式和各输入端的输入波形如图题 4. 4. 26 所示, 画出输出端 Y 的波形。



图题 4. 4. 26

解: 根据 C、B、A 的值确定 D_i 中的哪个数据被送到输出端。

由图题 4. 4. 26 中的逻辑电路可知其数据输入端的状态为

$D_0 = A_0 \qquad D_1 = D_7 = 1 \qquad D_2 = A_1$

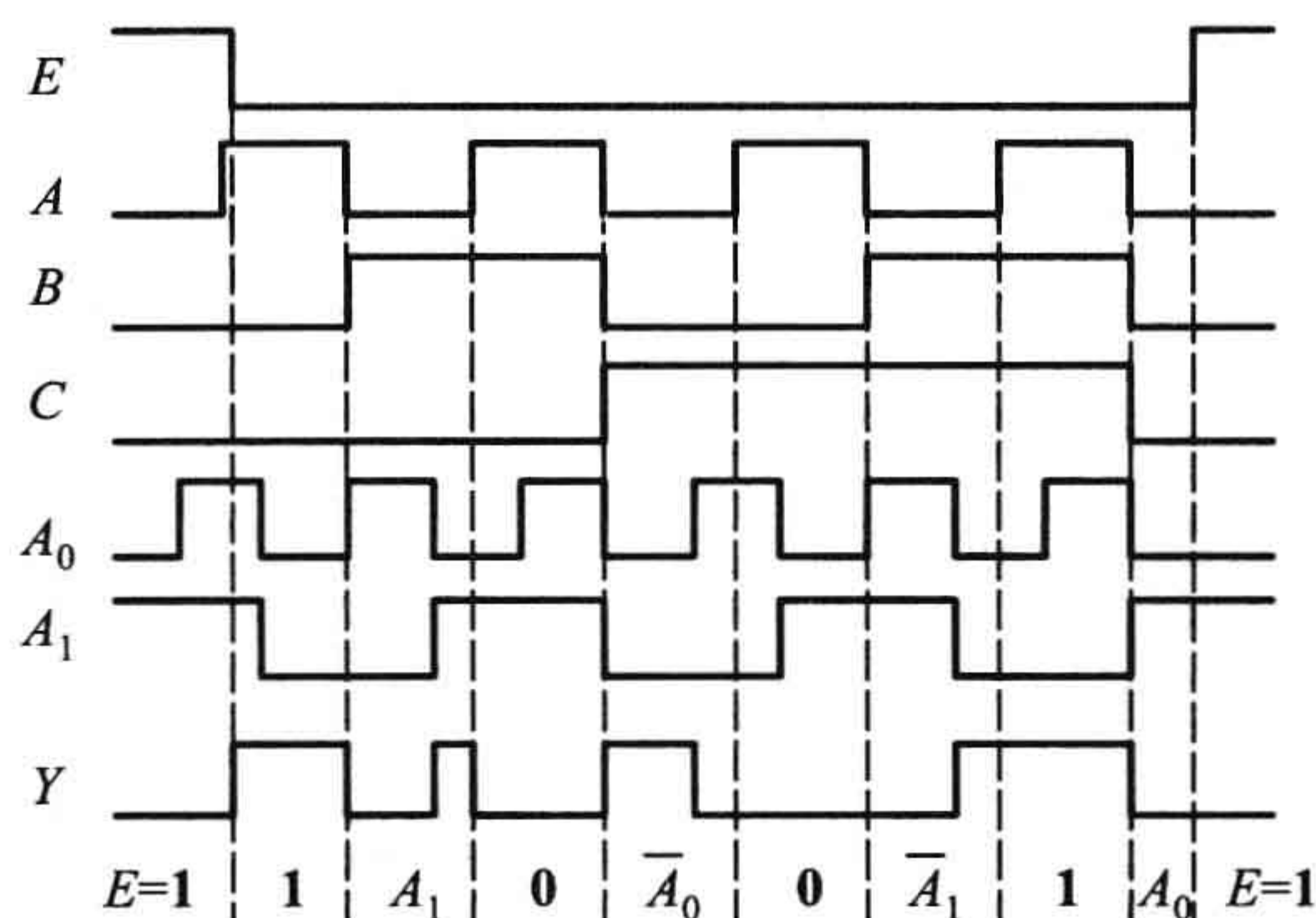
$D_3 = D_5 = 0 \qquad D_4 = \bar{A}_0 \qquad D_6 = \bar{A}_1$

由此可写出此时 74HC151 的功能表, 如表题解 4. 4. 26。

表题解 4. 4. 26

输 入				输 出
使能 E	选 择			Y
	C	B	A	
0	0	0	0	A_0
0	0	0	1	1
0	0	1	0	A_1
0	0	1	1	0
0	1	0	0	$\overline{A_0}$
0	1	0	1	0
0	1	1	0	$\overline{A_1}$
0	1	1	1	1
1	x	x	x	0

由功能表的输出状态和图题 4.4.26 中给出 E 、 A 、 B 、 C 、 A_0 、 A_1 的波形,可画出输出端 Y 的波形,如图题解 4.4.26 所示。



图题解 4.4.26

4.4.27 应用 74HC151 实现如下逻辑函数

$$(1) L = A \bar{B} \bar{C} + A \bar{B} C + \bar{A} \bar{B} C$$

$$(2) L = (A \odot B) \odot C$$

解:用 74HC151 实现逻辑函数,首先要将逻辑函数化成最小项的形式,根据最小项表达式确定数据输入端 D_i 的取值,并注意变量的高、低位与地址输入端的连接顺序。

(1) 将逻辑函数 $L = A \bar{B} \bar{C} + A \bar{B} C + \bar{A} \bar{B} C$ 写成如下形式

$$L = m_4 + m_5 + m_1$$

数据选择器集成电路芯片 74HC151 的标准表达式

$$\begin{aligned} Y &= \bar{S}_2 \bar{S}_1 \bar{S}_0 D_0 + \bar{S}_2 \bar{S}_1 S_0 D_1 + \bar{S}_2 S_1 \bar{S}_0 D_2 + \bar{S}_2 S_1 S_0 D_3 + S_2 \bar{S}_1 \bar{S}_0 D_4 \\ &\quad + S_2 \bar{S}_1 S_0 D_5 + S_2 S_1 \bar{S}_0 D_6 + S_2 S_1 S_0 D_7 \\ &= m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 + m_4 D_4 + m_5 D_5 + m_6 D_6 + m_7 D_7 \end{aligned}$$

将 L 与 Y 比较可得

$$D_0 = D_2 = D_3 = D_6 = D_7 = 0 \quad D_1 = D_4 = D_5 = 1$$

将 A 、 B 、 C 分别与地址输入端 S_2 、 S_1 、 S_0 连接,即可得到电路,如图题解 4.4.27(a) 所示。

(2) 将逻辑函数表达式展开成最小项形式

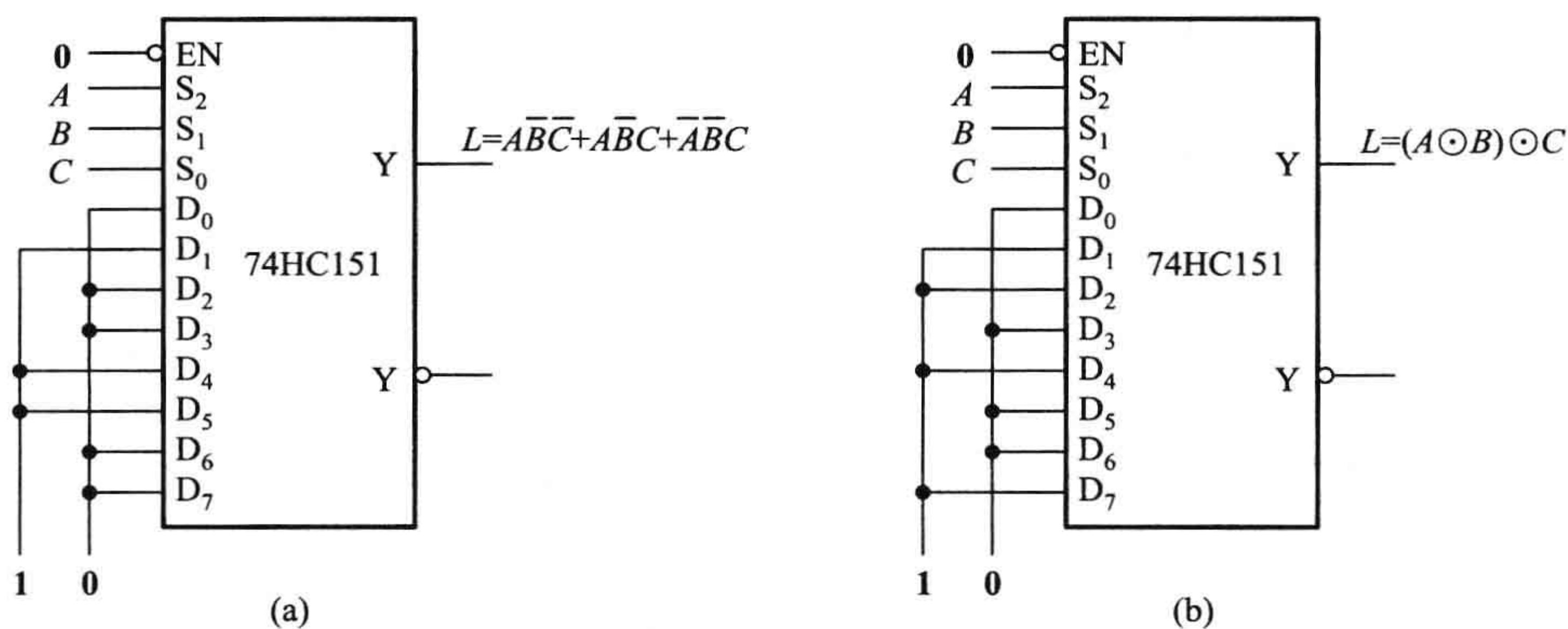
$$\begin{aligned} Y &= A \odot B \odot C = (\bar{A} \bar{B} + AB) \odot C = \overline{\bar{A} \bar{B} + AB} C + (\bar{A} \bar{B} + AB) \bar{C} = (\bar{A} B + A \bar{B}) \bar{C} + \bar{A} \bar{B} C + ABC \\ &= \bar{A} B \bar{C} + A \bar{B} \bar{C} + \bar{A} \bar{B} C + ABC = m_1 + m_2 + m_4 + m_7 \end{aligned}$$

可得

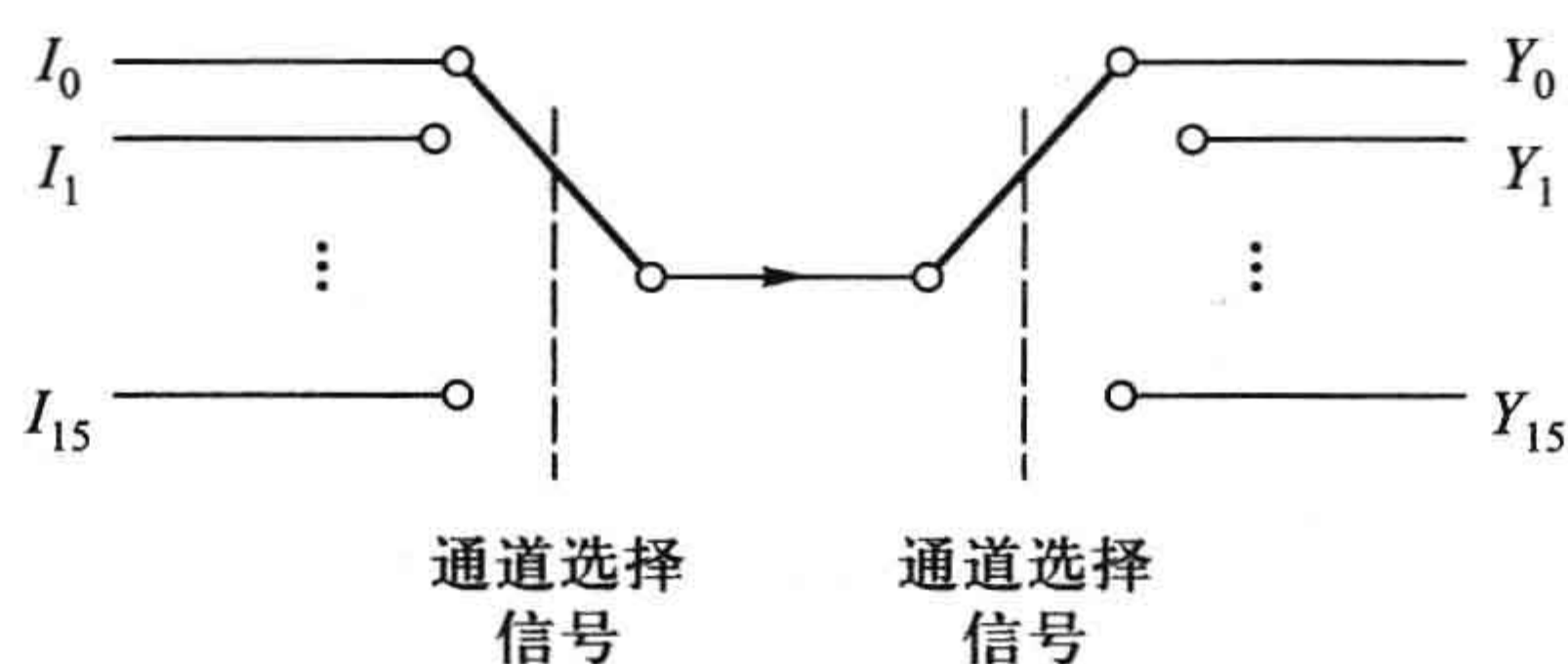
$$D_0 = D_3 = D_5 = D_6 = 0 \quad D_1 = D_2 = D_4 = D_7 = 1$$

同理,将 A 、 B 、 C 分别与地址输入端 S_2 、 S_1 、 S_0 连接,即可得到电路,如图题解 4.4.27(b) 所示。

4.4.28 应用数据选择器 74HC151 和 3 线-8 线译码器 74HC138 设计一个数据传输电路,其功能是在 4 位通道选择信号的控制下,能将 16 个输入数据中的任何一个传送到 16 个输出端中相对应的一个输出端,其示意图如图题 4.4.28 所示。



图题解 4.4.27



图题 4.4.28

解:应用书中介绍过的 8 选 1 数据选择器 74HC151 和 3 线 - 8 线译码器 74HC138 (此处作数据分配器用) 各两片组成数据传输电路, 如图题解 4.4.28 所示, 其中 74HC138 的数据输入端和数据输出端均为低有效, 经过两次求反, 在输出端得到原数据。当 $S_3 = 0$ 时, (1) 组的 74HC151 和 74HC138 工作, 将输入的数据 $I_0 \sim I_7$ 中的任意一个传输到 8 个输出端 $\bar{Y}_0 \sim \bar{Y}_7$ 中对应的一个, (2) 组的 74HC151 和 74HC138 不工作。当 $S_3 = 1$ 时, (2) 组的 74HC151 和 74HC138 工作, 将输入的数据 $I_8 \sim I_{15}$ 从输出端 $\bar{Y}_8 \sim \bar{Y}_{15}$ 对应输出, (1) 组的 74HC151 和 74HC138 不工作。

4.4.29 试用三个 3 输入端与门和一个或门实现“ $A > B$ ”的比较电路, A 和 B 均为两位二进制数。

解:先根据题意写出 $F_{A>B}$ 的逻辑表达式

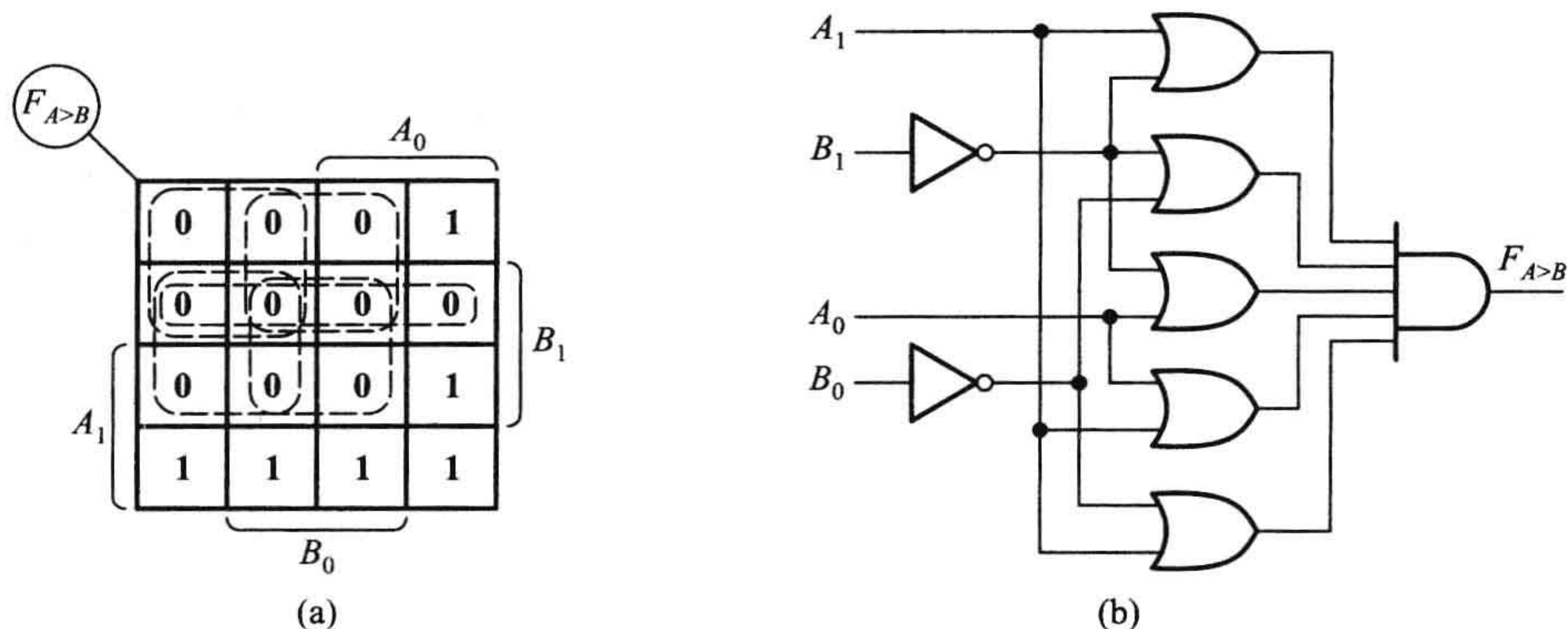
$$\begin{aligned} F_{A>B} &= A_1 \bar{B}_1 + (\bar{A}_1 \bar{B}_1 + A_1 B_1) A_0 \bar{B}_0 \\ &= A_1 \bar{B}_1 + \bar{A}_1 \bar{B}_1 A_0 \bar{B}_0 + A_1 B_1 A_0 \bar{B}_0 \end{aligned}$$

要求与门的输入端不能超过 3 个, 因此对上述表达式进行简化, 将后面两项的四个变量相与, 变为每项最多只有三个变量相与的与或表达式。

$$\begin{aligned} F_{A>B} &= A_1 (\bar{B}_1 + B_1 A_0 \bar{B}_0) + \bar{B}_1 (A_1 + \bar{A}_1 A_0 \bar{B}_0) \\ &= A_1 (\bar{B}_1 + A_0 \bar{B}_0) + \bar{B}_1 (A_1 + A_0 \bar{B}_0) \\ &= A_1 \bar{B}_1 + A_1 A_0 \bar{B}_0 + A_0 \bar{B}_1 \bar{B}_0 \end{aligned}$$

根据上述表达式, 可用三个 3 输入端与门和一个或门实现语句“ $A > B$ ”, 如图题解 4.4.29 所示。

所以,可用五个 2 输入端或门和一个五输入端与门实现 $A > B$,如图题解 4.4.30(b)所示。



图题解 4.4.30

4.4.31 试设计一个八位相同数值比较器,当两数相等时,输出 $L=1$,否则 $L=0$ 。

解: 8 位相同数值比较要求对应的两位数相等。首先设计两个 1 位二进制数相等的比较器,设两个一位二进制数为 A_i 、 B_i ,输出为 L_i ,则列出 1 位二进制相等时的真值表,如表题解 4.4.31。

表题解 4.4.31

A_i	B_i	L_i
0	0	1
0	1	0
1	0	0
1	1	1

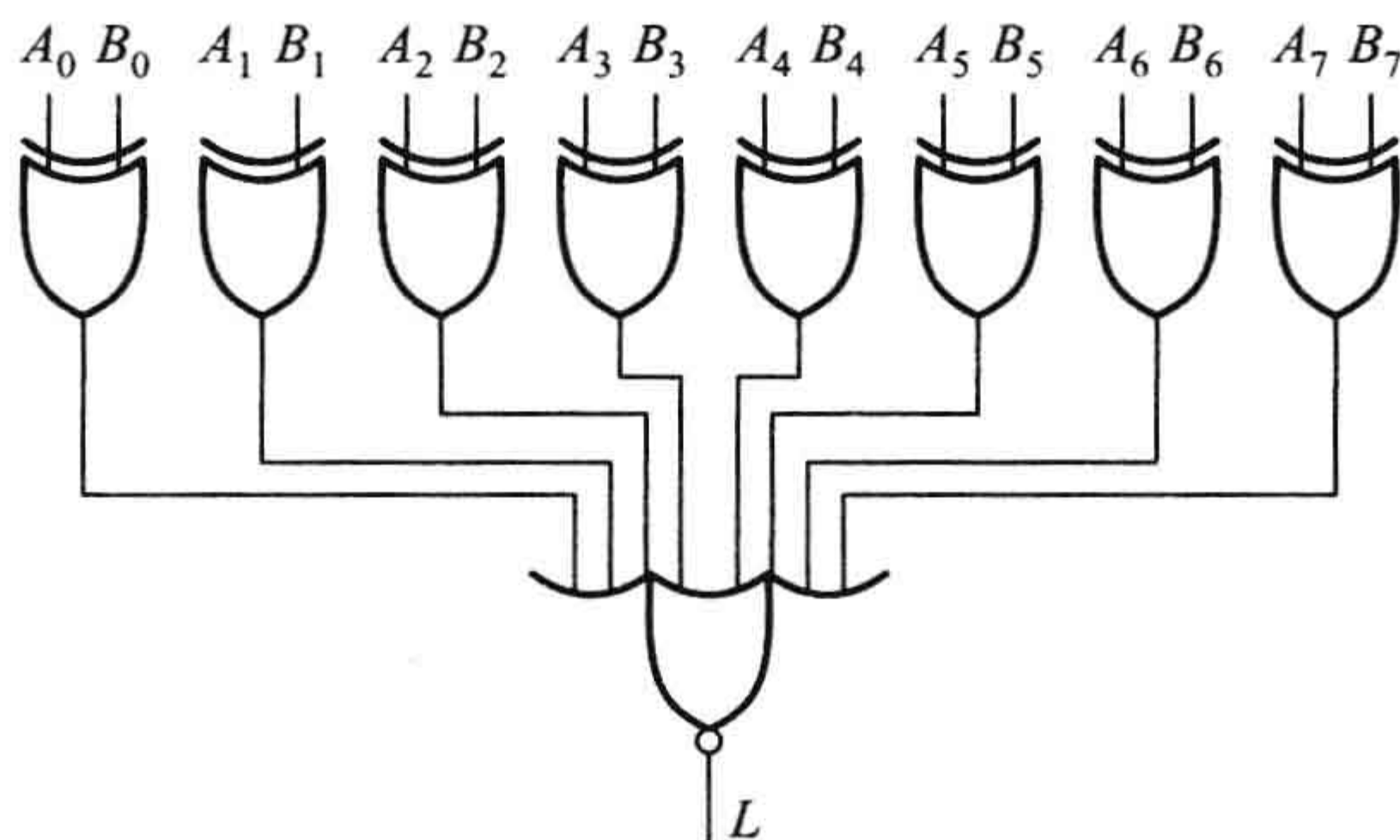
由真值表写出逻辑表达式

$$L_i = \overline{A_i} \overline{B_i} + A_i B_i = \overline{A_i \oplus B_i} \quad (i=0 \sim 7)$$

如果比较两个 8 位二进制数相等,则它们对应的每 1 位应相等。设 8 位比较器的输出为 L ,则

$$\begin{aligned}
 L &= L_0 \cdot L_1 \cdot L_2 \cdot L_3 \cdot L_4 \cdot L_5 \cdot L_6 \cdot L_7 \\
 &= \overline{A_0 \oplus B_0} \cdot \overline{A_1 \oplus B_1} \cdot \overline{A_2 \oplus B_2} \cdot \overline{A_3 \oplus B_3} \cdot \overline{A_4 \oplus B_4} \cdot \overline{A_5 \oplus B_5} \cdot \overline{A_6 \oplus B_6} \cdot \overline{A_7 \oplus B_7} \\
 &= \overline{A_0 \oplus B_0 + A_1 \oplus B_1 + A_2 \oplus B_2 + A_3 \oplus B_3 + A_4 \oplus B_4 + A_5 \oplus B_5 + A_6 \oplus B_6 + A_7 \oplus B_7}
 \end{aligned}$$

由逻辑表达式可得逻辑图如图题解 4.4.31 所示。



图题解 4.4.31

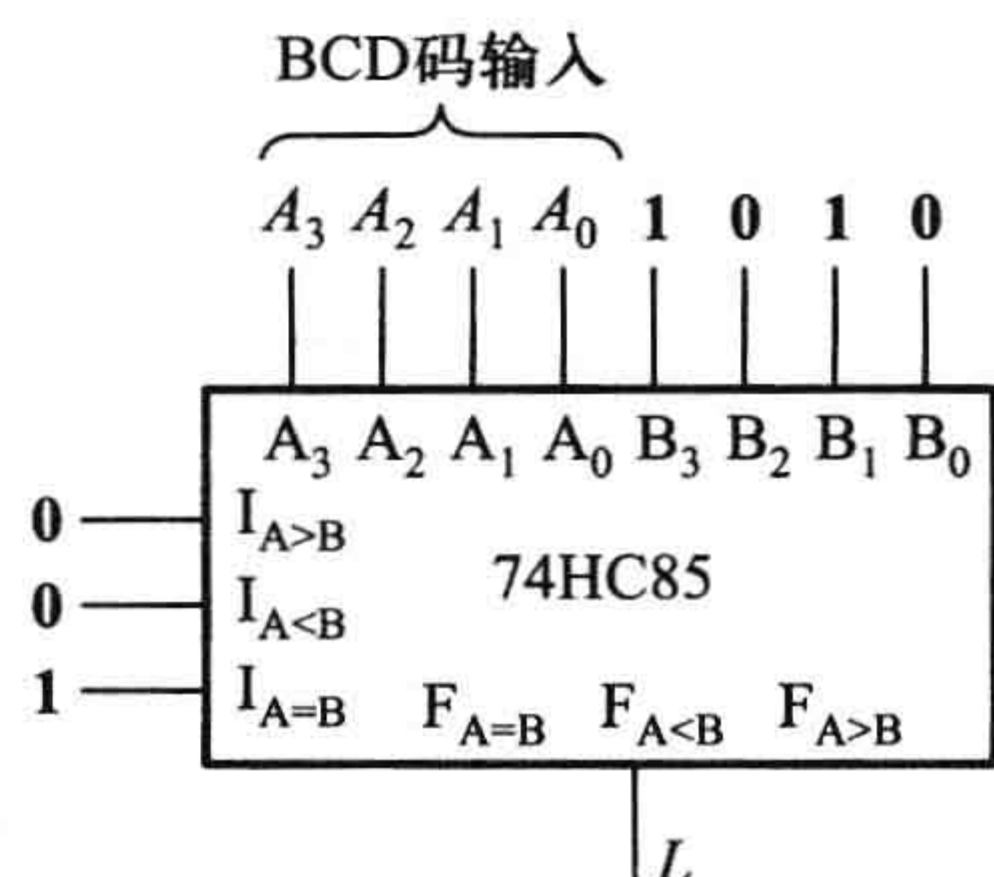
4.4.32 试用数值比较器 74HC85 设计一个 8421BCD 码有效性测试电路,当输入为

8421BCD 码时,输出为 **1**,否则为 **0**。

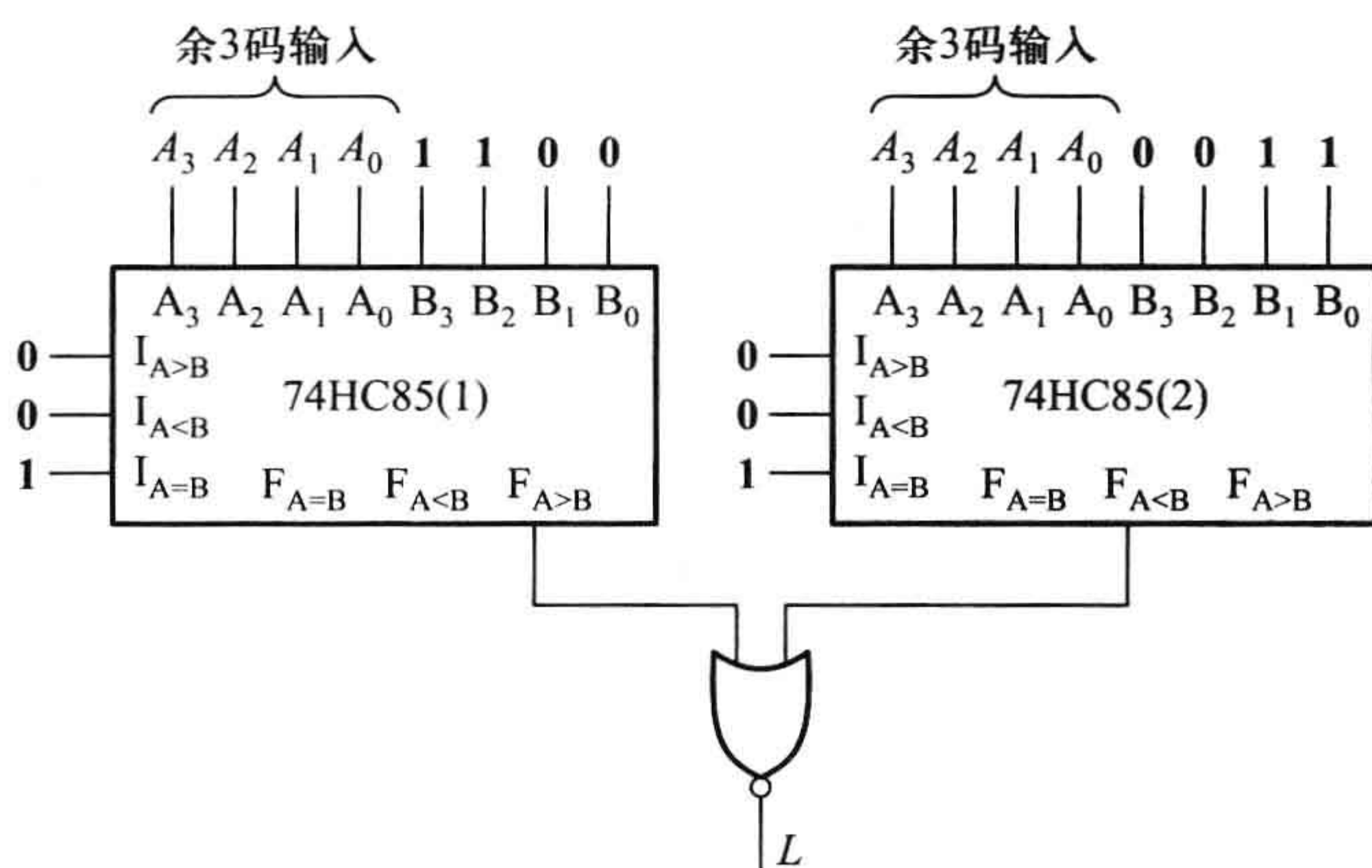
解:BCD 码的范围是从 **0000** 到 **1001**,即所有有效的 BCD 码均小于 **1010**。用 74HC85 构成的测试电路如图题解 4.4.32 所示,当输入的 8421BCD 码小于 **1010** 时, $F_{A<B}$ 输出为 **1**,否则为 **0**。

4.4.33 试用数值比较器 74HC85 和必要的逻辑门设计一个余 3 码有效性测试电路,当输入为余 3 码时,输出为 **1**,否则为 **0**。

解:余 3 码的范围是从 **0011** 到 **1100**。因此,需要两片 74HC85 和一个或非门构成测试电路,如图题解 4.4.33 所示,当输入数码在 **0011** 到 **1100** 范围内,片(1)的 $F_{A>B}$ 和片(2)的 $F_{A<B}$ 均为 **0**,或非门的输出 L 为 **1**;超出此范围 L 为 **0**,



图题解 4.4.32



图题解 4.4.33

4.4.34 试用反相器、与门和或门设计 1 位二进制全加器。

解:1 位全加器的真值表,如表题解 4.4.34 所示。为了求出 S 和 C_o 的逻辑表达式,首先分别画出 S 和 C_o 的卡诺图,如图题解 4.4.34(a) 所示。化简得

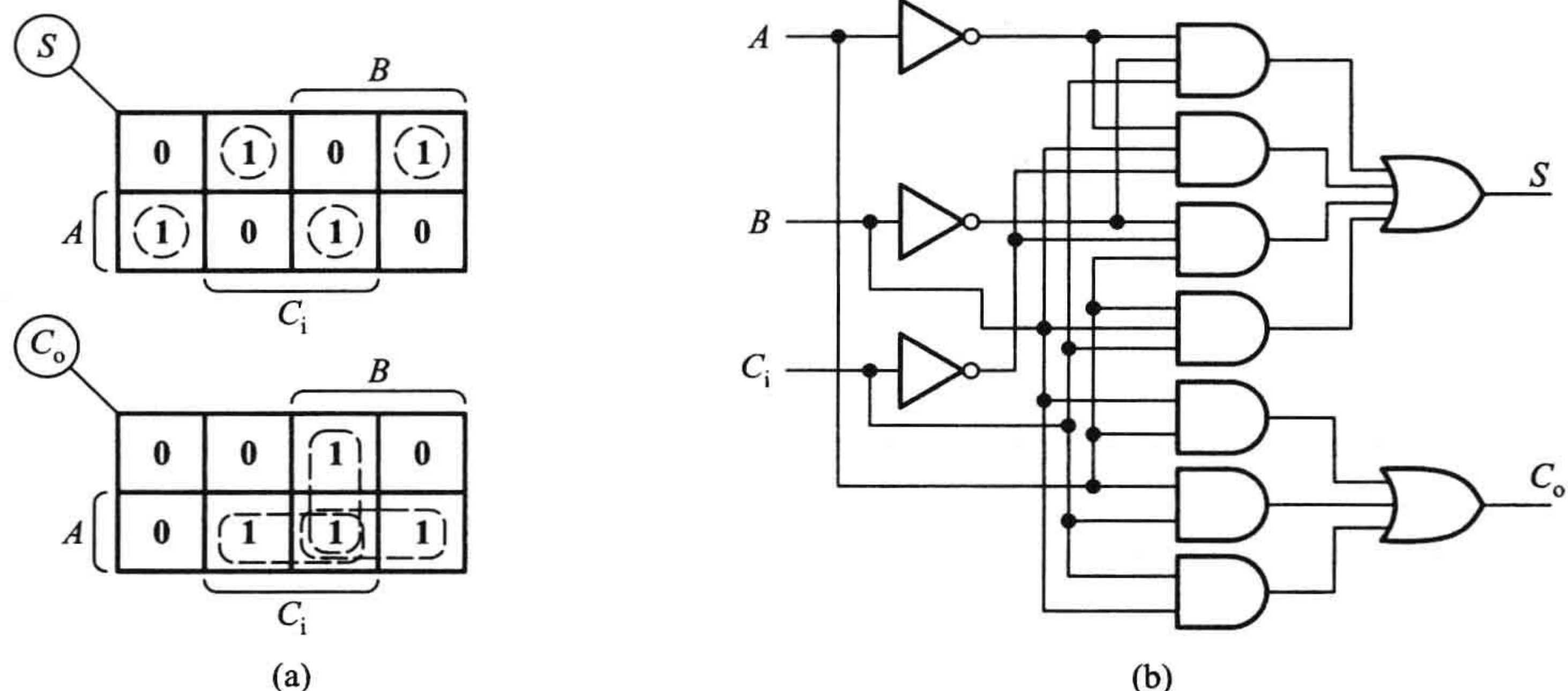
$$S = \bar{A}\bar{B}C_i + \bar{A}B\bar{C}_i + A\bar{B}\bar{C}_i + ABC_i$$

$$C_o = AB + AC_i + BC_i$$

根据上述表达式,可以画出一位全加器的逻辑图,如图题解 4.4.34(b) 所示。

表题解 4.4.34

A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



图题解 4.4.34

4.4.35 试用 8 选 1 数据选择器 74HC151, 实现 1 位二进制全加器。

解: 全加器的真值表如表题解 4.4.34 所示。根据真值表写出用最小项表示的 S 和 C_i 的逻辑表达式,

$$S = \overline{A} \overline{B} C_i + \overline{A} B \overline{C}_i + A \overline{B} \overline{C}_i + ABC_i = m_1 + m_2 + m_4 + m_7$$

$$C_{oi} = \overline{A} B C_i + A \overline{B} C_i + AB \overline{C}_i + ABC_i = m_3 + m_5 + m_6 + m_7$$

根据上述表达式, 选用两片 8 选 1 数据选择器 74HC151 实现的全加器, 片(0)实现 S 表达式, 其中

$$D_1 = D_2 = D_4 = D_7 = 1 \quad D_0 = D_3 = D_5 = D_6 = 0$$

片(1)实现 C₀ 表达式, 其中

$$D_3 = D_5 = D_6 = D_7 = 1 \quad D_0 = D_1 = D_2 = D_4 = 0$$

逻辑电路如图题解 4.4.35 所示。

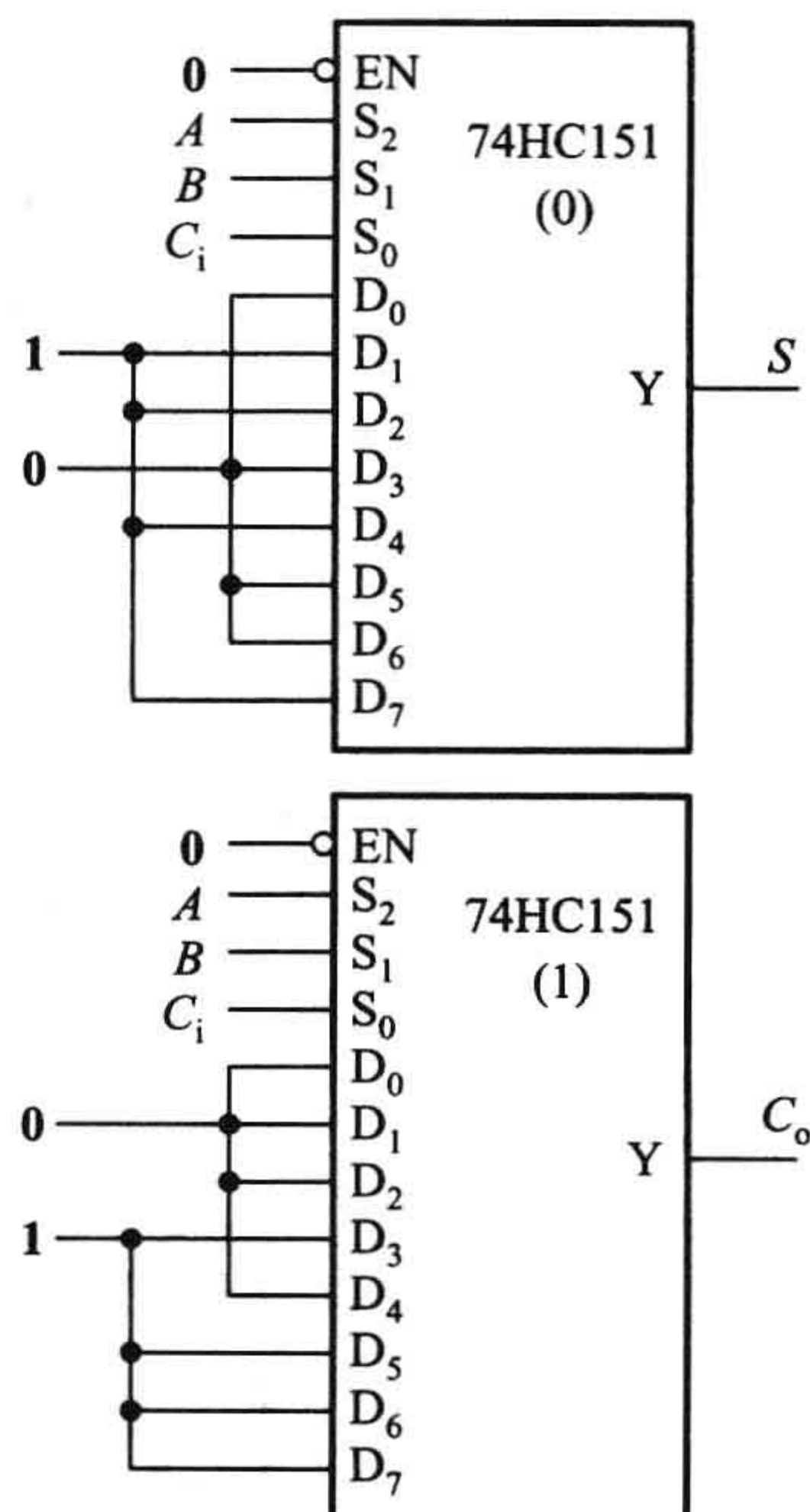
4.4.36 仿照半加器和全加器的设计方法, 试设计一半减器和一全减器, 所用的门电路由自己选定。

解: 半减器只考虑向高位借位, 而全减器不仅考虑向高位的借位, 而且要考虑来自低位的借位。按照组合逻辑电路的设计方法, 首先设计 1 位二进制半减器。

(1) 设 A、B 分别为被减数和减数, D 和 V 分别为差值和向高位的借位。列写半减器真值表如表题解 4.4.36(a) 所示, 由于真值表比较简单, 可直接写出输出的逻辑表达式

$$D = \overline{A} B + A \overline{B} = A \oplus B$$

$$V = \overline{A} B$$



图题解 4.4.35

用反相器、异或门和与门实现半减器的逻辑电路如图题解 4.4.36(a) 所示。

表题解 4.4.36(a)

被减数 A	减数 B	差 D	向高位的错位 V
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

(2) 设 A 、 B 分别为被减数和减数, C 为来自低位的借位, D 和 V 分别为差值和向高位的借位。列写 1 位二进制全减器真值表如表题解 4.4.36(b) 所示, 根据真值表写出 D 和 V 逻辑表达式

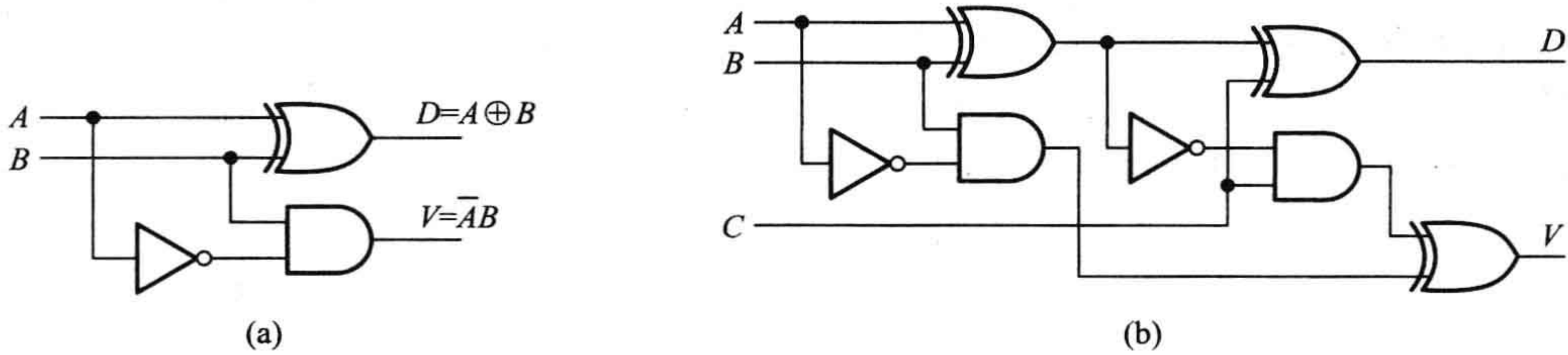
表题解 4.4.36(b)

被减数 A	减数 B	来自低位借位 C	差 D	向高位的错位 V
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$D = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC = \overline{A}(B \oplus C) + A\overline{B \oplus C} = A \oplus B \oplus C$$

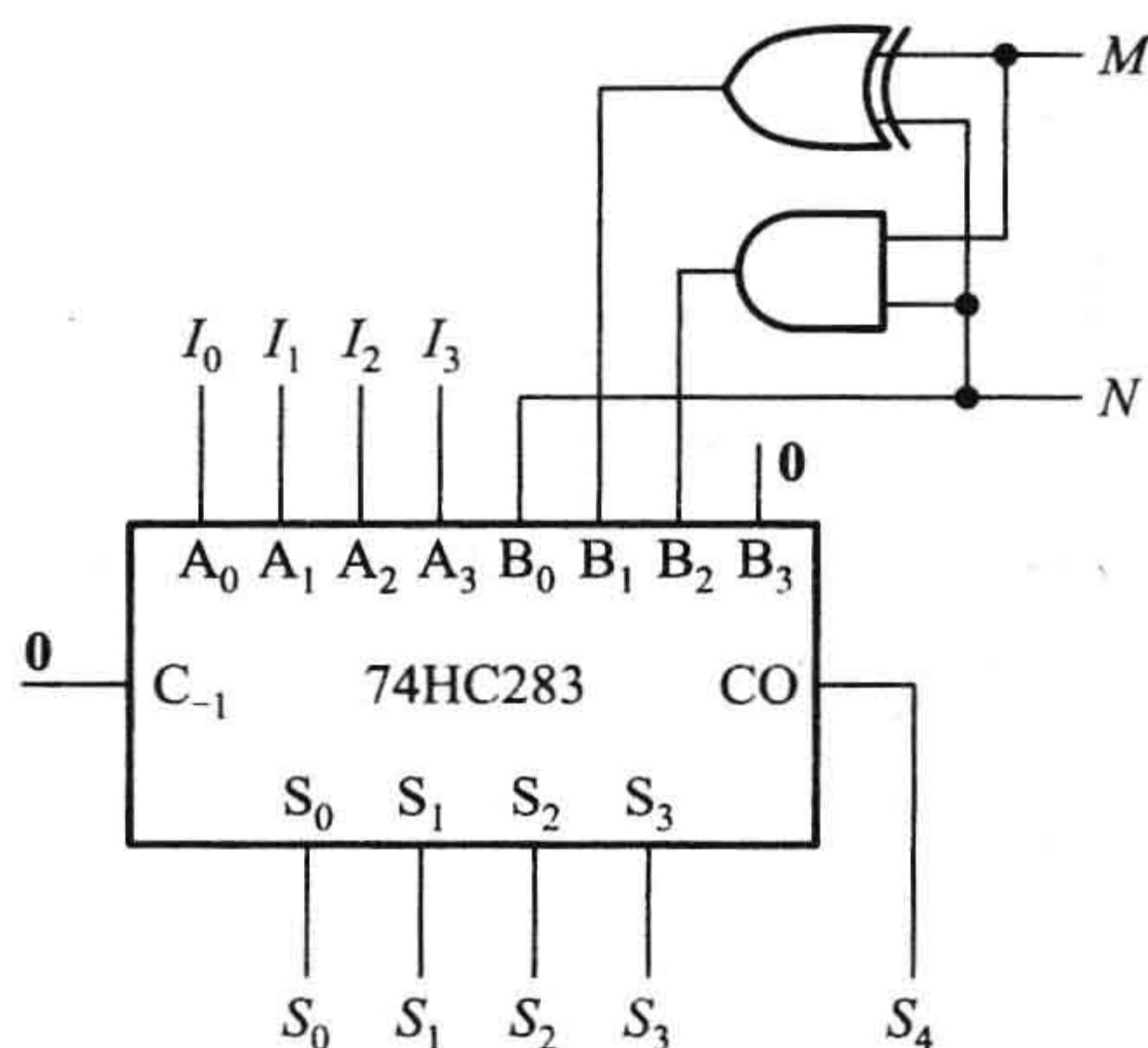
$$V = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC = \overline{A}B(\overline{C} + C) + (\overline{A}\overline{B} + AB)C = \overline{A}B + A \oplus B \cdot C$$

用反相器、异或门、与门和或门实现全减器, 如图题解 4.4.36(b) 所示。全减器是由两个半减器和一个或门实现。



图题解 4.4.36

4.4.37 由4位数加法器74HC283构成的逻辑电路如图题4.4.37所示, M 和 N 为控制端, 试分析该电路的功能。



图题 4.4.37

解: 分析图题 4.4.37 所示电路, 根据 MN 的不同取值, 确定加法器 74HC283 的输入端 $B_3B_2B_1B_0$ 的值。当 $MN=00$ 时, 加法器 74HC283 的输入端 $B_3B_2B_1B_0=0000$, 则加法器的输出为 $S=I$ 。当 $MN=01$ 时, 输入端 $B_3B_2B_1B_0=0010$, 加法器的输出 $S=I+2$ 。同理, 可分析其他情况, 如表题解 4.4.37 所示。该电路为可控制的加法电路。

表题解 4.4.37

M	N	B_3	B_2	B_1	B_0	S
0	0	0	0	0	0	$I+0$
0	1	0	0	1	0	$I+2$
1	0	0	0	1	1	$I+3$
1	1	0	1	0	1	$I+5$

4.4.38 逻辑电路如图题 4.4.38 所示, 试分析该电路的功能。

解: 分析图题 4.4.38 电路可知, 比较器 74HC85 的输出 $F_{A>B}$ 有 0 和 1 两种可能。因此, 加法器 74HC283 的输入有两种情况。

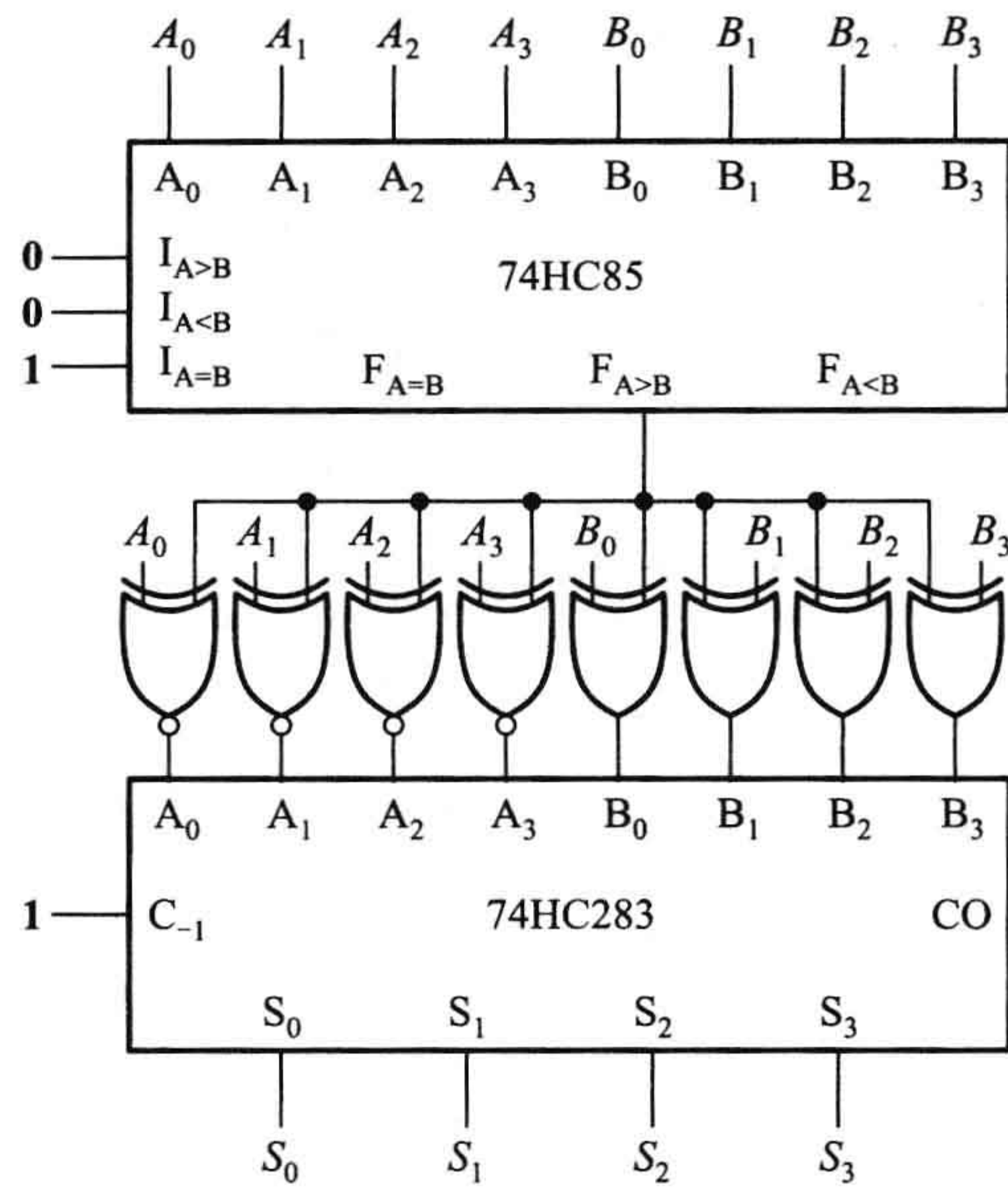
当 $A>B$ 时, $F_{A>B}=1$, 则加法器的输入为 $A \odot 1 = \bar{A}$ 、 $B \oplus 1 = \bar{B}$, 其输出为 $S = A + \bar{B} + 1 = A - B$ 。

当 $A < B$ 时, $F_{A>B}=0$, 则加法器的输入为 $A \odot 0 = A$ 、 $B \oplus 0 = B$, 其输出为 $S = A + B + 1 = B - A$ 。

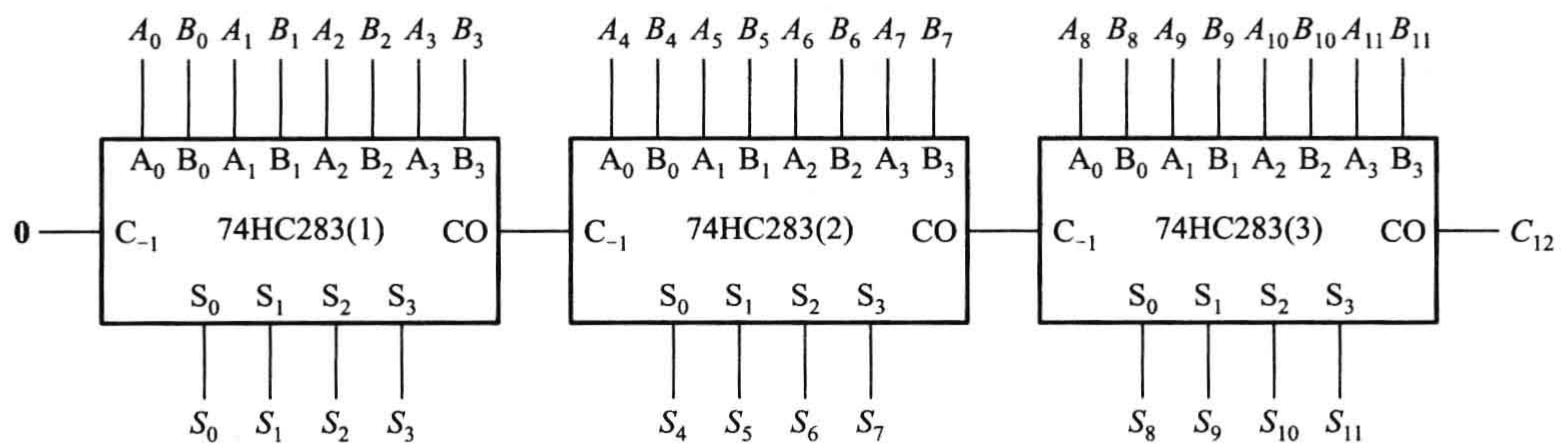
该电路实现减法功能。

4.4.39 试用若干片 74HC283 构成一个 12 位二进制加法器, 画出连接图。此加法器能否用来构成超前进位的级连方式, 为什么?

解: 构成一个 12 位二进制加法器, 需要 3 片 74HC283, 以串行进位的方法连接, 如图题解 4.4.39 所示。由于 74HC283 没有超前进位输出端 P 、 G 信号输出, 因此, 不能用来构成超前进位的级连方式。



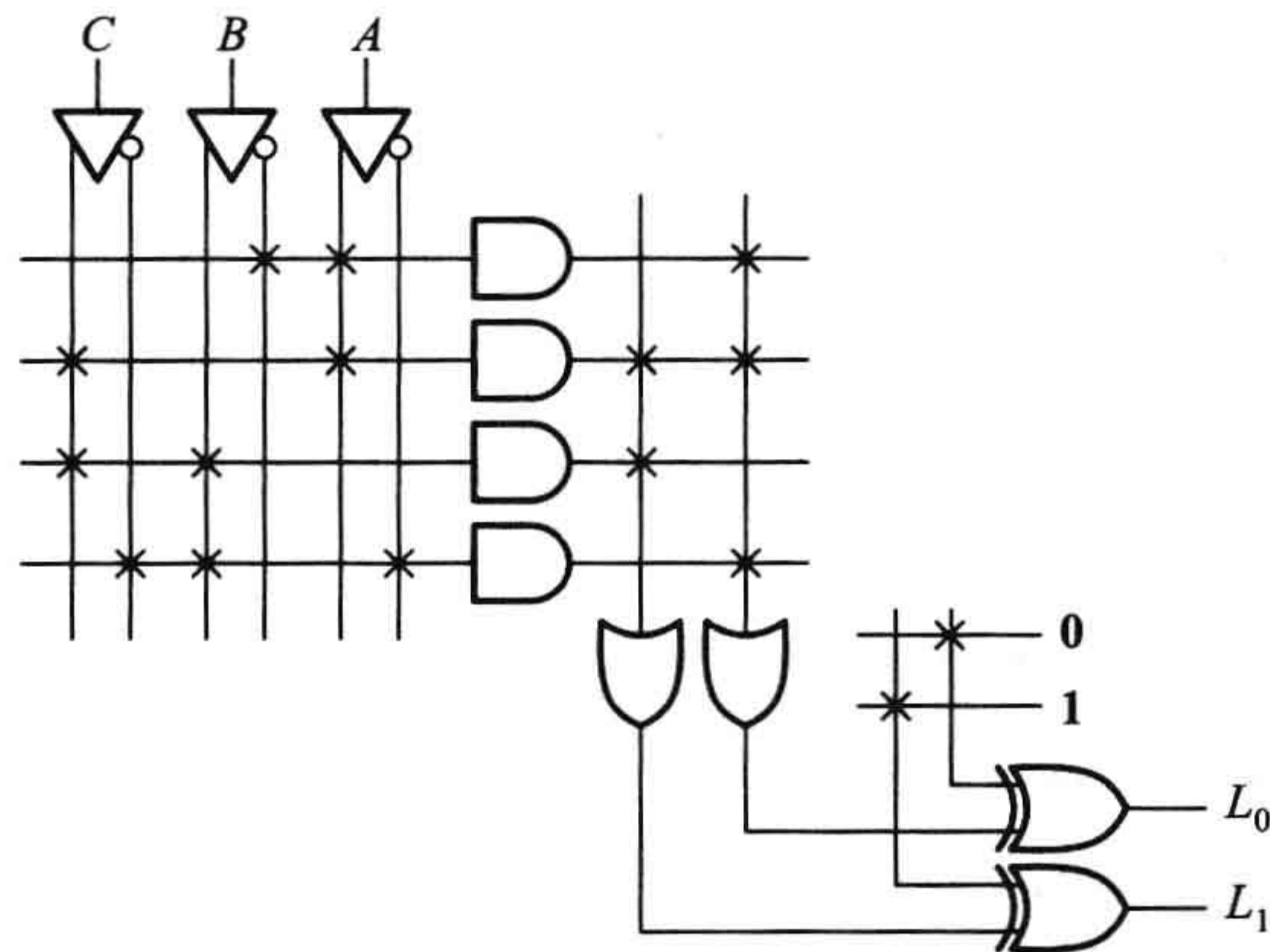
图题 4.4.38



图题解 4.4.39

4.5 组合可编程逻辑器件

4.5.1 一个可编程逻辑阵列 PLA 电路如图题 4.5.1 所示。试写出输出逻辑函数表达式。



图题 4.5.1

解:根据图题 4.5.1 所示 PLA 电路图,首先写出与阵列表示的各个与项,然后或阵列的两个或门将相应的与项相加,最后经过两个异或门得到输出

$$L_0 = (A \bar{B} + AC + \bar{A}B \bar{C}) \oplus 0 = A \bar{B} + AC + \bar{A}B \bar{C}$$

$$L_1 = (AC + BC) \oplus 1 = \overline{AC + BC}$$

4.5.2 试用可编程逻辑阵列 PLA 实现下列逻辑函数,并考虑尽量减少乘积项数目。

$$L_0(A, B, C) = \sum m(0, 1, 2, 4)$$

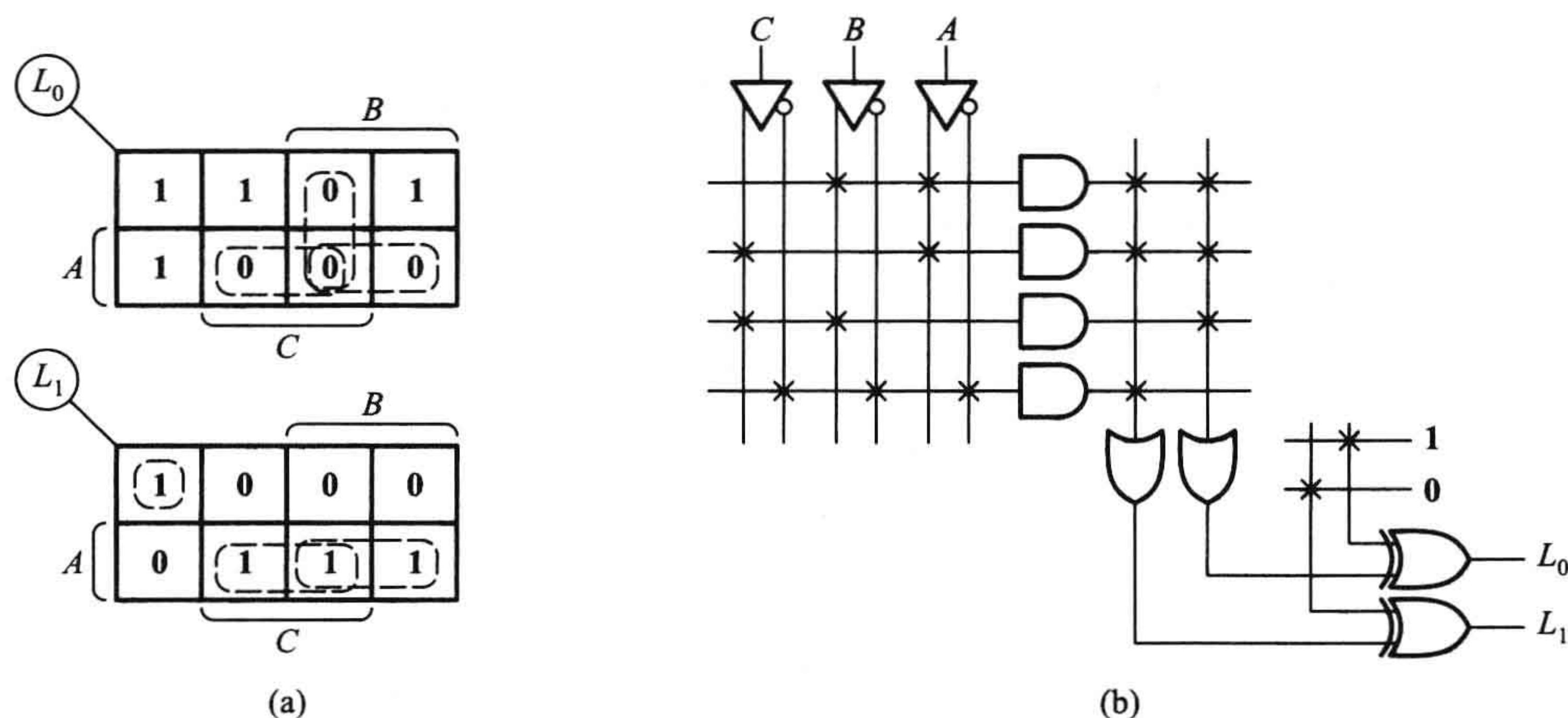
$$L_1(A, B, C) = \sum m(0, 5, 6, 7)$$

解:首先将逻辑函数化为最简与或式,画出逻辑函数的卡诺图,如图题解 4.5.2(a)所示。为减少乘积项数目,应使 L_0 和 L_1 有尽可能多的公共包围圈, L_0 采用包围 0 的方法进行化简得

$$L_0 = \overline{AB + AC + BC}$$

$$L_1 = AB + AC + \bar{A} \bar{B} \bar{C}$$

用与阵列实现上述表达式中的 4 个与项,或阵列的两个或门实现相应的与项相加,通过两个异或门输出得到 L_0 和 L_1 的 PLA 电路,如图题解 4.5.2(b)所示。



图题解 4.5.2

4.5.3 试用图 4.5.10 所示的可编程阵列逻辑 PAL,实现表题 4.5.3 所示真值表给出的逻辑关系。

表题 4.5.3

A	B	C	L_1	L_2	L_3	L_4
0	0	0	0	1	0	0
0	0	1	1	1	1	1
0	1	0	1	0	1	1
0	1	1	0	1	0	1
1	0	0	1	0	1	0

续表

A	B	C	L_1	L_2	L_3	L_4
1	0	1	0	0	0	1
1	1	0	1	1	1	0
1	1	1	0	1	1	1

解:用卡诺图进行多个逻辑函数的化简时,应使公共包围圈尽可能多。根据题解 4.5.3(a) 所示卡诺图化简得各逻辑表达式如下。由于图 4.5.10 所示 PAL 的每个与阵列只能实现 3 个乘积项,所以 L_3 的化简需借助于 L_1 的乘积项,得

$$L_1 = B\bar{C} + A\bar{C} + \bar{A}BC$$

$$L_2 = \bar{A}\bar{B} + AB + BC$$

$$L_3 = B\bar{C} + A\bar{C} + \bar{A}BC + ABC = L_1 + ABC$$

$$L_4 = C + \bar{A}B$$

根据图 4.5.10 所示的 PAL 实现的上述逻辑函数如图题解 4.5.3(b) 所示,将 L_1 的输出反馈到与阵列,作为 L_3 的一个与项,即可实现 L_3 的 4 个与项相或的要求。

4.5.4 试用图 4.5.10 所示的可编程阵列逻辑 PAL,实现码转换电路,输入为 4 位 8421BCD 码,输出为余 3 码。

解:8421BCD 码与余 3 码的关系如表题解 4.5.4 所示,并用卡诺图进行化简如图题解 4.5.4(a) 所示,得到各输出的表达式

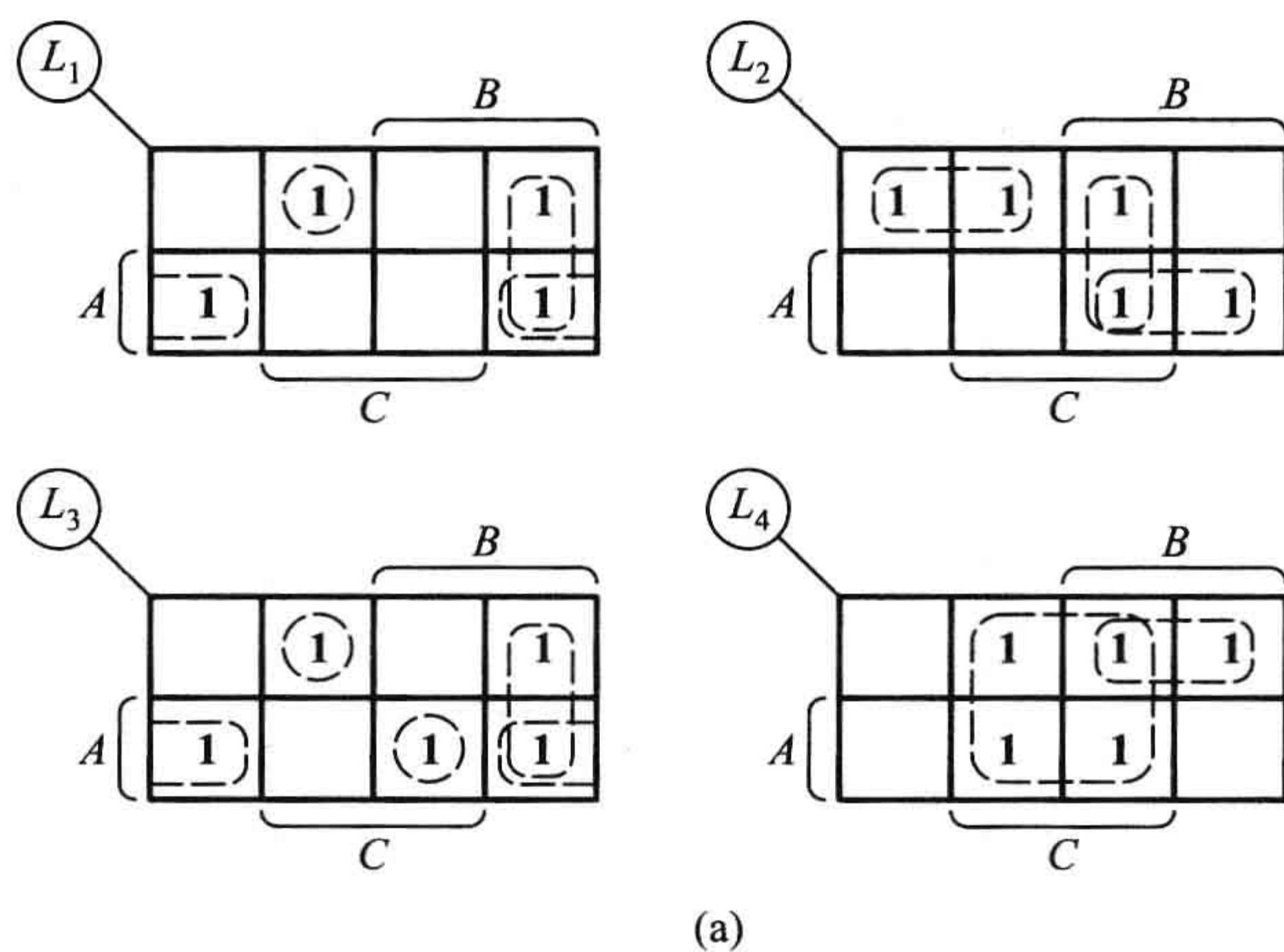
$$W = A + BC + BD$$

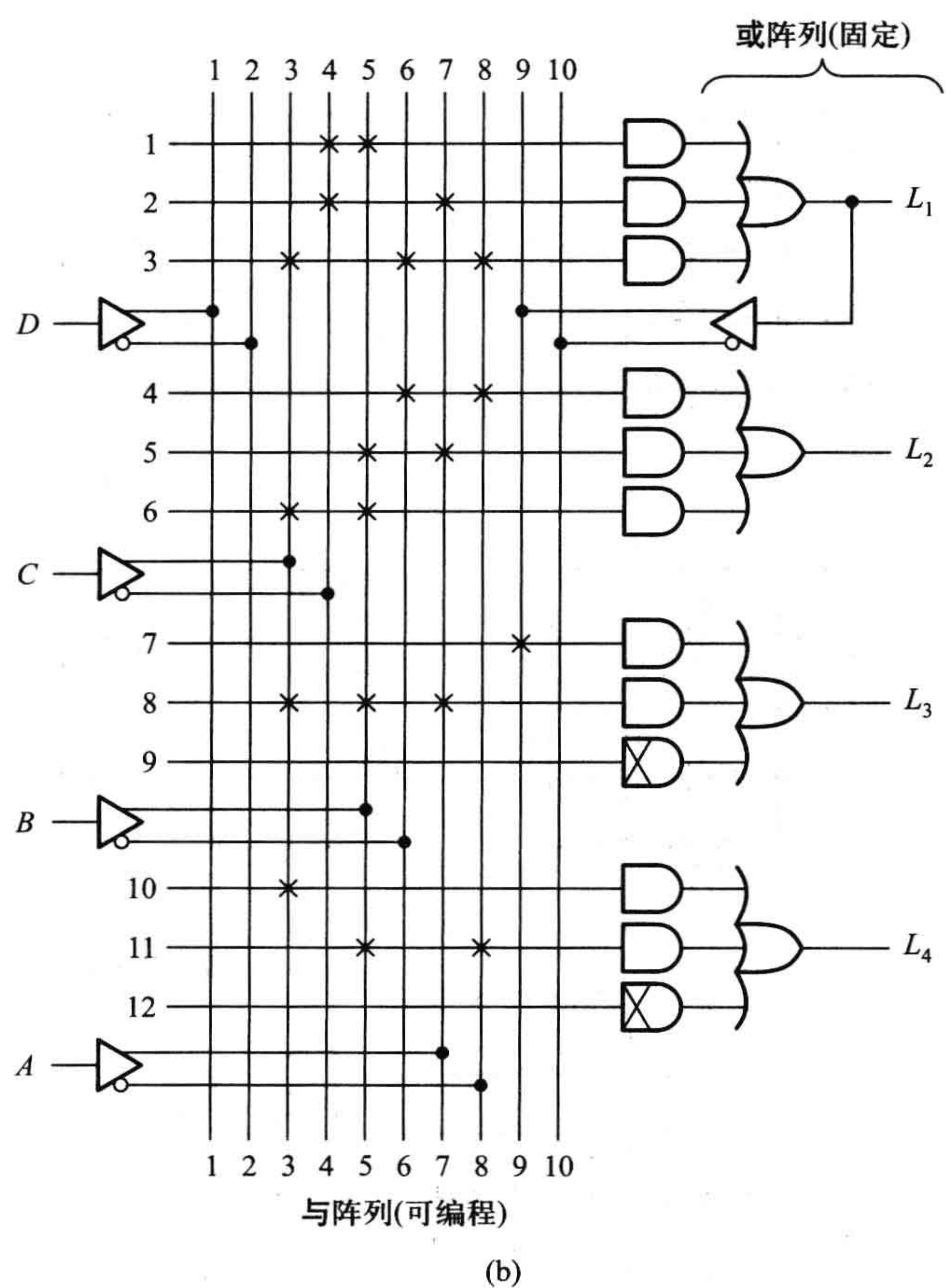
$$X = \bar{B}C + \bar{B}D + B\bar{C}\bar{D}$$

$$Y = CD + \bar{C}\bar{D}$$

$$Z = \bar{D}$$

上述逻辑表达式的与项均在 3 个以内,所以,可以直接用 4 个与或阵列分别实现上述 4 个逻辑表达式,图题解 4.5.4(b) 所示。

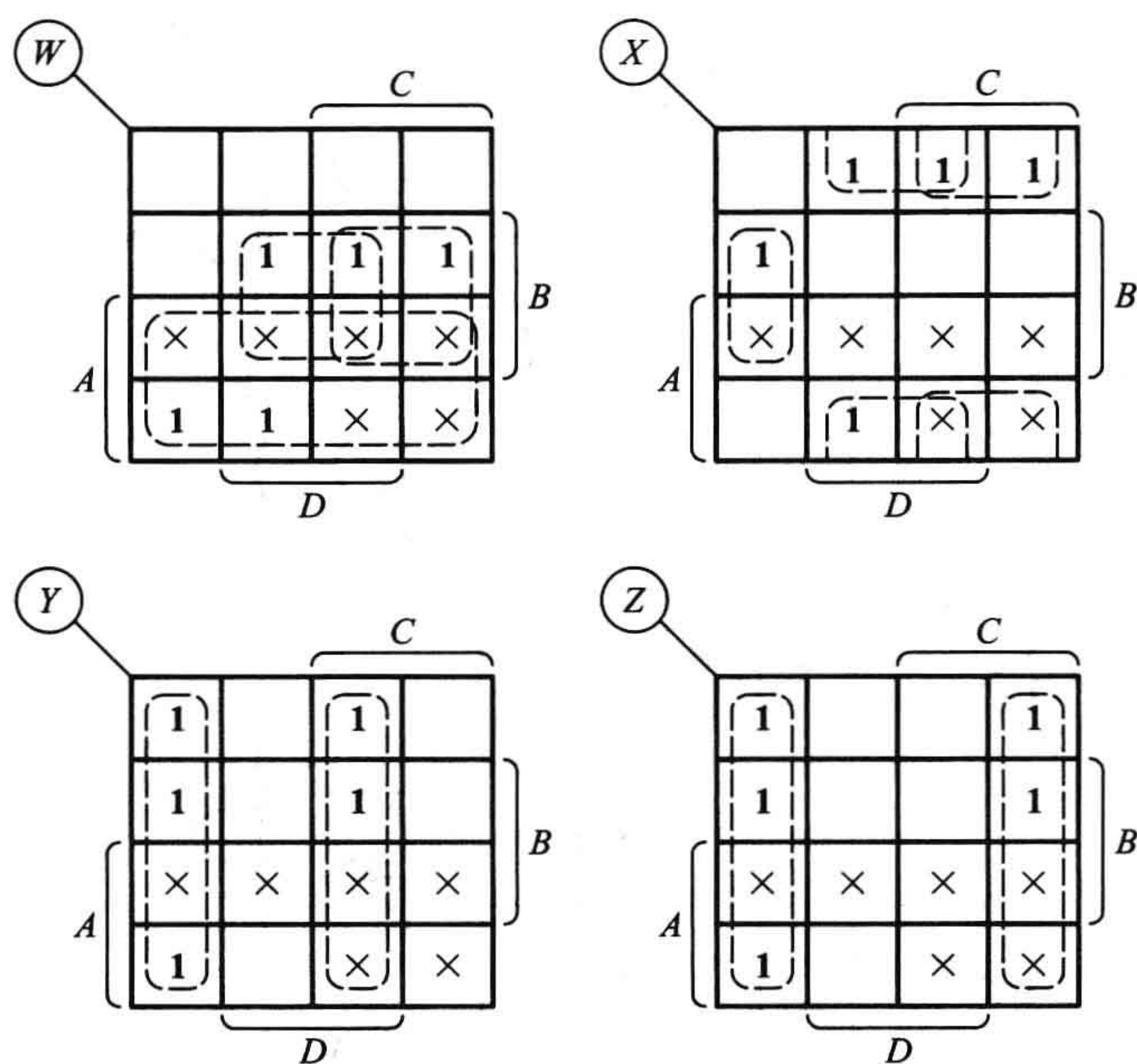




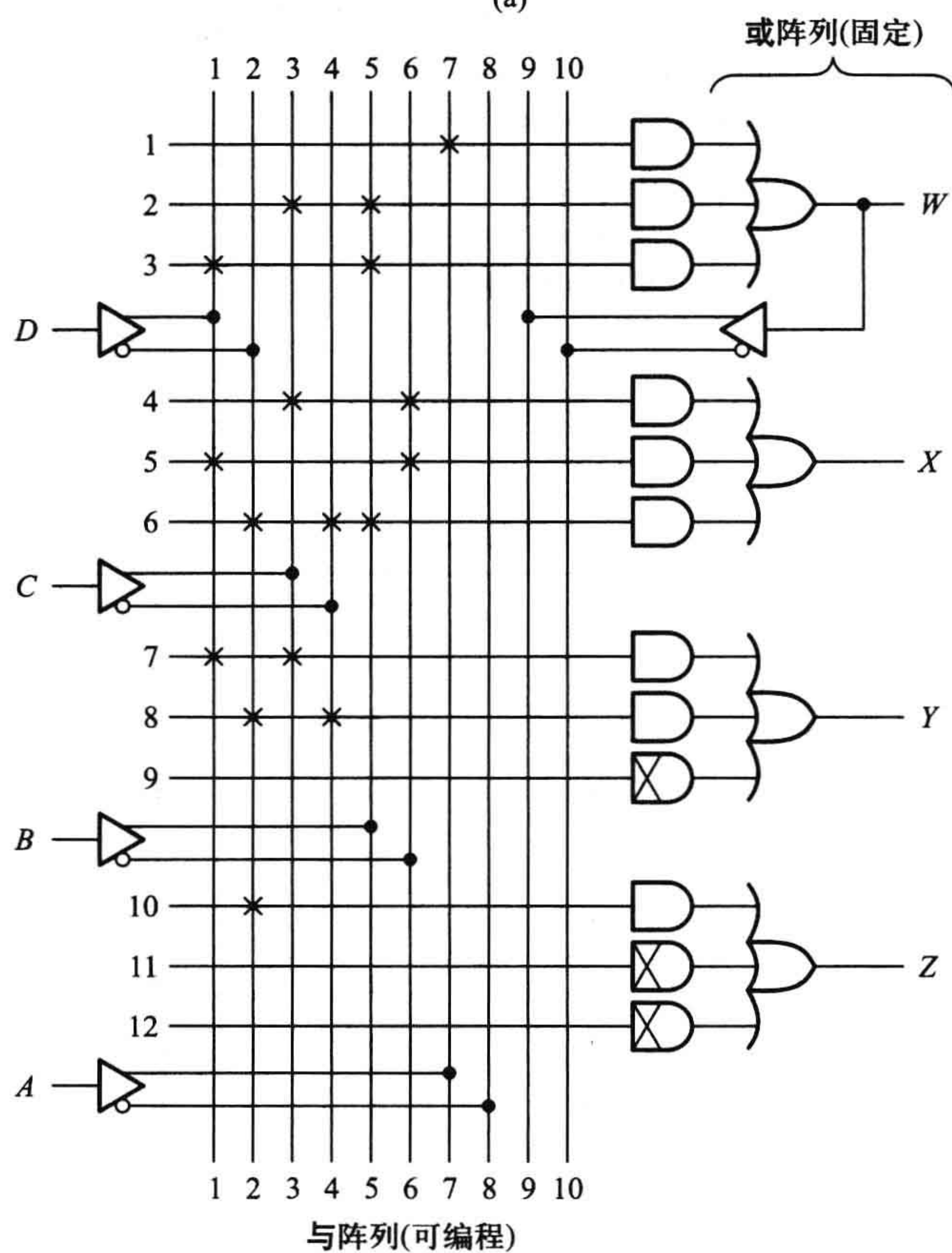
图题解 4.5.3

表题解 4.5.4

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>W</i>	<i>X</i>	<i>Y</i>	<i>Z</i>
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0



(a)



(b)

图题解 4.5.4

4.6 用 Verilog HDL 描述组合逻辑电路

4.6.1 试根据图 4.4.3 所示的逻辑图,写出 8421BCD 码编码器的 Verilog 门级描述。

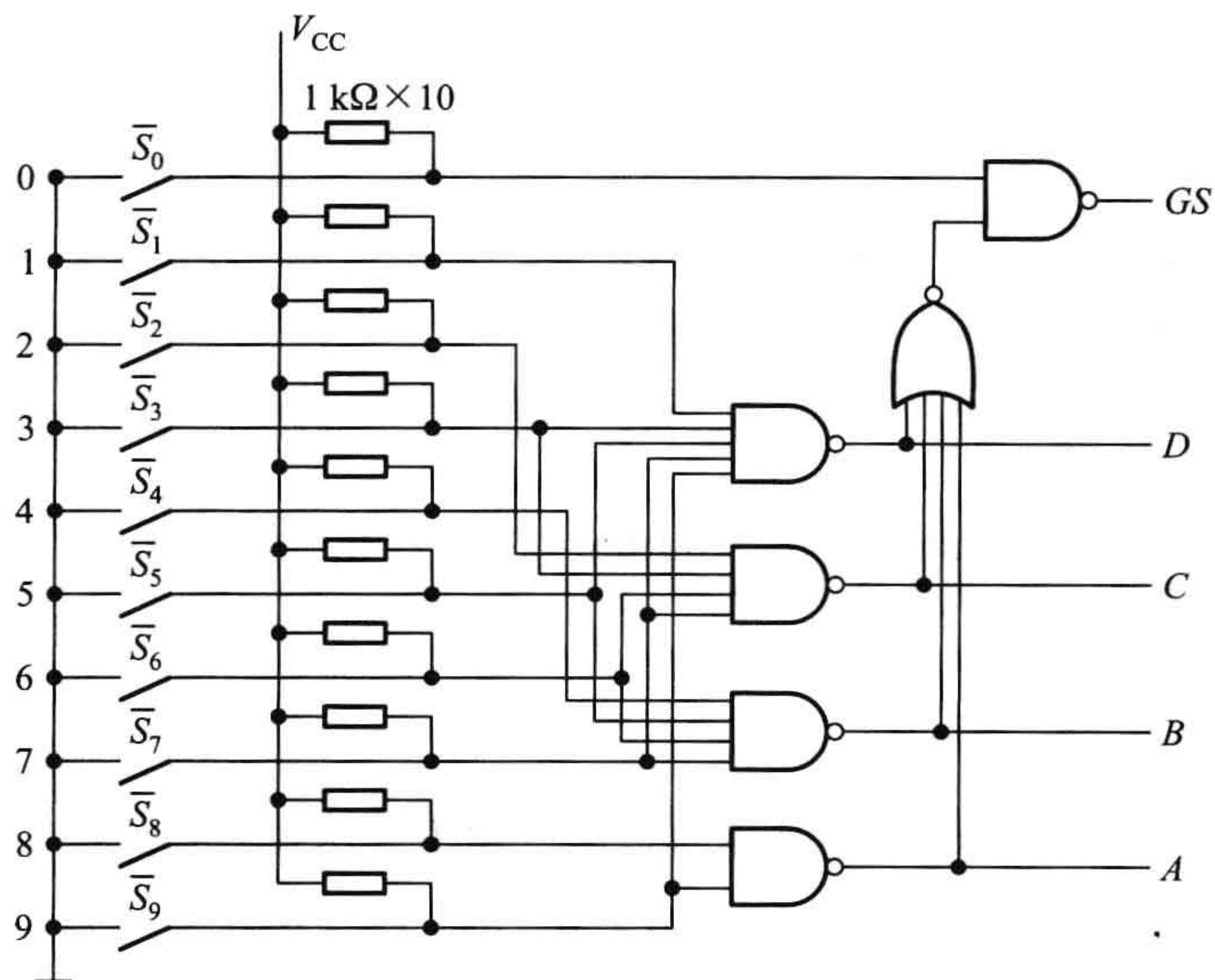


图 4.4.3 用十个按键和门电路组成的 8421BCD 码编码器

解:8421BCD 码编码器的 Verilog HDL 门级描述如下:

```
module _8421encoder (S,D,C,B,A,GS);
```

```
    input [9:0]S;
```

```
    output GS,D,C,B,A;
```

```
    wire GS1;
```

```
    nand
```

```
        a1(A,S8,S9),
```

```
        a2(B,S4,S5,S6,S7),
```

```
        a3(C,S2,S3,S6,S7),
```

```
        a4(D,S1,S3,S5,S7,S9);
```

```
    nor(GS1,A,B,C,D);
```

```
    nand(GS,GS1,S0);
```

```
endmodule
```

4.6.2 根据下面的 Verilog 描述,画出数字电路的逻辑图,写出逻辑电路的输出表达式。

(1) module Circuit_A(AgtB,AltB,AeqB,A,B);

```
    input[1:0]A,B;
```

```
    output AgtB,AltB,AeqB;
```

```
    Wire:W1,W2,W3,W4,W5,W6,W7;
```

```
    nor(AgtB,AltB,AeqB);
```



```

or( AltB, w1, w2, w3 );
and( AeqB, w4, w5 ),
    ( w1, w6, B[1] ),
    ( w2, w6, w7, B[0] ),
    ( w3, w7, B[1], B[0] );
not( w6, A[1] ),
    ( w7, A[0] );
xnor( w4, A[1], B[1] );
xnor( w5, A[0], B[0] );
endmodule

```

```

(2) module Circuit_B(input A,B, output Y1,Y2);
    assign Y1 = A&B;
    or( Y2, A, B );
endmodule

```

解:(1) 逻辑图如图题解 4.6.2(a) 所示。电路的输出表达式分别为:

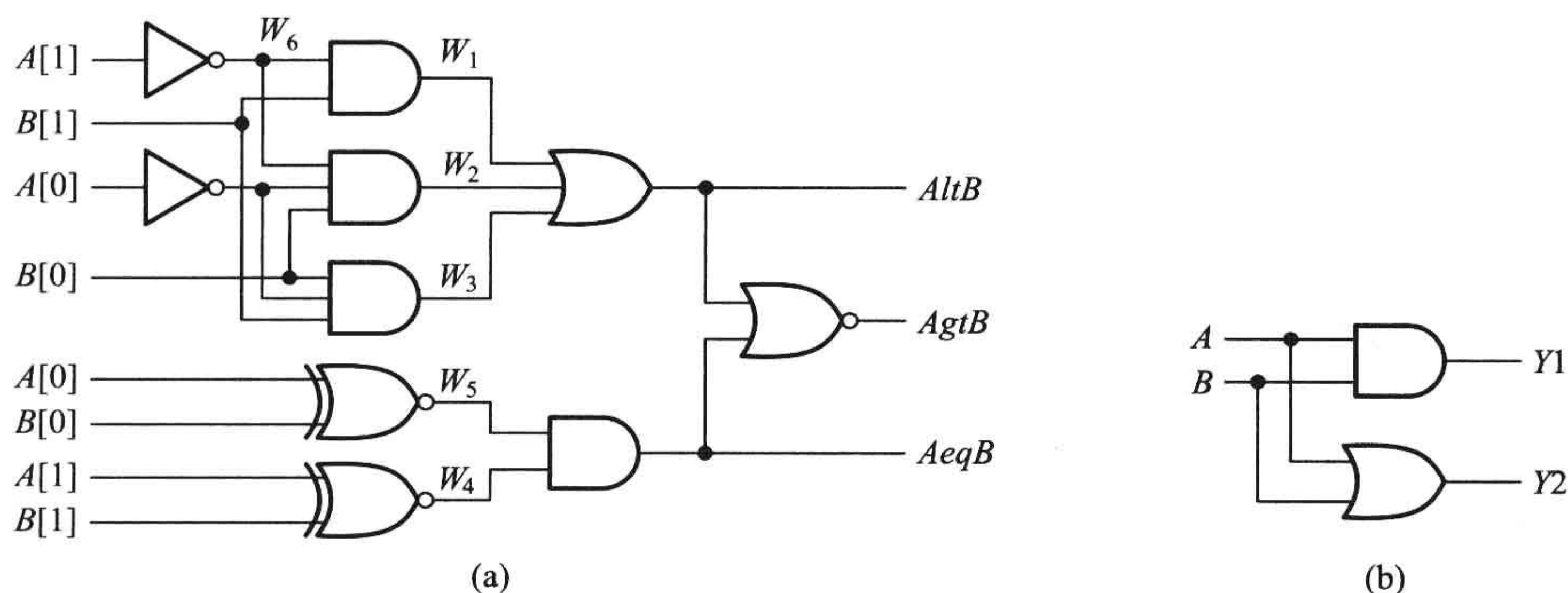
$$AltB = \overline{A[1]} \cdot B[1] + \overline{A[1]} \cdot \overline{A[0]} \cdot B[0] + \overline{A[0]} \cdot B[1] \cdot B[0]$$

$$AeqB = \overline{A[1] \oplus B[1]} \cdot \overline{A[0] \oplus B[0]}$$

$$AgtB = \overline{AltB + AeqB}$$

(2) 逻辑图如图题解 4.6.2(b) 所示。电路的输出表达式分别为:

$$Y1 = AB, Y2 = A + B$$



图题解 4.6.2

4.6.3 使用连续赋值语句,写出由下列逻辑函数定义的逻辑电路的 Verilog 描述。

$$L1 = (B+C)(\overline{A}+D)\overline{B}$$

$$L2 = (\overline{B}C + ABC + B\overline{C})(A+\overline{D})$$

$$L3 = C(AD+B) + \overline{A}B$$

解:使用连续赋值语句 Verilog HDL 描述如下:


```

module EX463(
    input A,B,C,D,
    output L1,L2,L3
);
    assign L1=(B|C)&(~A|D)&(~B);
    assign L2=(~B&C|A&B&C|B&(~C))&(A|(~D));
    assign L3=C&(A&D|B)|(~A&B);
endmodule

```

4.6.4 图 4.2.3 所示是一个码制变换器,将输入的格雷码转换成二进制码输出,试用 Verilog HDL 数据流方式描述该码制变换器。

解:将格雷码转换成二进制码的 Verilog HDL 数据流描述如下:

```

module Gray_Bin(B,G);
    input [3:0] G;
    output [3:0] B;
    wire [3:0] B;
    assign B[3]=G3;
    assign B[2]=G3^G2;
    assign B[1]=G3^G2^G1;
    assign B[0]=G3^G2^G1^G0;
endmodule

```

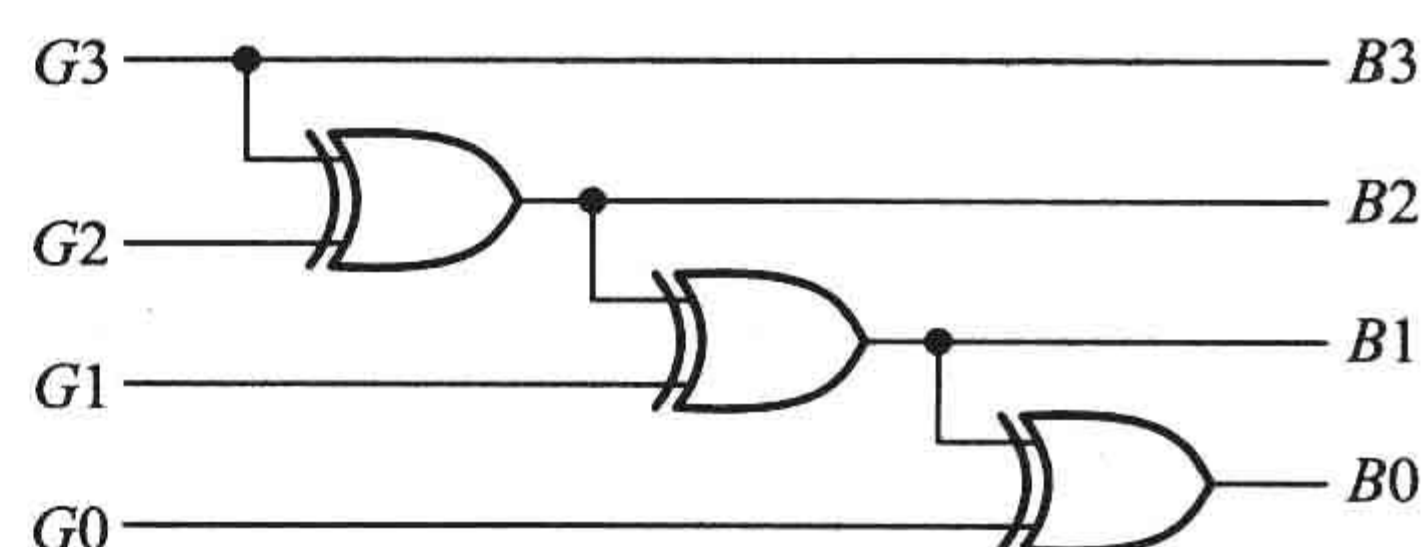


图 4.2.3 例 4.2.2 的逻辑图

4.6.5 根据功能表 4.4.2,写出 4 线-2 线优先编码器的行为级描述。

解:4 线-2 线优先编码器的行为级如下:

表 4.4.2 4 线-2 线优先编码器真值表

输 入				输 出	
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
x	1	0	0	0	1
x	x	1	0	1	0
x	x	x	1	1	1

```

module Encoder4to2_bh(Y,I);
    input [3:0] I;
    output reg [1:0] Y;
    always @(I)
    begin
        casex(I)
            4'b0001: Y=2'd0;

```



```

        4'b001x: Y = 2'd1;
        4'b01xx: Y = 2'd2;
        4'b1xxx: Y = 2'd3;
        default: Y = 2'd0;
    endcase
end
endmodule

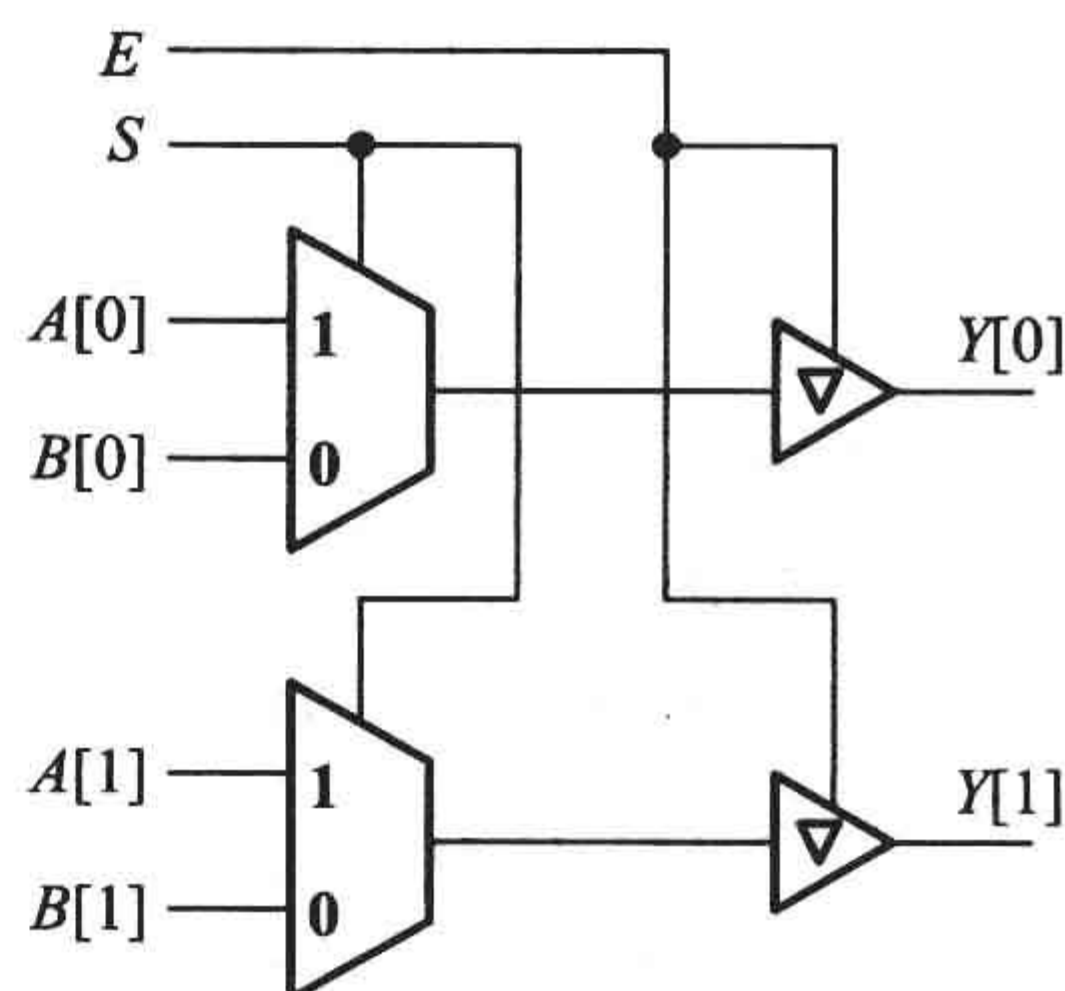
```

4.6.6 说明下列 Verilog 程序所描述电路的功能,并画出逻辑电路图。

```

module Circuit_A(
    input [1:0] A, B,
    input S, E,
    output [1:0] Y
);
    assign Y = E? (S? A: B): 'bz;
endmodule

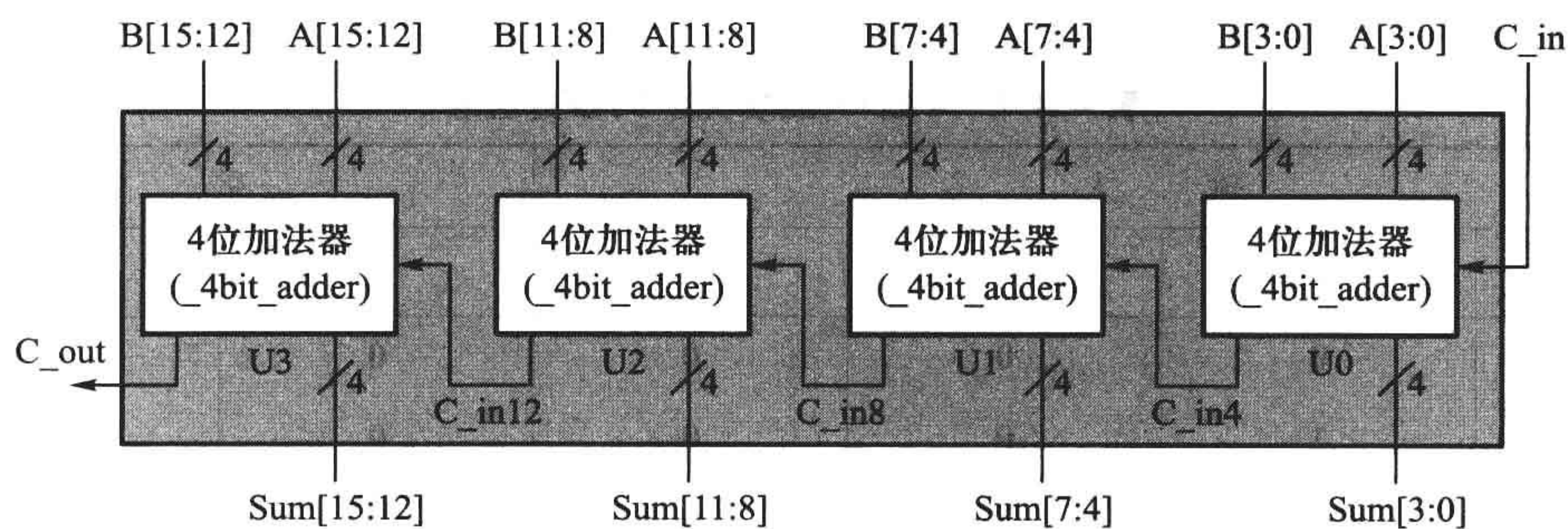
```



图题解 4.6.6

解:实现的功能是:两路带有三态门输出的 2 选 1 数据选择器。其逻辑电路图如图题解 4.6.6 所示。

4.6.7 一个 16 位的加法器的组成框图如图题 4.6.7 所示,它由 4 个 4 位的加法器级联而成,每个单元所产生的进位从最低位开始逐级传递至下一级的进位输入端。要求直接引用例 4.6.11 中的 4 位加法器模块 _4bit_adder 对 16 位加法器的行为进行描述,然后用 Quartus II 软件对整个电路进行逻辑功能仿真,并给出仿真波形。



图题 4.6.7

解:16 位加法器的完整代码如下:

//16 位全加器的描述

```

module _16bit_adder( Sum, C_out, A, B, C_in );
    input [15:0] A, B;
    input C_in;
    output [15:0] Sum;
    output C_out;

```



```

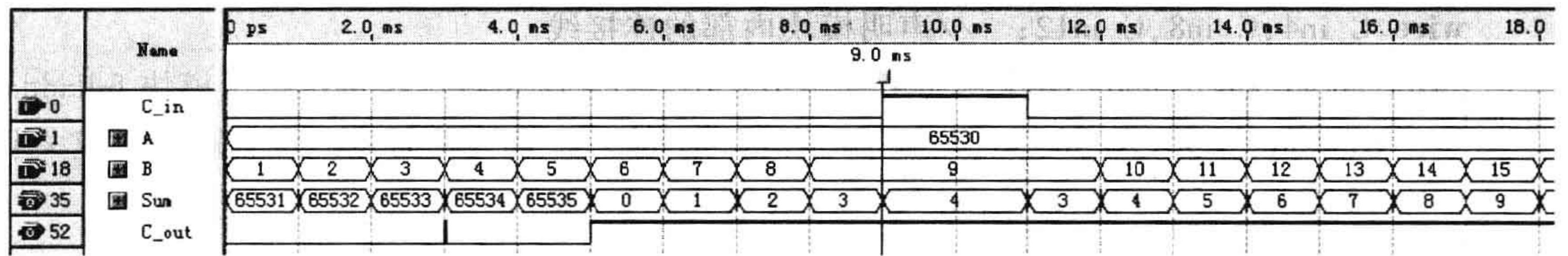
wire C_in4,C_in8,C_in12; //声明模块内部的连接线
_4bit_adder U0 (Sum[3:0],C_in4,A[3:0],B[3:0],C_in),//实例引用子模块 fulladder
    U1(Sum[7:4],C_in8,A[7:4],B[7:4],C_in4),//端口信号按照位置顺序对应关联
    U2(Sum[11:8],C_in12,A[11:8],B[11:8],C_in8),
    U3(Sum[15:12],C_out,A[15:12],B[15:12],C_in12);
endmodule
//四位全加器的描述(参考图 4.4.36)
module _4bit_adder(S,C3,A,B,C_1);
    input [3:0] A,B;
    input C_1;
    output [3:0] S;
    output C3;
    wire C0,C1,C2; //声明模块内部的连接线
    fulladder U0_FA(S[0],C0,A[0],B[0],C_1);//实例引用模块 fulladder
    fulladder U1_FA(S[1],C1,A[1],B[1],C0);//端口信号按照位置顺序对应关联
    fulladder U2_FA(S[2],C2,A[2],B[2],C1);
    fulladder U3_FA(S[3],C3,A[3],B[3],C2);
endmodule
//一位全加器的描述(参考图 4.4.35)
module fulladder (Sum,Co,A,B,Ci);
    input A,B,Ci;
    output Sum,Co;
    wire S1,D1,D2; //内部节点信号声明
    halfadder HA1(.B(B),.S(S1),.C(D1),.A(A)); //实例引用底层模块 halfadder
    halfadder HA2(.A(S1),.B(Ci),.S(Sum),.C(D2));//端口信号按照名称对应关联
    or g1(Co,D2,D1);
endmodule

//一位半加器的描述(参考图 4.4.33)
module halfadder(S,C,A,B);//IEEE 1364—1995 Syntax
    input A,B; //输入端口声明
    output S,C; //输出端口声明
    xor(S,A,B); //实例引用逻辑门原语
    and(C,A,B);
endmodule

```

仿真波形如图题解 4.6.7 所示,图中使用无符号十进制格式显示数值。

4.6.8 根据图 4.4.5 所示的逻辑图,使用分模块、分层次设计方法,对 16 线-4 线优先编码器的行为进行描述。要求如下:



图题解 4.6.7

(1) 首先根据 8 线-3 线优先编码器 CD4532 的功能表, 写出该编码器的行为级描述, 并用 Quartus II 软件对该模块进行逻辑功能仿真, 并给出仿真波形。

(2) 然后调用上面设计的编码器子模块和基本门级元件, 完成 16 线-4 线优先编码器的建模。

(3) 最后用 Quartus II 软件对整个电路进行逻辑功能仿真, 并给出仿真波形。

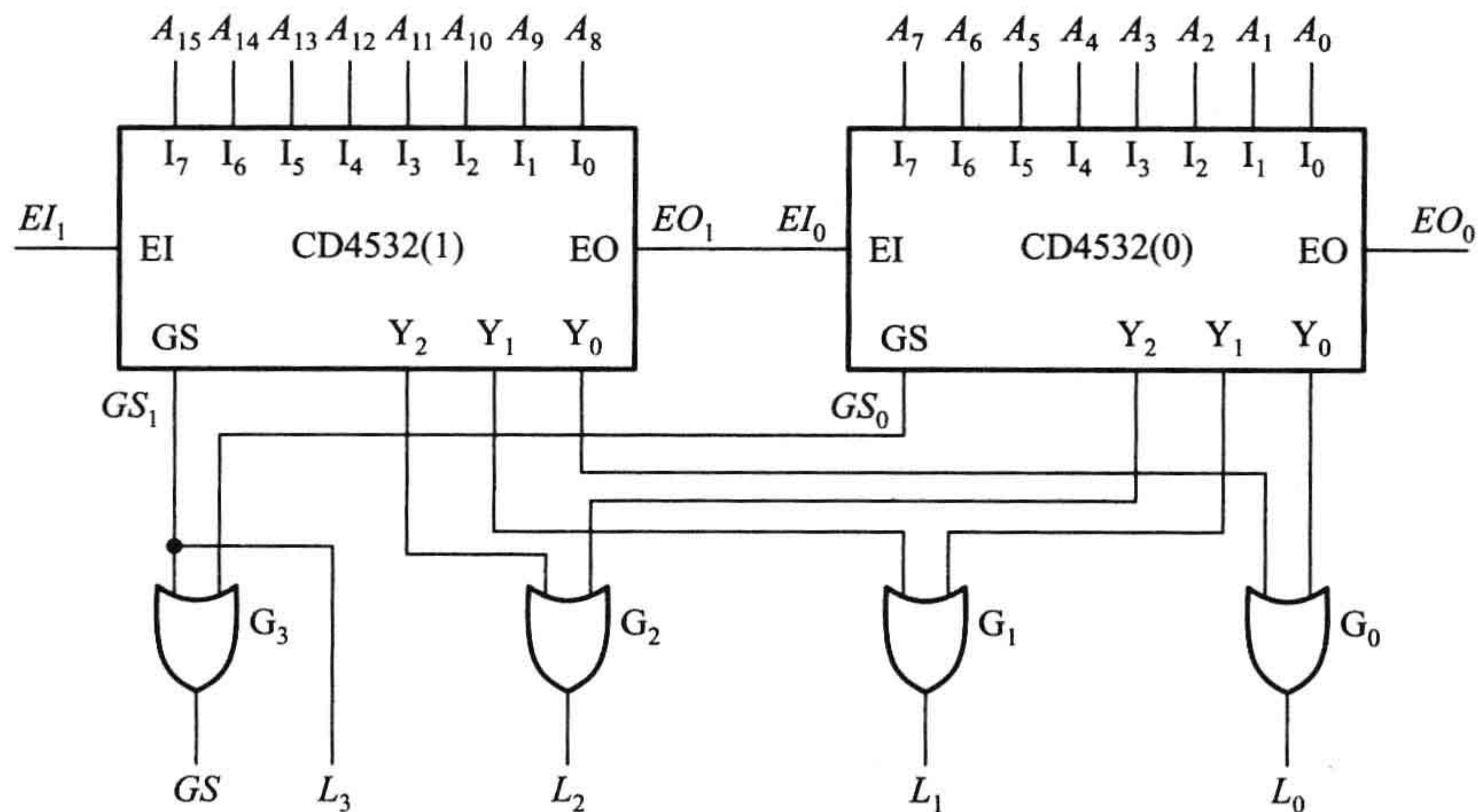


图 4.4.5

解:(1) 8 线-3 线优先编码器 CD4532 的行为级描述如下:

```

module Encoder8to3_bh( //Verilog 2001, 2005 module port syntax
    input EI,
    input [7:0] I,
    output reg [2:0] Y,
    output reg GS, EO
);
always @(EI, I) //Verilog 2001, 2005 syntax
begin
    if(EI == 0) begin Y = 3'd0; GS=0; EO = 0;end
    else
        begin

```



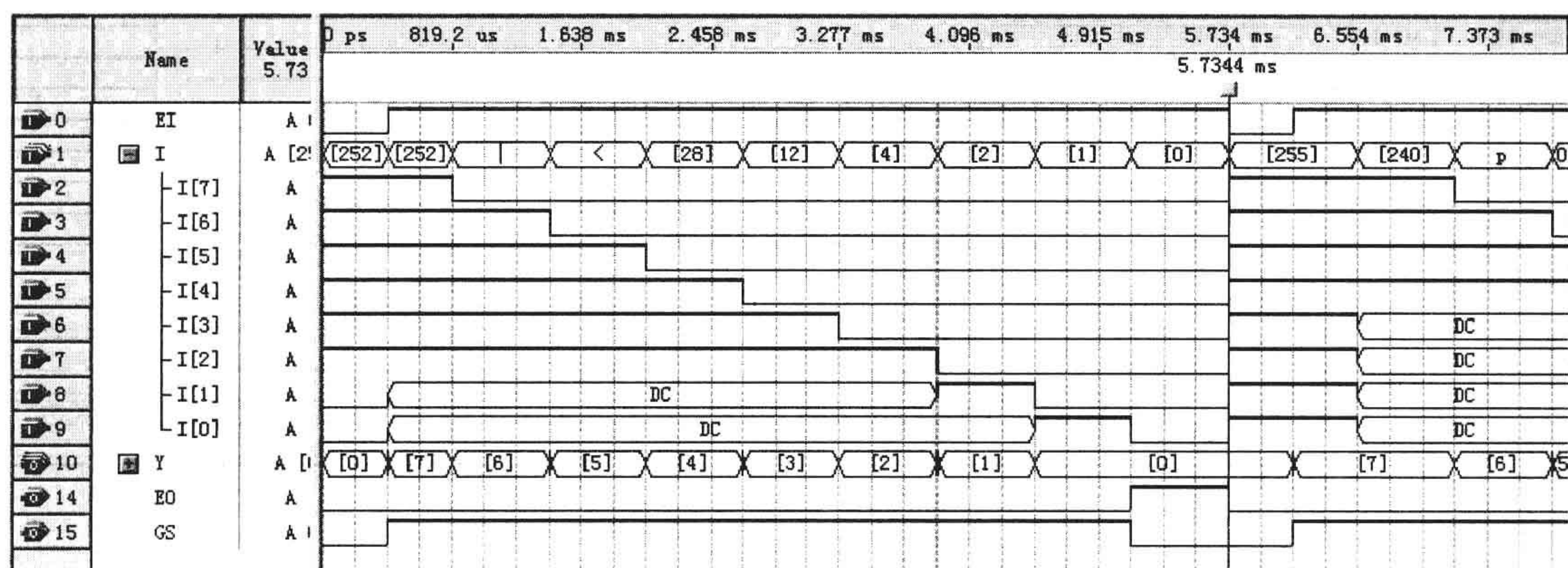
```

GS = 1; EO = 0;
case(I) //logic value x represents a don't care bit
8'b1xxx_xxxx: Y = 3'd7;
8'b01xx_xxxx: Y = 3'd6;
8'b001x_xxxx: Y = 3'd5;
8'b0001_xxxx: Y = 3'd4;
8'b0000_1xxx: Y = 3'd3;
8'b0000_01xx: Y = 3'd2;
8'b0000_001x: Y = 3'd1;
8'b0000_0001: Y = 3'd0;
default: begin Y = 3'd0; GS = 0; EO = 1; end
endcase
end
end
endmodule

```

程序中使用 **casex** 语句描述了带使能控制端优先级编码器。当 $EI=1$ 时,才对 **casex** 语句中的条件项进行比较。当至少有一个输入数据为 1 时,编码器的输出 GS 为 1 且 EO 为 0,在 **casex** 语句执行之前,就对这两个输出进行了赋值。当 $EI=1$,但没有输入数据有效时,则 8 个分支表达式的值没有一个与 I 的值匹配,将会执行 **default** 分支后面语句,将输出设置成默认值,即 $Y=0$ 、 $GS=0$ 、 $EO=1$ 。

该模块的仿真波形如图题解 4.6.8(a)所示。图中输入信号中的 DC(Don't care)为不关心的取值情况。



图题解 4.6.8(a)

(2) 根据图 4.4.5 所示的逻辑图,调用上述编码器和基本门级元件组合成 16 线—4 线优先编码器,其代码如下:

```

module Encoder16to4_bh( //Verilog 2001, 2005 module port syntax

```



```

input EI1,           //使能输入
input [15:0] A,      //数据输入
output [3:0] L,      //编码输出
output GS, EO0       //工作状态标志和输出使能信号
);

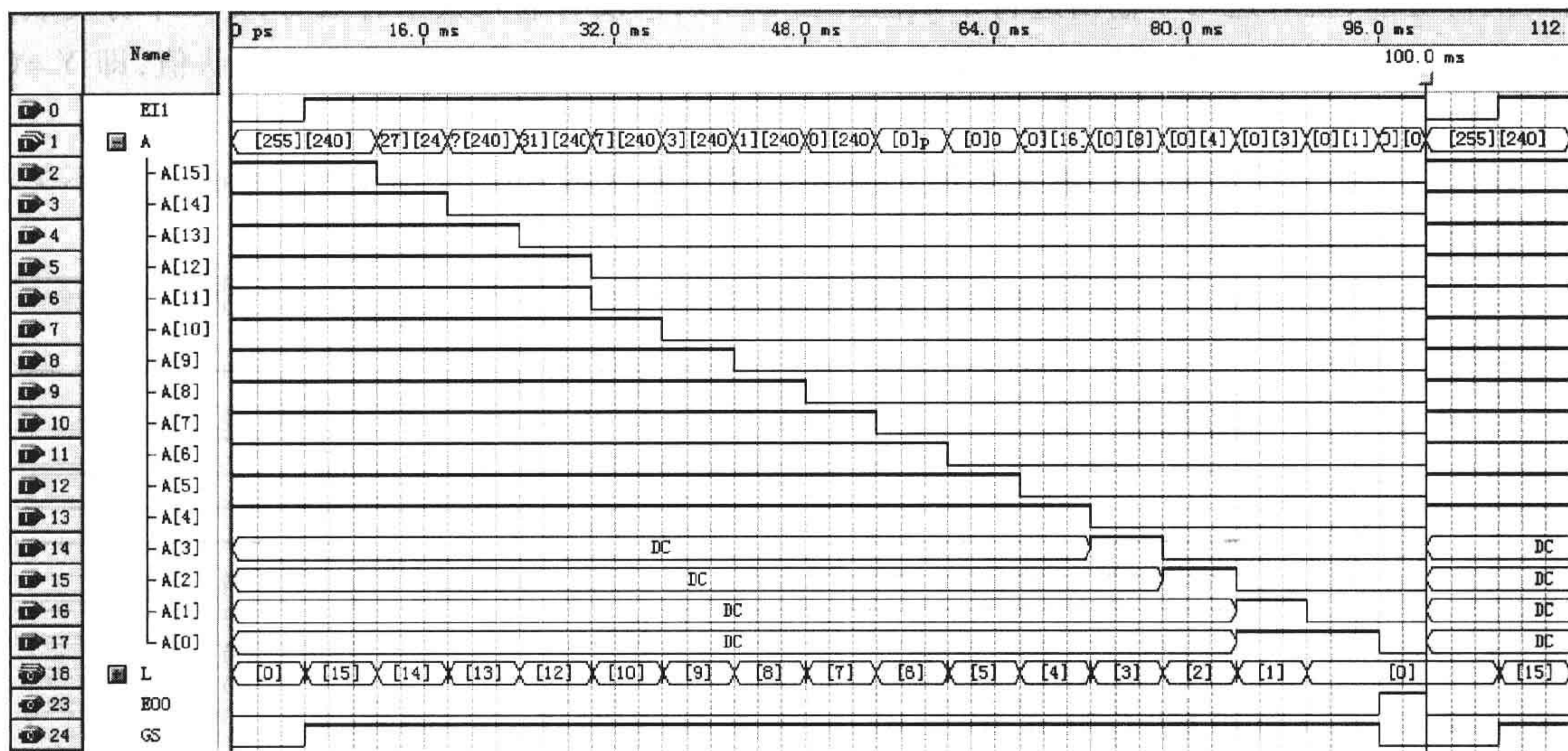
wire EO1,EI0,GS1,GS0;//中间节点信号
wire[2:0]Y0,Y1;      //中间节点信号
Encoder8to3_bh EU0(.EI(EI0),.I(A[7:0]),.Y(Y0),.GS(GS0),.EO(EO0));
Encoder8to3_bh EU1(.EI(EI1),.I(A[15:8]),.Y(Y1),.GS(GS1),.EO(EO1));
or    G0(L[0],Y0[0],Y1[0]),
      G1(L[1],Y0[1],Y1[1]),
      G2(L[2],Y0[2],Y1[2]),
      G3(GS,GS1,GS0);

assign EI0 = EO1;
assign L[3] = GS1;

endmodule

```

(3) 仿真波形如图题解 4.6.8(b)所示。



图题解 4.6.8(b)

4.6.9 试根据图 4.4.31 和图 4.4.32 所示的数值比较器逻辑图,使用分模块、分层次设计方法,对两位数值比较器的行为进行描述。要求如下:

(1) 首先根据图 4.4.31 对 1 位数值比较器的行为进行描述,并用 Quartus II 软件对该模块进行逻辑功能仿真,并给出仿真波形。

(2) 然后根据图 4.4.32 结构,调用上面设计的 1 位比较器模块和基本门级元件,完成成两位数值比较器的建模。

(3) 最后用 Quartus II 软件对整个电路进行逻辑功能仿真,并给出仿真波形。

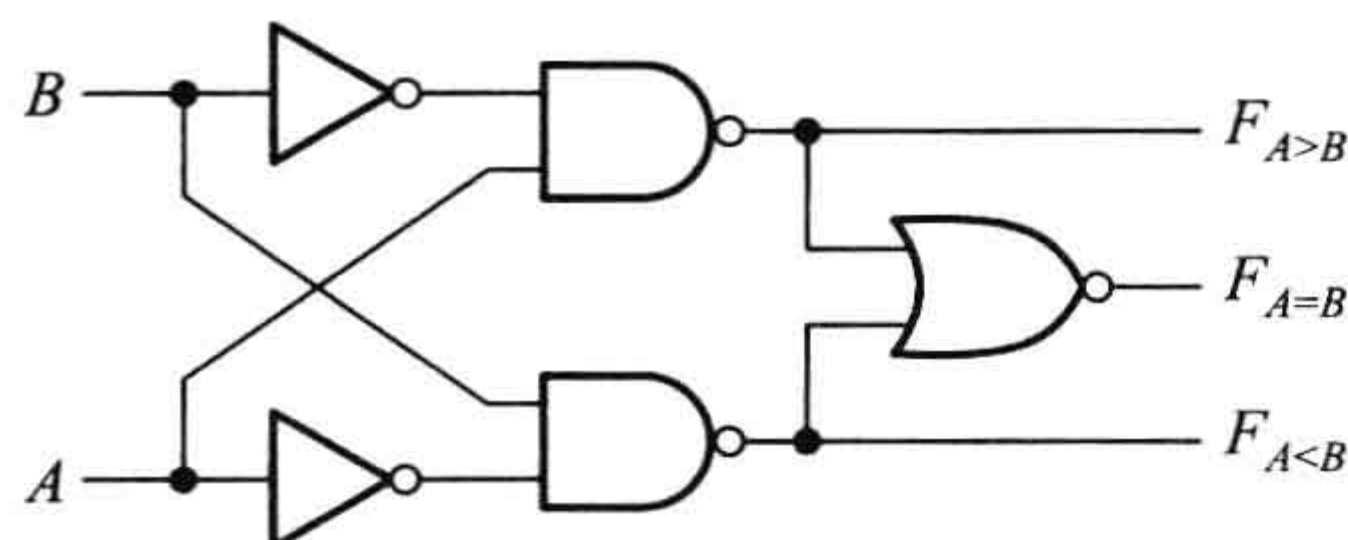


图 4.4.31 一位数值比较器的逻辑图

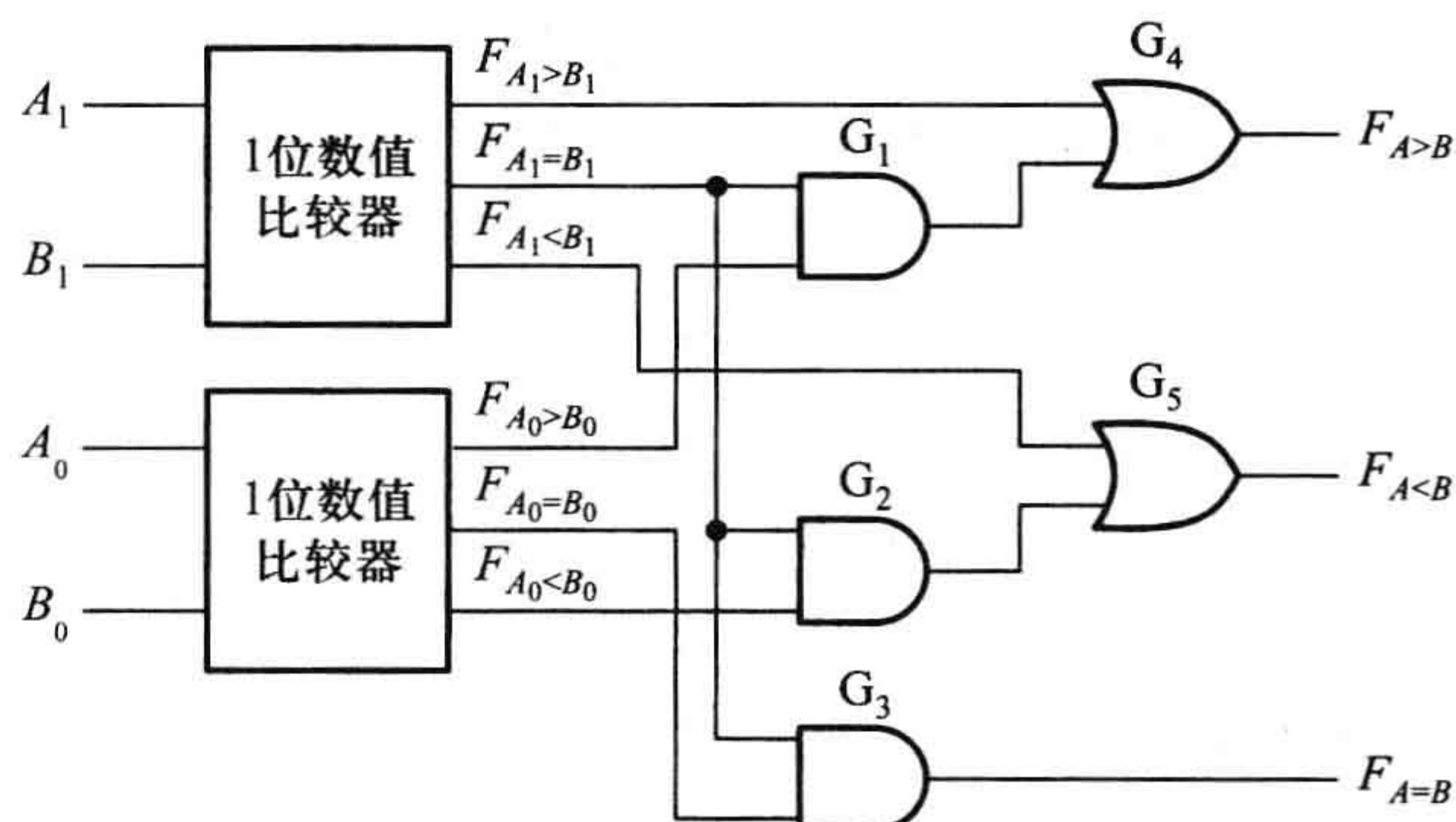


图 4.4.32 两位数值比较逻辑图

解:(1) 1 位数值比较器 Verilog HDL 门级描述如下:

// Description of 1-bit Comparator (see Fig4.4.29)

```
module _1bit_Comp( A,B,AGB,AEB,ALB );
```

```
    input A, B;
```

```
    output AGB,AEB,ALB;
```

```
    wire Anot,Bnot;
```

```
    not n0( Anot,A ),
```

```
        n1( Bnot,B );
```

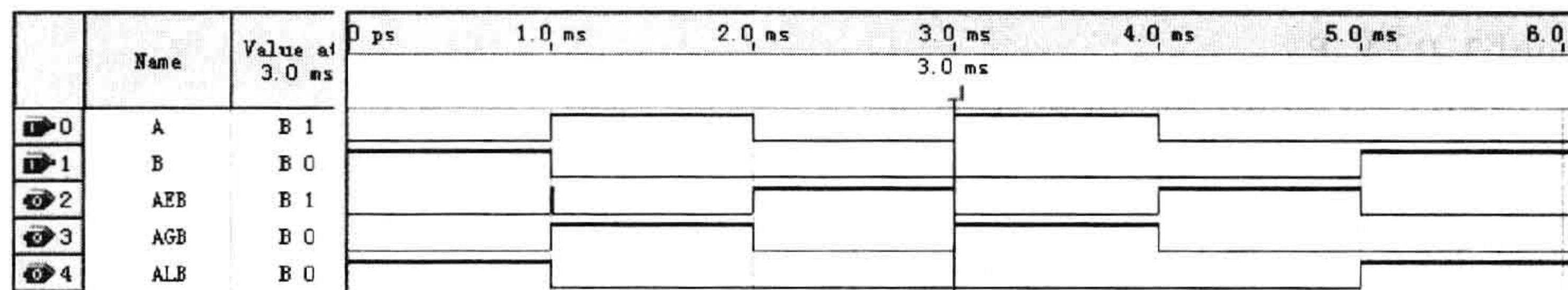
```
    and n2( AGB,A,Bnot ),
```

```
        n3( ALB,Anot,B );
```

```
    nor n4( AEB,AGB,ALB );
```

```
endmodule
```

其仿真波形如图题解 4.6.9(a) 所示。



图题解 4.6.9(a)

(2) 调用 1 位比较器和基本门级元件组合成的两位数值比较器程序如下:

//Description of 2-bit Comparator (see Fig4.4.30)

```
module _2bit_Comp( FAGB,FAEB,FALB,A1,A0,B1,B0 );
```

```
    input A1,A0,B1,B0;
```

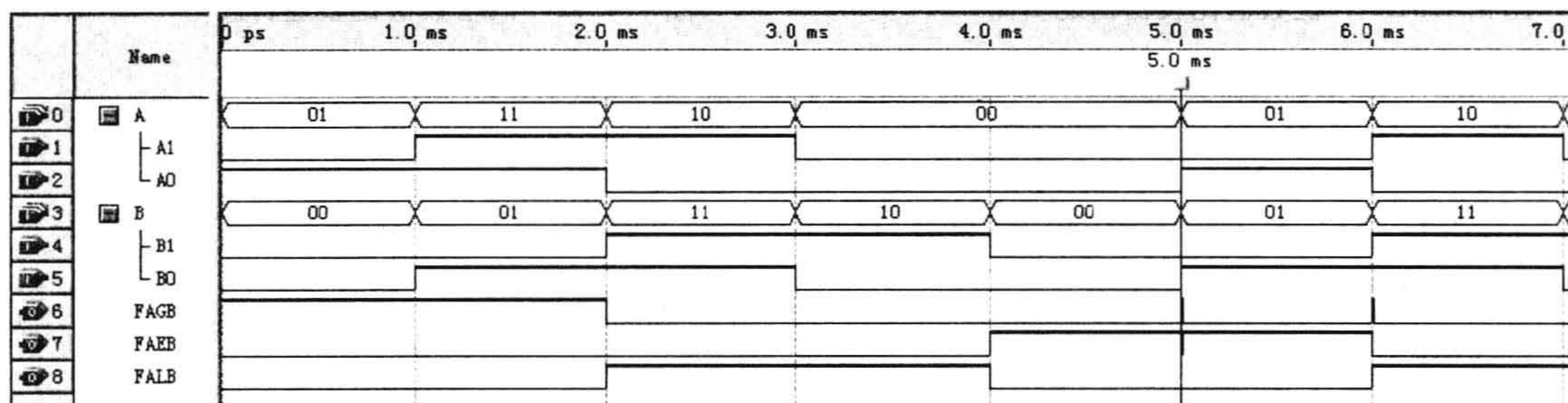


```

output FAGB,FAEB,FALB;
wire AGB1,AEB1,ALB1,AGB0,AEB0,ALB0;//内部信号
wire G1O,G2O;//与门 G1、G2 的输出信号
_1bit_Comp C1( A1,B1,AGB1,AEB1,ALB1 );//Instantiate 1-bit Comparator
_1bit_Comp C0( A0,B0,AGB0,AEB0,ALB0 );
and G1( G1O,AEB1,AGB0 ),
      G2( G2O,AEB1,ALB0 ),
      G3( FAEB,AEB1,AEB0 );
or G4( FAGB,AGB1,G1O );
or G5( FALB,ALB1,G2O );
endmodule

```

(3) 两位数值比较器的仿真波形如图题解 4.6.9(b)所示。



图题解 4.6.9(b)

4.6.10 下面是用分层次方法设计的 4 位串行全加器程序。设计者首先完成了 1 位全加器 (模块名为 _1bitAdder) 的建模和仿真, 结果是正确的; 然后在顶层调用 4 个 1 位全加器模块组合成为 4 位全加器 (模块名为 _4bitAdder), 结果编译未能通过, 试参照图 4.4.38 所示组成框图, 分析下列程序中存在的错误, 并进行改正。

```

module _4bitAdder( A,B,Cin,Sum,Cout );
    input [3:0] A,B;
    input Cin;    //用 Cin 代替 C1
    output [3:0] Sum;
    output Cout;  //用 Cout 代替 C3
    reg Cout;
    reg [4:0] temp;
    always@ ( A or B or Cin )
    begin
        temp[0] = Cin;
        _1bitAdder u0( A[0],B[0],temp[0],Sum[0],temp[1] );
        _1bitAdder u1( A[1],B[1],temp[1],Sum[1],temp[2] );

```



```

    _1bitAdder u2( A[2], B[2], temp[2], Sum[2], temp[3] );
    _1bitAdder u3( A[3], B[3], temp[3], Sum[3], temp[4] );
    Cout = temp[4];
end
endmodule

```

```

module _1bitAdder( A, B, Ci, Sum, Co );
    input  A, B, Ci;
    output Sum, Co;
    assign Sum = A^B^Ci;
    assign Co = ( A&B ) | ( B&Ci ) | ( A&Ci );
endmodule

```

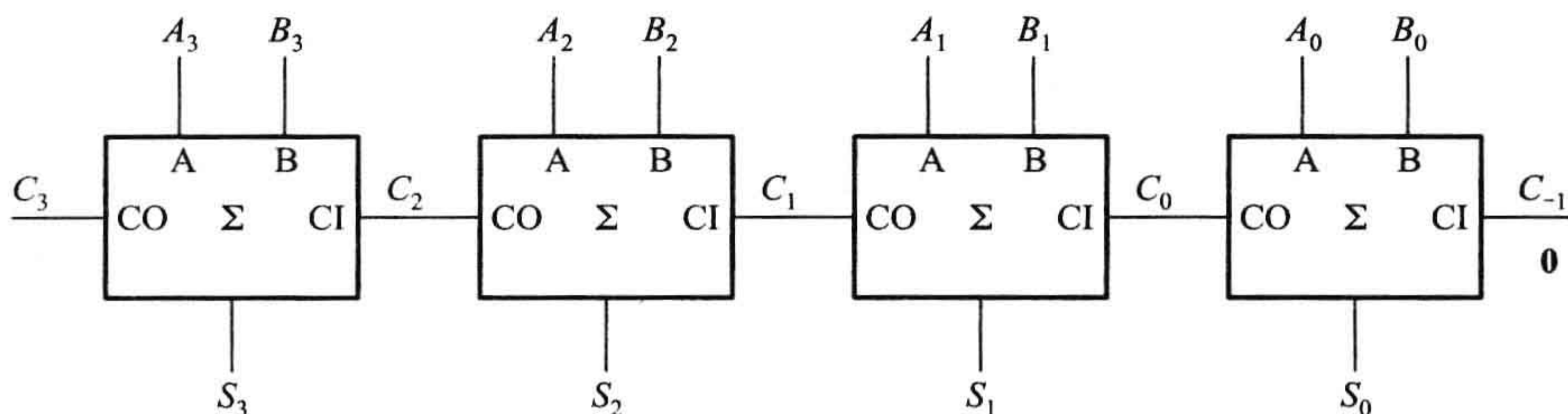


图 4.4.38 四位串行进位全加器

解:(1) 在层次化设计时,上层模块调用下层模块时,上层模块中的输出变量必须定义成 wire 类型,因此 `reg Cout;` 改为 `wire Cout;` `reg[4:0]temp;` 改为 `wire[4:0]temp;`

(2) 在数据类型说明部分,未定义输出变量 Sum 的类型,因此需增加一行: `wire[3:0]Sum;`

(3) 上层模块调用下层模块时,只能用结构化的描述方式将模块之间的连接关系表示出来,不能采用行为描述方式中过程块的方式进行调用。因此,要删除 `always @ ( A or B or Cin )`、`begin`、`end` 语句,将 `temp[0] = Cin;` 和 `Cout = temp[4];` 语句改为连续赋值语句,即改为 `assign temp[0] = Cin;` 和 `assign Cout = temp[4];` 就可以了,其他语句不用改。

5 锁存器和触发器

一、内容提要及重点

本章的内容提要：

1. 双稳态电路存在两个稳定状态,从而可存储、记忆 1 位二进制数据。锁存器和触发器都属于双稳态电路,它们是时序电路的基本存储单元。置 0、置 1 和数据保持是一个存储单元最基本的逻辑功能。
2. 锁存器是对脉冲电平敏感的存储电路,它们在一定电平作用下才能改变状态。基本 SR 锁存器由输入信号电平直接控制其状态,门控 SR 锁存器在使能信号有效的条件下由输入信号决定其状态。
3. D 锁存器在工作中没有约束条件,因而应用较广泛。在使能信号作用期间,D 锁存器输出跟随输入信号 D 而变化。其中传输门控 D 锁存器在中、大规模 CMOS 集成电路中应用较多,是构成触发器的基础电路。
4. 触发器是对时钟脉冲边沿敏感的存储电路,它们在时钟脉冲的上升沿或下降沿作用下更新状态。目前流行的触发器主要有主从、维持阻塞和利用传输延迟等几种电路结构,它们的工作原理各不相同。
5. 触发器按逻辑功能分类有 D 触发器、JK 触发器、T 触发器和 SR 触发器等几种类型。它们的功能可用特性表、特性方程和状态图来描述。触发器的电路结构与逻辑功能没有必然联系。每一种逻辑功能的触发器都可以通过适当增加外部连线和门电路转换为其他逻辑功能的触发器。

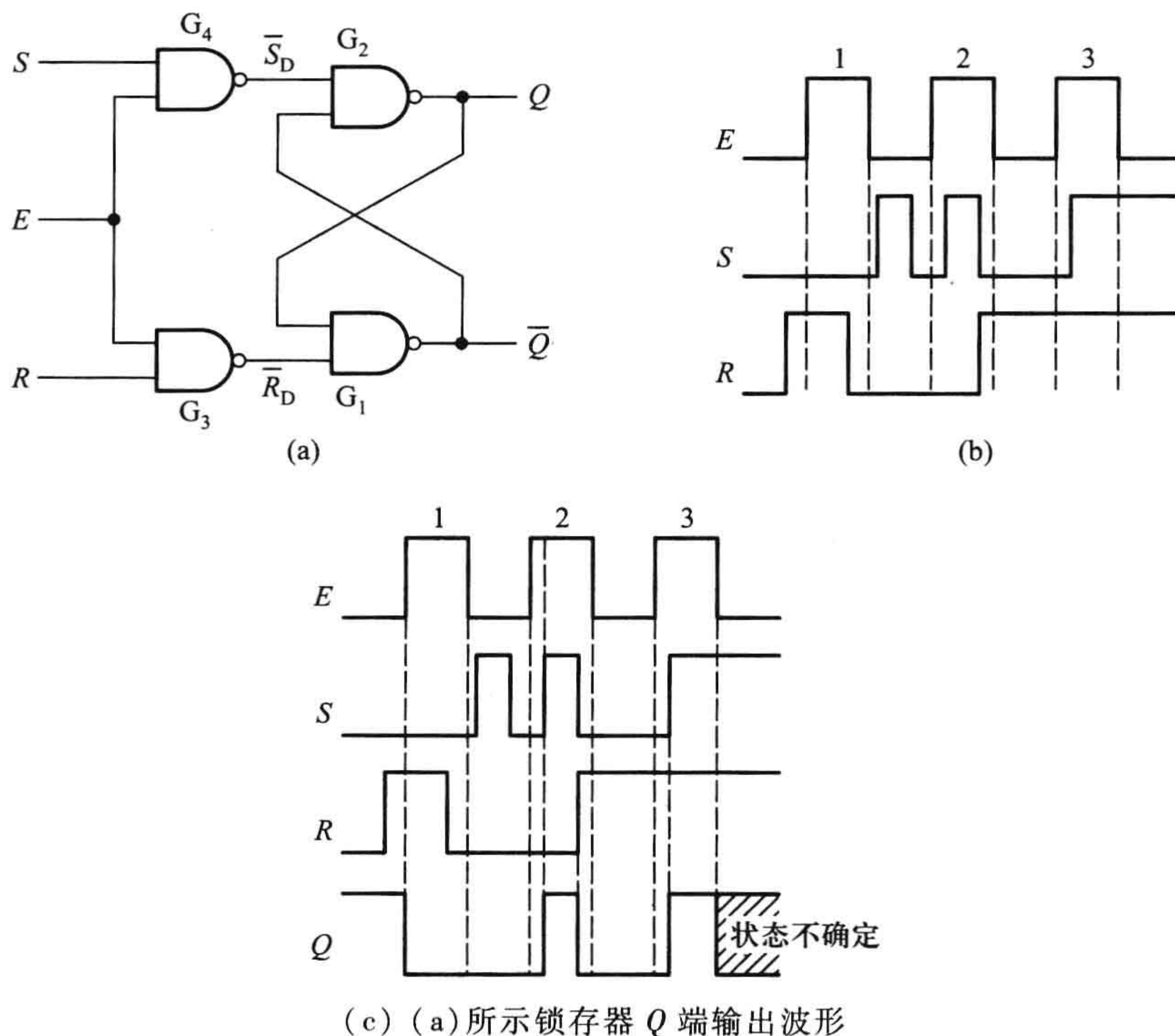
本章的重点：

1. 几种典型锁存器和触发器的电路结构和工作原理。
2. 触发器的逻辑功能及其描述方法。
3. 锁存器和触发器的动态特性。

二、典型例题解析

例 5.1 用与非门构成的门控 SR 锁存器如图 5.1(a)所示,设锁存器的初始状态为 $Q=1$,输

入 E 和 S 、 R 的逻辑电平波形如图 5.1(b) 所示, 试画出输出端 Q 对应的波形。



(c) (a) 所示锁存器 Q 端输出波形
图 5.1 例 5.1 的逻辑图和输入波形图

解题思路:从图 5.1(a) 可以看出, $\bar{S}_D = \overline{ES}$, $\bar{R}_D = \overline{ER}$ 。当 $E=0$ 时, $\bar{S}_D = \bar{R}_D = 1$, S 、 R 端的逻辑状态不会影响到锁存器的输出状态; 当 $E=1$ 时, $\bar{S}_D = \bar{S}$ 、 $\bar{R}_D = \bar{R}$, 从而根据 S 、 R 端的逻辑状态可确定 Q 和 $\bar{Q}$ 端的状态。 $E=1$ 时若输入信号 $S=R=1$, 则 $Q = \bar{Q} = 1$, 锁存器将处于非定义状态, 当 E 跳变为 0 后, 由于 $\bar{S}_D$ 、 $\bar{R}_D$ 将同时跳变为 1, 锁存器的输出状态将不能确定。

解:电路的初始状态: $Q=1$ 。

根据上述解题思路, 当 $E=0$ 期间, 锁存器状态不变。

在第 1 个 $E=1$ 期间, 先是 $R=1$, $S=0$, 使锁存器置 0, 随后 $S=R=0$, 锁存器状态不变。

在第 2 个 $E=1$ 期间, 开始 $S=R=0$ 时, 锁存器保持不变; 当输入变化为 $S=1$, $R=0$ 时, 锁存器置 1; 在 E 的下降沿到来之前, 输入又变化为 $R=1$, $S=0$, 锁存器置 0。

在第 3 个 $E=1$ 期间, 从 $R=1$, $S=0$ 变化为 $S=R=1$, 使 $Q = \bar{Q} = 1$, 锁存器处于非定义状态, 当 E 跳变为 0 后, Q 端状态不能确定。

根据上述分析, 可以画出输出端 Q 对应输入信号的波形如图 5.1(c) 所示。

例 5.2 图 5.2(a) 所示是 74×74 集成双 D 触发器中的一个触发器, 其输入信号波形如图 5.2(b) 所示。试对应画出输出端 Q 的波形。设触发器初始状态为 $Q=1$ 。

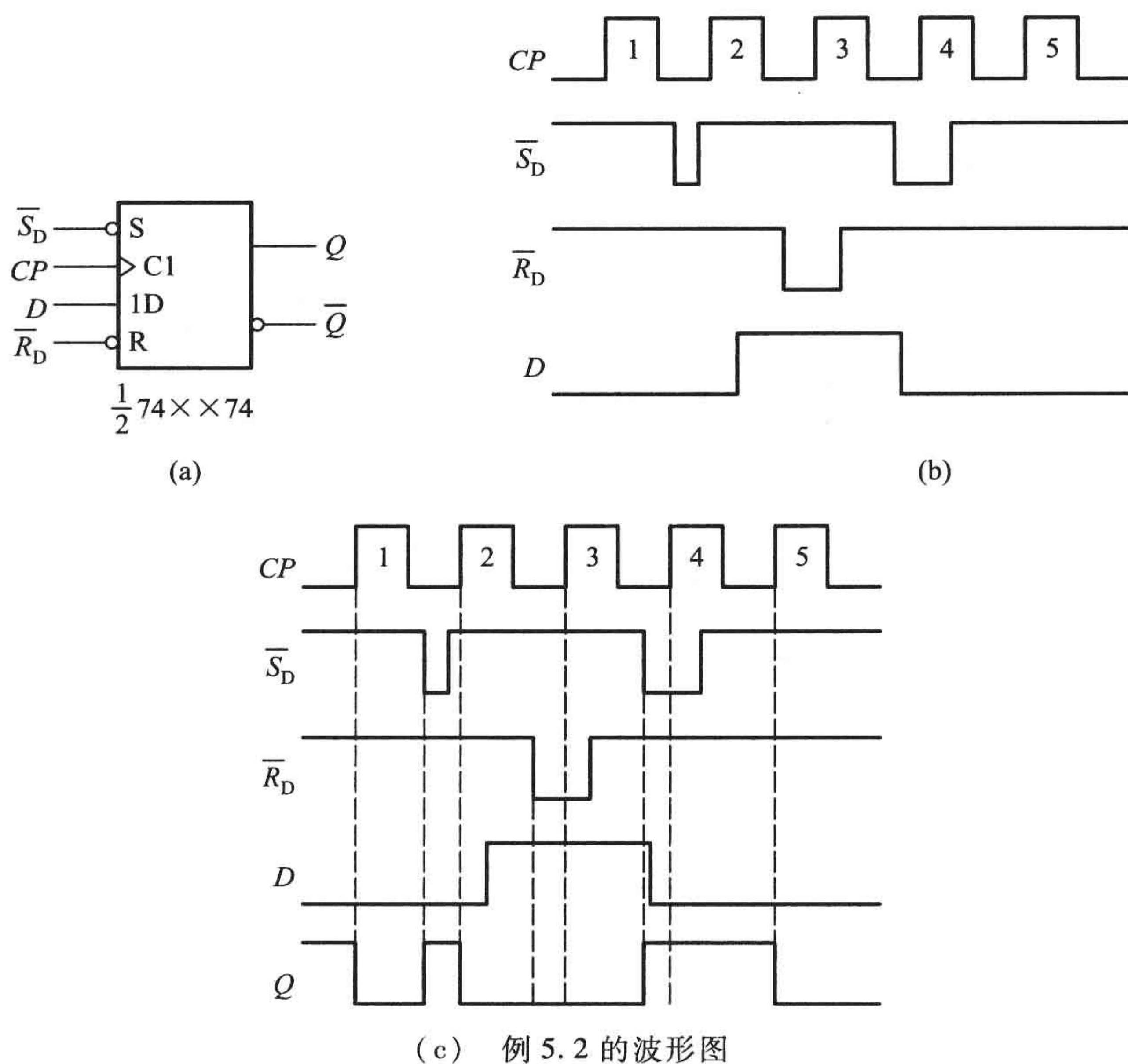


图 5.2 例 5.2 的逻辑图和输入波形图

解题思路:图 5.2(a)所示触发器带有直接置 1 端 $\overline{S}_D$ 和直接置 0 端 $\overline{R}_D$,它们在输入信号中具有最高的优先权,当 $\overline{S}_D$ 和 $\overline{R}_D$ 处于有效逻辑电平时,触发器的输出无条件按它们的逻辑状态转换。也就是说,只有当 $\overline{S}_D = \overline{R}_D = 1$ 时,电路才真正执行 D 触发器的逻辑功能: $Q^{n+1} = D$ 。

解:由图 5.2(b)可见,在第 1 个 CP 触发沿(上升沿)到来时, $\overline{S}_D = \overline{R}_D = 1$, $D = 0$,于是触发后 Q 由 1 跳变为 0。此后,在 CP 低电平期间, $\overline{S}_D = 0$, $\overline{R}_D = 1$,触发器被异步置 1。当第 2 个 CP 触发沿到来时, $\overline{S}_D = \overline{R}_D = 1$, $D = 0$, Q 又从 1 跳变为 0。当 $\overline{S}_D = 1$, $\overline{R}_D = 0$ 期间,触发器被异步置 0, $Q = 0$ 不变,即使第 3 个触发沿到来时 $D = 1$,触发器也不予理会。直等到 $\overline{S}_D = 0$, $\overline{R}_D = 1$ 发生,触发器才再次被异步置为 1。在 $\overline{S}_D = 0$, $\overline{R}_D = 1$ 期间,第 4 个触发沿到来,触发器状态同样不变。直到置 1 信号 $\overline{S}_D = 0$ 撤销后,在第 5 个触发沿作用下,由于此时 $D = 0$, Q 才跳变为 0。按照上述分析画出的 Q 端波形如图 5.2(c)所示。

例 5.3 分析图 5.3(a)所示 JK 触发器的动态特性,画出它的定时图。

解题思路:图 5.3(a)所示是下降沿触发的 JK 触发器,它有 5 个输入信号: J 、 K 、 $\overline{S}_D$ 、 $\overline{R}_D$ 和时钟 $\overline{CP}$,两个输出信号: Q 和 $\overline{Q}$ 。实际电路中,所有的逻辑门电路在输入信号变化后,都需要经过一定的延迟才会反映到输出端。因此,触发器输出信号 Q 和 $\overline{Q}$ 对于时钟 $\overline{CP}$ 下降沿以及直接置 1

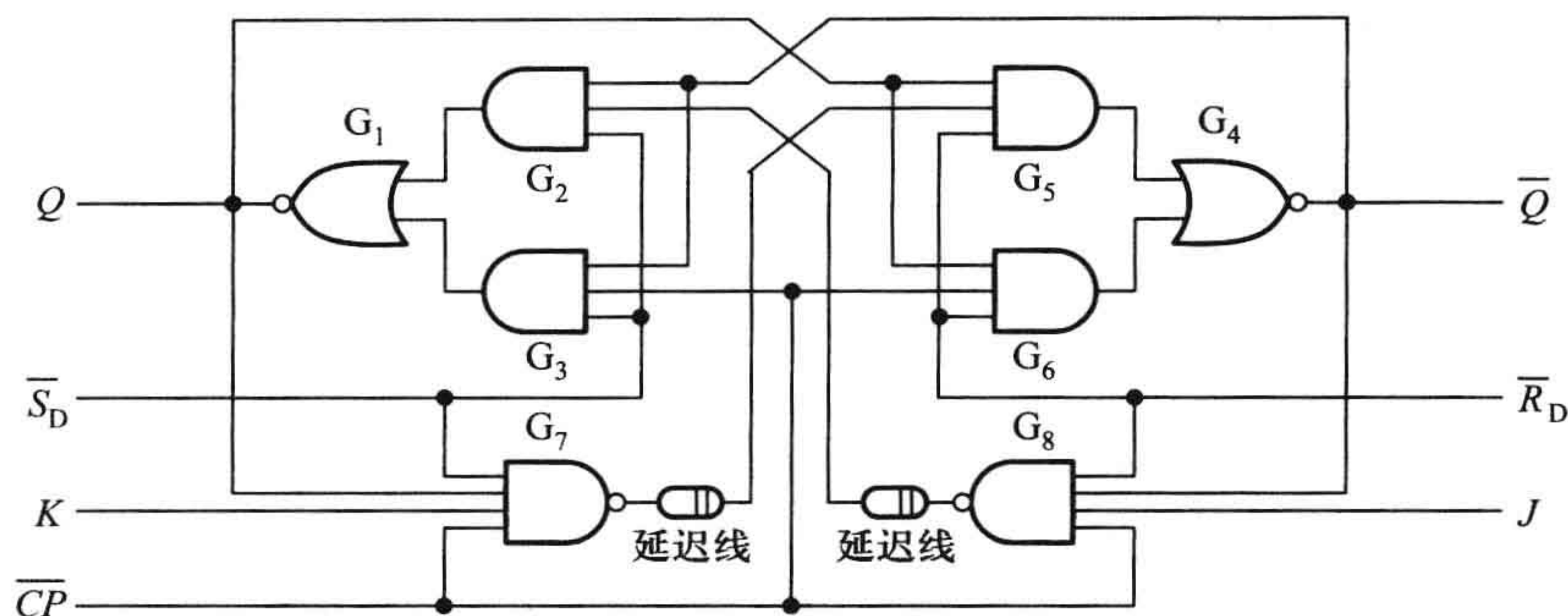


图 5.3(a) JK 触发器逻辑图

信号 $\overline{S_D}$ 、置 0 信号 $\overline{R_D}$ 的响应总有一定的延迟时间,称为传输延迟时间 t_{pd} 。输入信号 J 、 K 的变化会引起触发器内部门电路输出逻辑电平的一系列变化,同样存在延迟。为保证相关电路建立起稳定的状态,使触发器能正确翻转,信号 J 、 K 必须在时钟 $\overline{CP}$ 脉冲的下降沿到来之前就稳定在指定的逻辑电平上。该提前时间的最小值即建立时间 t_{SU} 。信号 J 、 K 在 $\overline{CP}$ 下降沿到来之后还应保持一定时间,才能保证它们的状态可靠地传送到 Q 和 $\overline{Q}$ 端,该时间的最小值称为保持时间 t_H 。如果 t_{SU} 和 t_H 不能满足要求,触发器则可能发生逻辑错误。为保证可靠触发,要求 $\overline{CP}$ 脉冲的低电平宽度不小于 t_w ,以保证内部门电路有足够的时间实现正确的翻转, t_w 称为触发脉冲宽度。此外,因为 $\overline{CP}$ 无论在高电平还是在低电平期间,触发器内部都要完成一系列动作,存在一定的时间延迟,所以对于 $\overline{CP}$ 的最高工作频率有一个限制,触发器所能响应的 $\overline{CP}$ 最高频率 $f_{cmax} = 1/T_{cmin}$ 称为最高时钟频率。上述几个时间参数可用触发器的定时图来表达,它们显示了触发器的动态特性。

解:(1) 传输延迟时间 t_{pd}

触发器输出 Q 和 $\overline{Q}$ 相对于 $\overline{CP}$ 下降沿以及 $\overline{S_D}$ 、 $\overline{R_D}$ 的响应延迟时间可用同一个定时图来表达,如图 5.3(b) 所示。图中, $t_{pHL(CP)}$ 、 $t_{pLH(CP)}$ 分别为输出信号下降沿和上升沿相对于 $\overline{CP}$ 下降沿的延迟时间,一般取其平均值 $t_{pd(CP)} = (t_{pHL(CP)} + t_{pLH(CP)})/2$ 。 $t_{pHL(SR)}$ 和 $t_{pLH(SR)}$ 分别为 Q 和 $\overline{Q}$ 相对于 $\overline{S_D}$ 、 $\overline{R_D}$ 信号的传输延迟时间,一般亦取它们的平均值 $t_{pd(SR)}$ 。由于信号路径不同,各个 t_{pd} 的值是有差异的,在厂家的数据手册(Datasheet)中一般会分别给出。

(2) 建立时间 t_{SU}

图 5.3(a) 所示 JK 触发器的 J 、 K 信号至少应比 $\overline{CP}$ 下降沿提前 t_{SU} 建立并稳定下来,反映这两个信号的建立与 $\overline{CP}$ 下降沿的定时关系如图 5.3(c) 所示。由于图 5.3(a) 所示 JK 触发器的电路结构是对称的,所以 $t_{SU(J)} = t_{SU(K)} = t_{SU}$ 。

(3) 保持时间 t_H

J 、 K 信号在 $\overline{CP}$ 下降沿到来之后还应稳定一段时间 t_H ,反映这两个信号应至少保持的时间为 $t_{H(J)}$ 和 $t_{H(K)}$,如图 5.3(c) 所示。类似的, $t_{H(J)} = t_{H(K)} = t_H$ 。

(4) 触发脉冲宽度 t_w 和最高时钟频率 f_{cmax}

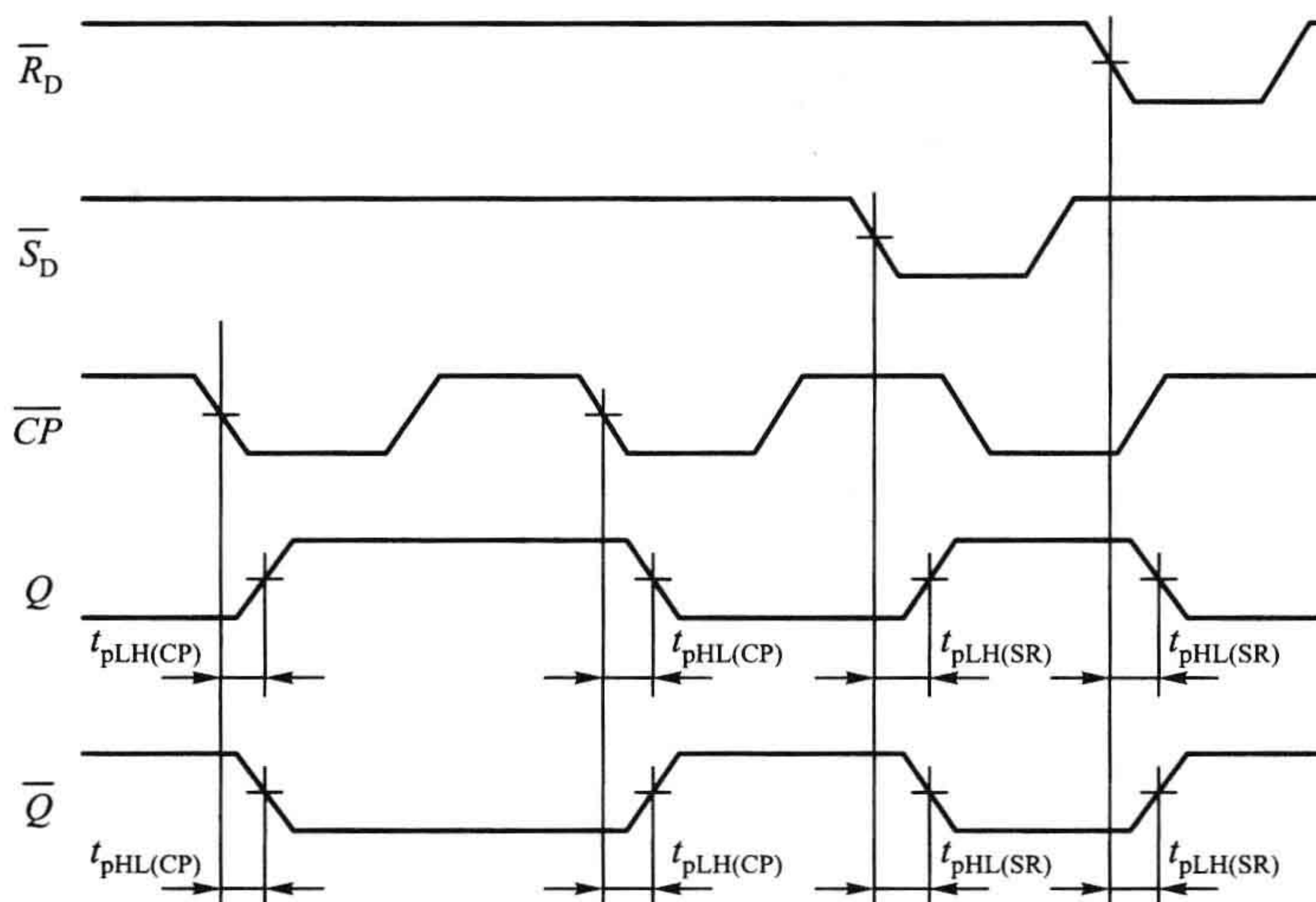
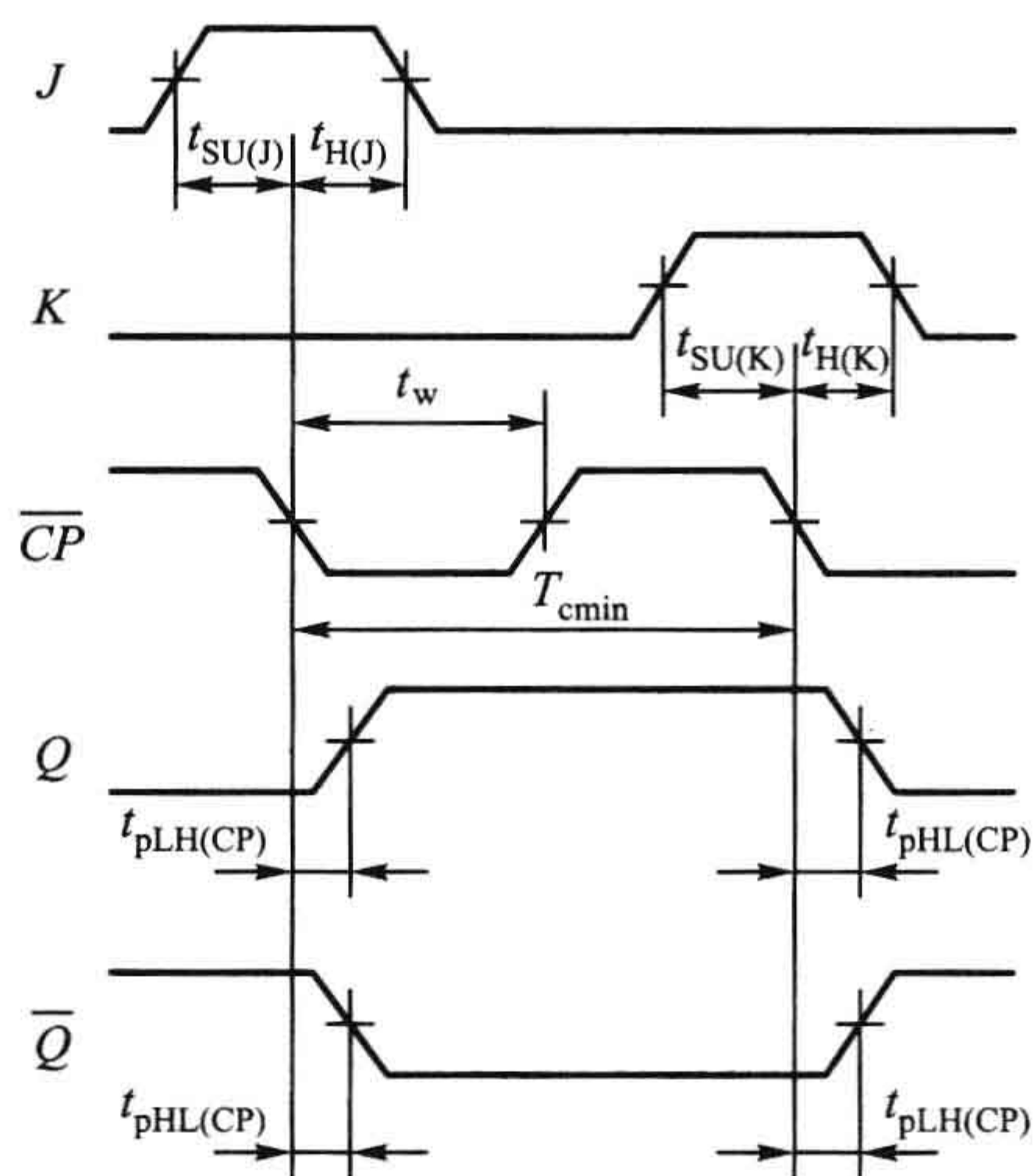
图 5.3(b) 图 5.3(a) 所示 JK 触发器的 t_{pd} 图 5.3(c) 图 5.3(a) 所示 JK 触发器的 t_{SU} 、 t_H 、 t_w 和 T_{cmin}

图 5.3(c) 已示出这两个参数的意义。

例 5.3 所介绍的两个定时图,一般厂家的芯片数据手册中都会分别提供,它们对于理解芯片的动态特性和正确使用是有用的。

例 5.4 分析图 5.4(a) 所示电路的结构和逻辑功能。

解题思路: 首先仔细观察被分析的逻辑电路,找出其中与典型电路相同的部分,并予以分离,画出简化的逻辑符号。然后把其他部分电路与逻辑符号连接,再根据电路的输入和输出信号推导它们的逻辑关系,最后判断出整个电路的逻辑功能。

解: 观察图 5.4(a) 所示电路, $TG_1 \sim TG_4$ 与 $G_5 \sim G_{12}$ 构成典型的 CMOS 主从 D 触发器,分离出的电路如图 5.4(b) 所示。

再将图 5.4(a) 中的 $G_1 \sim G_4$ 与 D 触发器的相应输入/输出端相接, 得到图 5.4(c) 所示的原理电路。根据该电路和 D 触发器的特性方程, 可以推导出输入信号 A 、 B 与触发器 Q^n 和 Q^{n+1} 的逻辑关系为

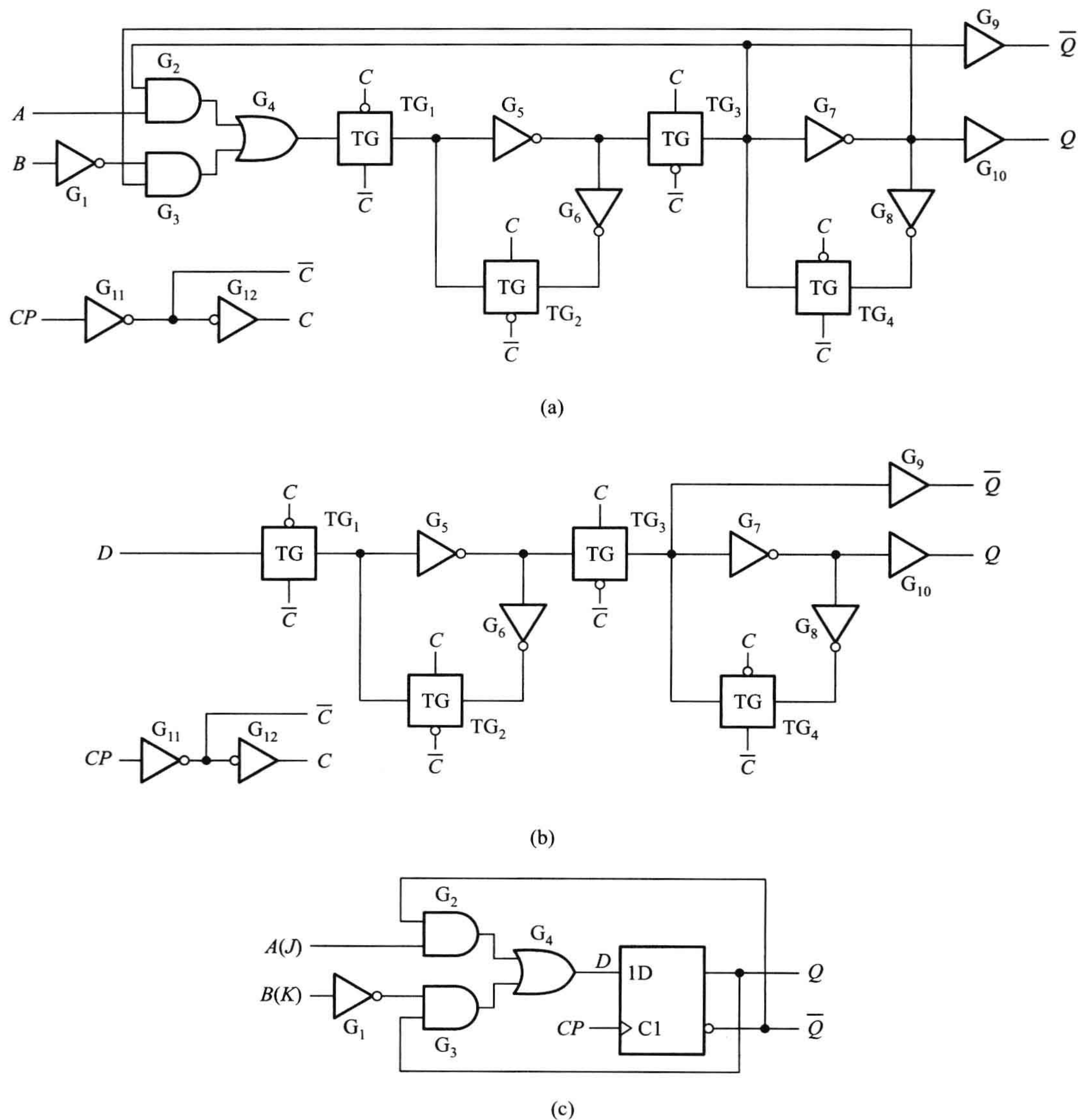


图 5.4

(a) 例 5.4 的逻辑电路 (b) 从图 5.4(a) 中分离出的部分电路 (c) 对图 5.4(a) 电路的分析

$$Q^{n+1} = D = A \overline{Q^n} + \overline{B} Q^n$$

与 JK 触发器的特性方程 $Q^{n+1} = J \overline{Q^n} + \overline{K} Q^n$ 比较, 可以得到 $A = J, B = K$ 。

所以, 图 5.4(a) 所示电路是 CMOS 主从结构的 JK 触发器。

例 5.4 所介绍的电路分析方法, 对于阅读和理解厂家提供的芯片数据手册是非常有用的。

三、习题全解

5.2 SR 锁存器

5.2.1 分析图题 5.2.1 所示电路的功能,列出功能表。

解:由图题 5.2.1 所示逻辑电路,可以得到 Q 端和 $\bar{Q}$ 端的逻辑表达式

$$Q = \overline{S} \cdot \overline{Q}$$
$$\bar{Q} = \overline{R} \cdot \overline{Q}$$

下面根据 S 、 R 的 4 种输入状态组合来分析电路的功能。

① $S=R=0$

根据逻辑表达式可以得到 $Q = \overline{S} \cdot \overline{Q} = Q$, $\bar{Q} = \overline{R} \cdot \overline{Q} = \bar{Q}$ 。显然,电路状态保持不变。

② $S=0$ 、 $R=1$

虽然 $S=0$ 不会影响 G_1 的输出状态,而 $R=1$ 可得: $\bar{Q} = \overline{R} \cdot \overline{Q} = 1$ 。该信号反馈到 G_1 输入端,于是得: $Q = \overline{S} \cdot \overline{Q} = 0$ 。无论锁存器原来状态为 0 还是 1,都被强制置 0。

③ $S=1$ 、 $R=0$

电路是对称的, $S=1$ 将首先使 $Q = \overline{S} \cdot \overline{Q} = 1$, 继而使 $\bar{Q} = \overline{R} \cdot \overline{Q} = 0$, 锁存器被强制置 1。

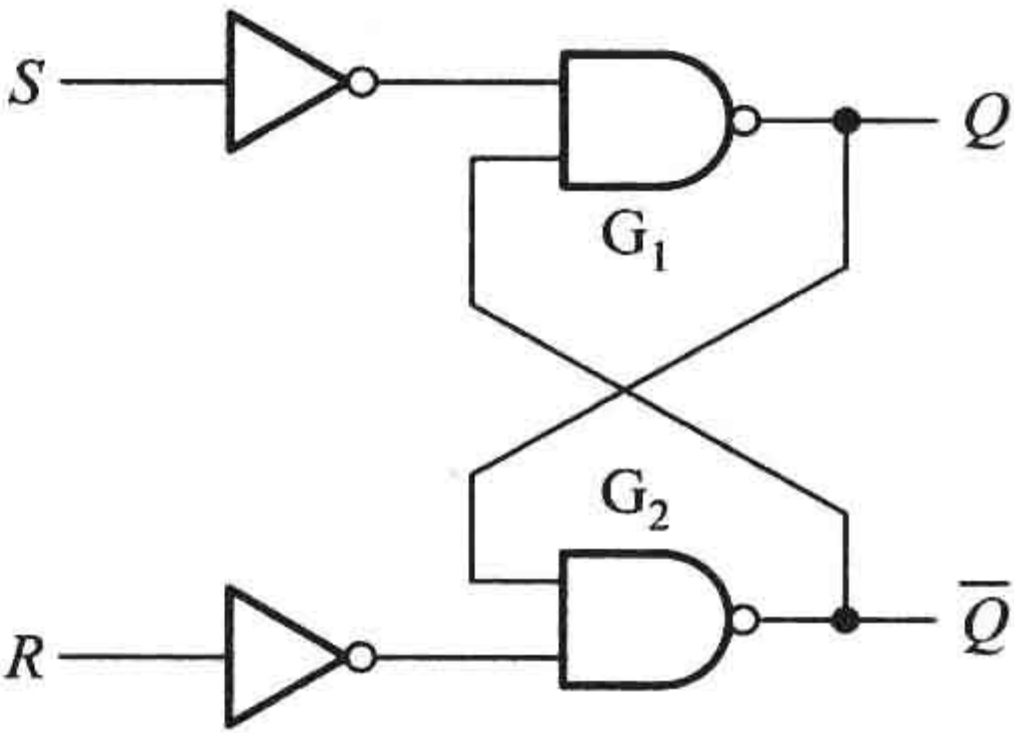
④ $S=R=1$

无论 Q 和 $\bar{Q}$ 原来是什么状态, $S=R=1$ 将强制 $Q = \overline{S} \cdot \overline{Q} = 1$, $\bar{Q} = \overline{R} \cdot \overline{Q} = 1$, 锁存器处于非定义状态。

由上述分析可得图题 5.2.1 所示逻辑电路的功能表,如表题解 5.2.1 所示。表中的 4 行内容分别对应于前述①~④的输入和输出状态。

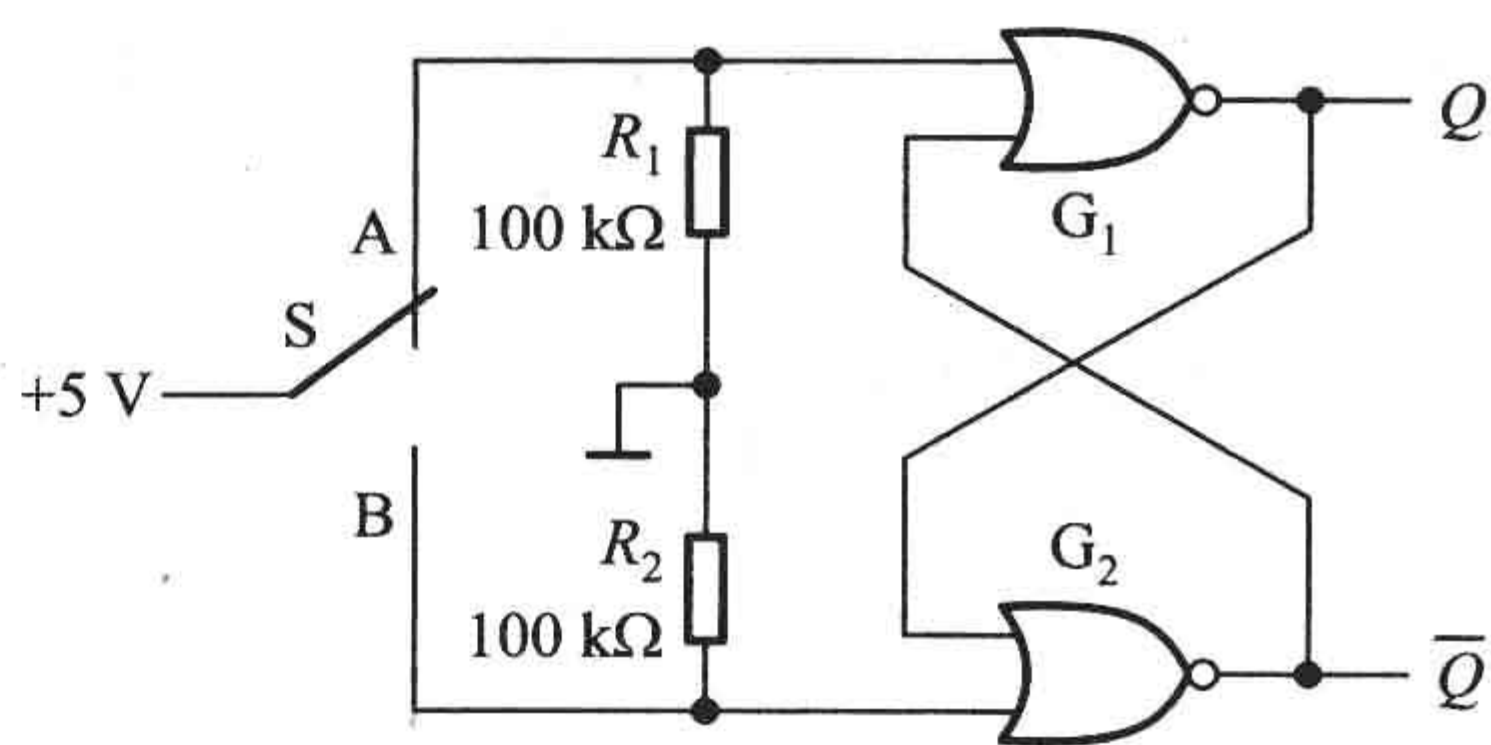
表题解 5.2.1 图题 5.2.1 所示电路的功能表

S	R	Q	$\bar{Q}$	功能
0	0	不变	不变	保持
0	1	0	1	置 0
1	0	1	0	置 1
1	1	1	1	非定义状态



图题 5.2.1

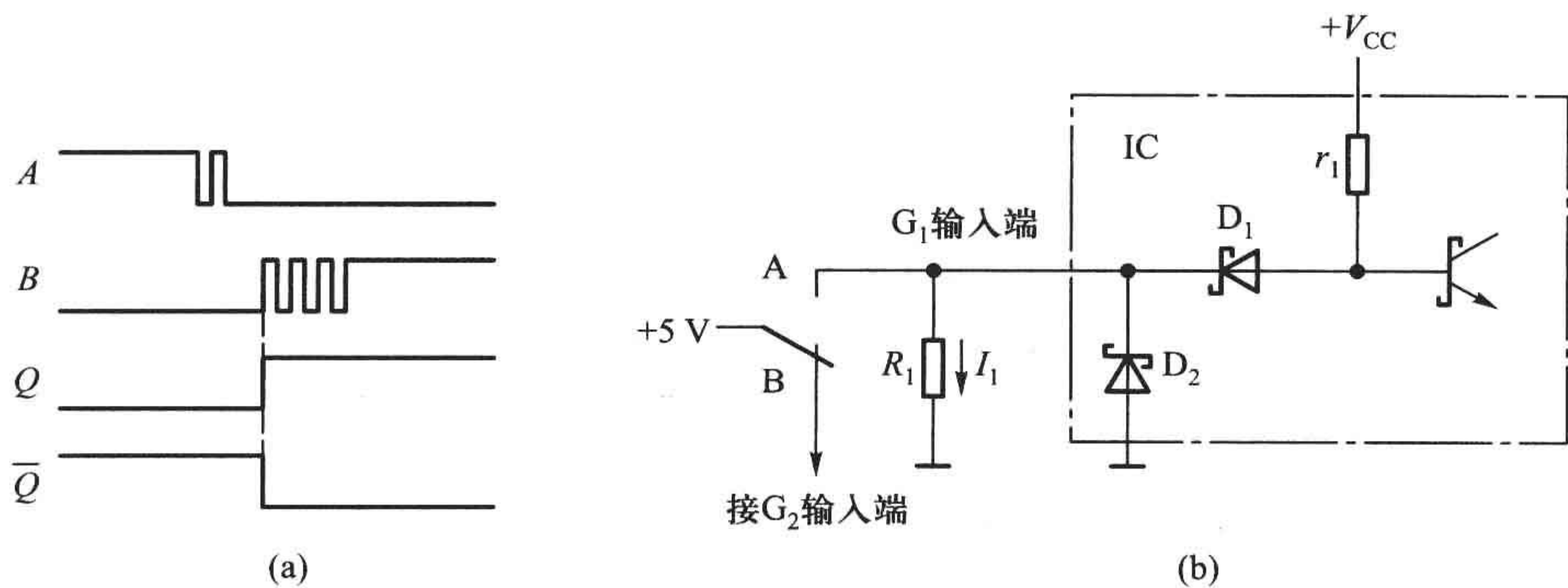
5.2.2 用 CMOS 电路 74HCT02 或非门构成消除机械开关抖动影响的电路如图题 5.2.2 所示,试画出在开关 S 由位置 A 到 B 时 Q 和 $\bar{Q}$ 端的波形。如改用 TTL 电路 74LS02 实现, R_1 、 R_2 取值的大致范围为多少? 整个电路的功耗会发生什么变化?



图题 5.2.2

解:如图题 5.2.2 所示,开关接通 A 点时, $Q=0$, $\bar{Q}=1$ 。当开关触点拨离 A 点瞬间,由于 $\bar{Q}=1$ 的作用,其抖动不会影响 $Q=0$ 的状态。在开关悬空期

间,锁存器保持状态不变。开关触点第一次接通 B 点,就使 $\bar{Q}$ 翻转为 0, Q 翻转为 1。此时开关触点已离开 A 点,在 $Q=1$ 的作用下,即使触点的抖动会使 B 点电平发生跳动,也不会改变 $\bar{Q}=0$ 的状态。该过程中 Q 和 $\bar{Q}$ 的波形如图题解 5.2.2(a) 所示。



图题解 5.2.2

如果改用 TTL 电路 74LS02 实现,由于其输入电路如图题解 5.2.2(b) 中点画线框内所示,所以当开关未接通 A 点时,电源 $+V_{CC}$ 将通过集成电路内部的电阻 r_1 和肖特基二极管 D_1 向电路外接电阻 R_1 注入电流 I_1 。如果 R_1 阻值过大, I_1 在该电阻上产生的压降有可能超过 TTL 电路所允许的低电平输入电压最大值 V_{ILmax} ,从而电路可能发生逻辑混乱。

可以列出下列不等式

$$\frac{V_{CC} - V_{FSBD} - V_{ILmax}}{r_1} R_1 \leq V_{ILmax}$$

74LS 系列电路规定 $V_{CC} = +5V$, $V_{ILmax} = 0.8V$ 。74LS02 中, r_1 的典型值为 $20k\Omega$, 肖特基二极管正向导通时的典型压降 $V_{FSBD} = 0.4V$ 。将上述参数代入不等式,可得 $R_1 \leq 4.2k\Omega$ 。

为了降低电路功耗, R_1 取值也不宜过小,一般应大于 500Ω 。所以 R_1 的取值范围应为

$$500\Omega \leq R_1 \leq 4.2k\Omega$$

R_2 的取值范围与 R_1 相同。

TTL 电路的静态功耗远大于 CMOS 电路,同时考虑到 R_1 和 R_2 的功耗,用 74LS02 构成图题 5.2.2 所示的电路,功耗将显著增大。

5.2.3 SR 锁存器如图 5.2.1(a) 所示,其初始状态为 $Q=0$ 、 $\bar{Q}=1$,图中两个或非门的传输延

迟时间均为 10ns。SR 锁存器的输入波形如图题 5.2.3 所示,虚线表示的时间间隔为 10ns,画出考虑或非门传输延迟时间的输出波形。假定输入和输出信号的上升和下降时间均为 0。

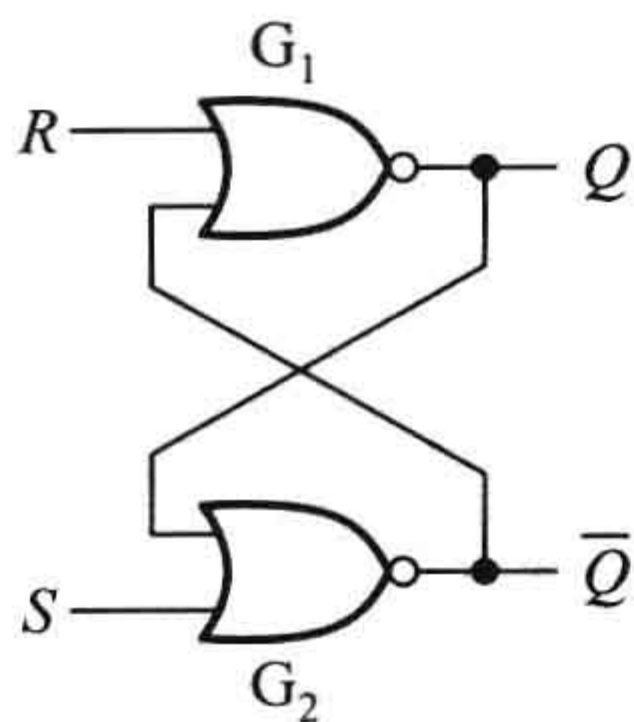
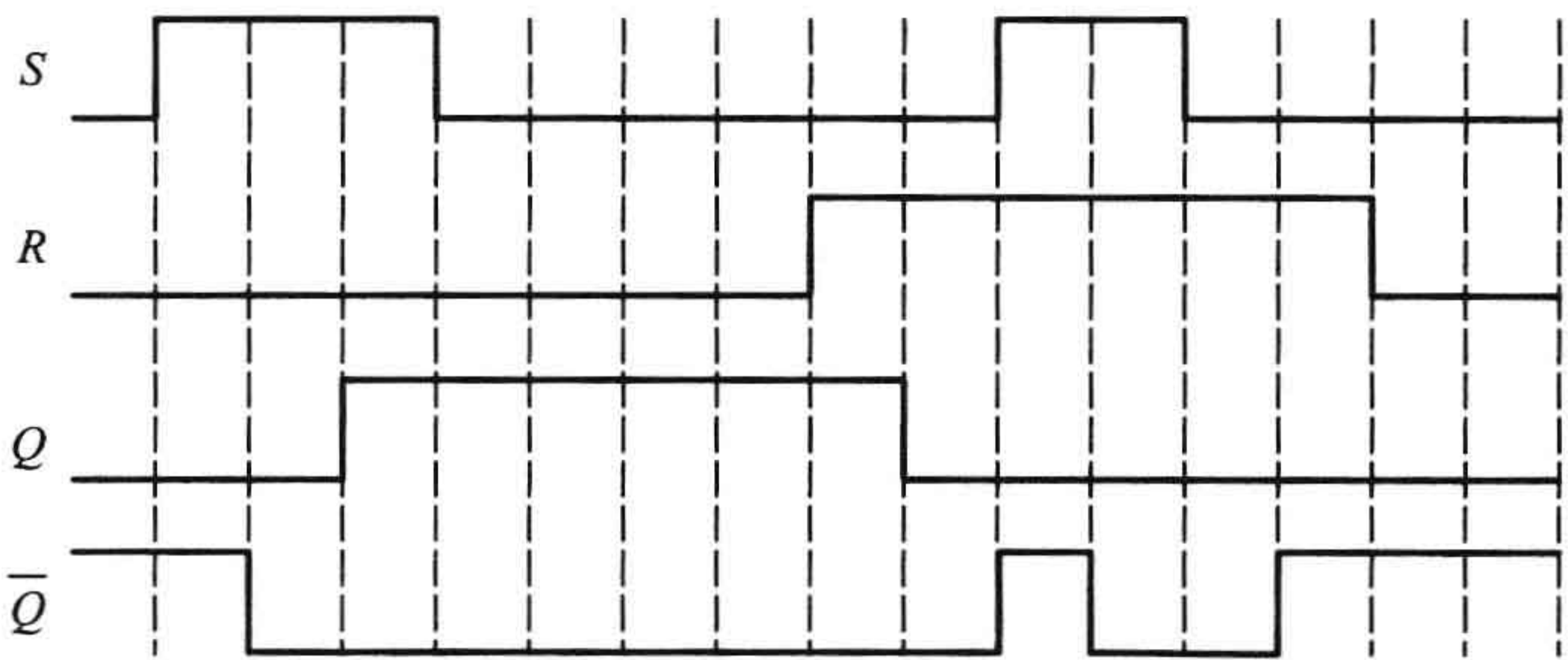


图 5.2.1(a)



图题 5.2.3

解:考虑或非门的传输延迟时间均为 10ns,且假定输入和输出信号的上升和下降时间均为 0,根据图 5.2.1(a),当 S 由 0 跳变为 1 时, $\bar{Q}$ 端需经 G_2 门延迟 10ns 才从 1 跳变为 0, $\bar{Q}=0$ 作用到 G_1 输入端,再经 G_1 门延迟 10ns, Q 端才由 0 跳变为 1。同样,当 R 由 0 跳变为 1 时,延迟 10ns Q 端才从 1 跳变为 0,再延迟 10ns, $\bar{Q}$ 端才由 0 跳变为 1。虽然此时发生了 $S=R=1$,仍需延迟 10ns 才进入 $Q=\bar{Q}=0$ 的非定义状态。 $S=1$ 撤除,恢复 $S=0$ 、 $R=1$ 的输入状态,也需要延迟 10ns $\bar{Q}$ 端才由 0 跳变为 1,这时锁存器才恢复到定义的 0 状态。于是,得到如图题解 5.2.3 所示的输出波形图。



图题解 5.2.3

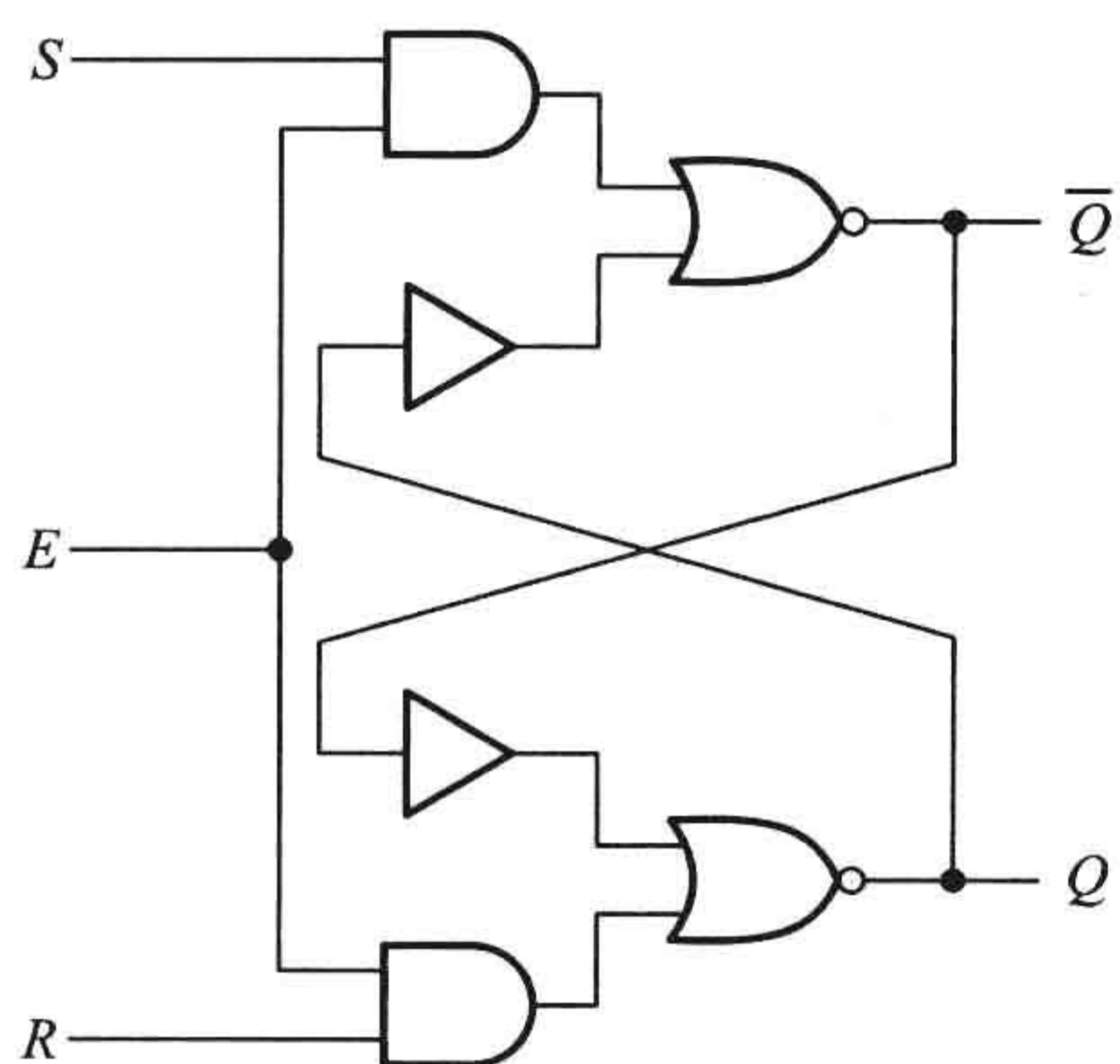
5.2.4 由与或非门组成的 SR 锁存器如图题 5.2.4 所示,试分析其工作原理并列出的功能表。

解:图题 5.2.4 所示锁存器,当 $E=0$ 时,无论输入端 S、R 逻辑值如何变化,其输出都维持原来状态不变;当 $E=1$ 时,其输出跟随 S、R 逻辑值的变化而变化。它的功能表如表题解 5.2.4 所示。

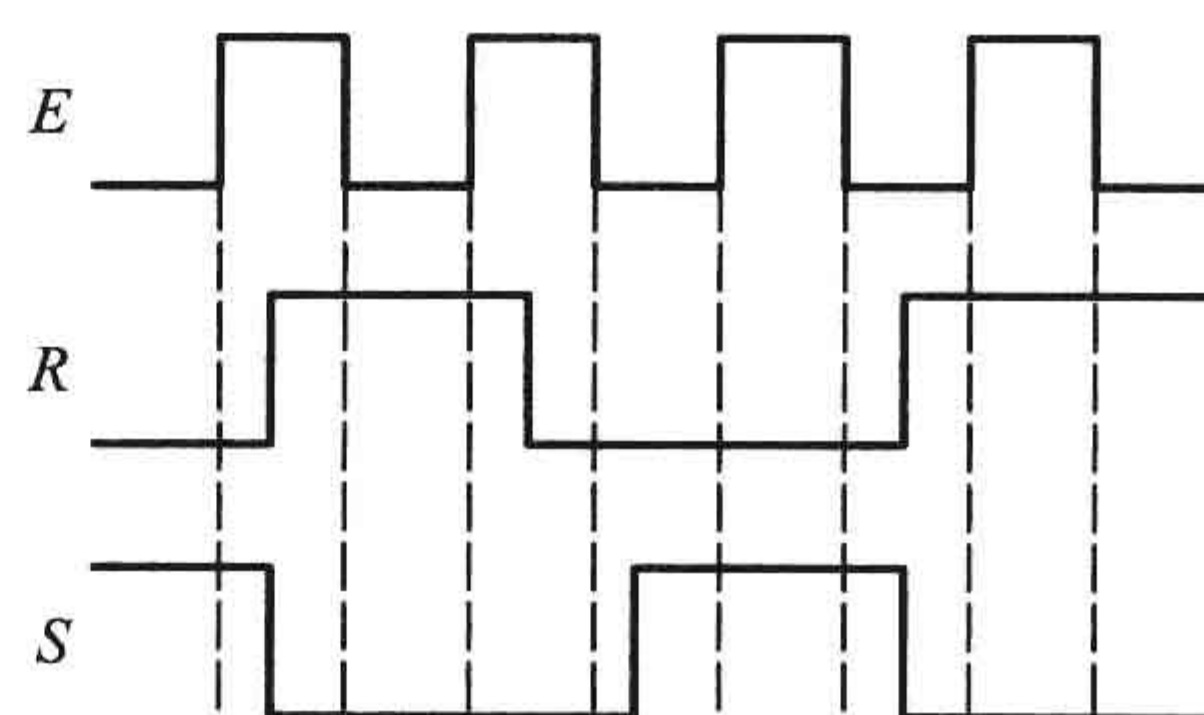
表题解 5.2.4 图题 5.2.4 所示电路的功能表

E	S	R	Q	$\bar{Q}$	功能
0	×	×	不变	不变	保持
1	0	0	不变	不变	保持
1	0	1	0	1	置 0
1	1	0	1	0	置 1
1	1	1	0	0	非定义状态

5.2.5 图题 5.2.4 所示锁存器的 E 、 R 、 S 端的输入信号波形如图题 5.2.5 所示,试画出 Q 和 $\bar{Q}$ 端的波形。设初始状态 $Q=0$ 。

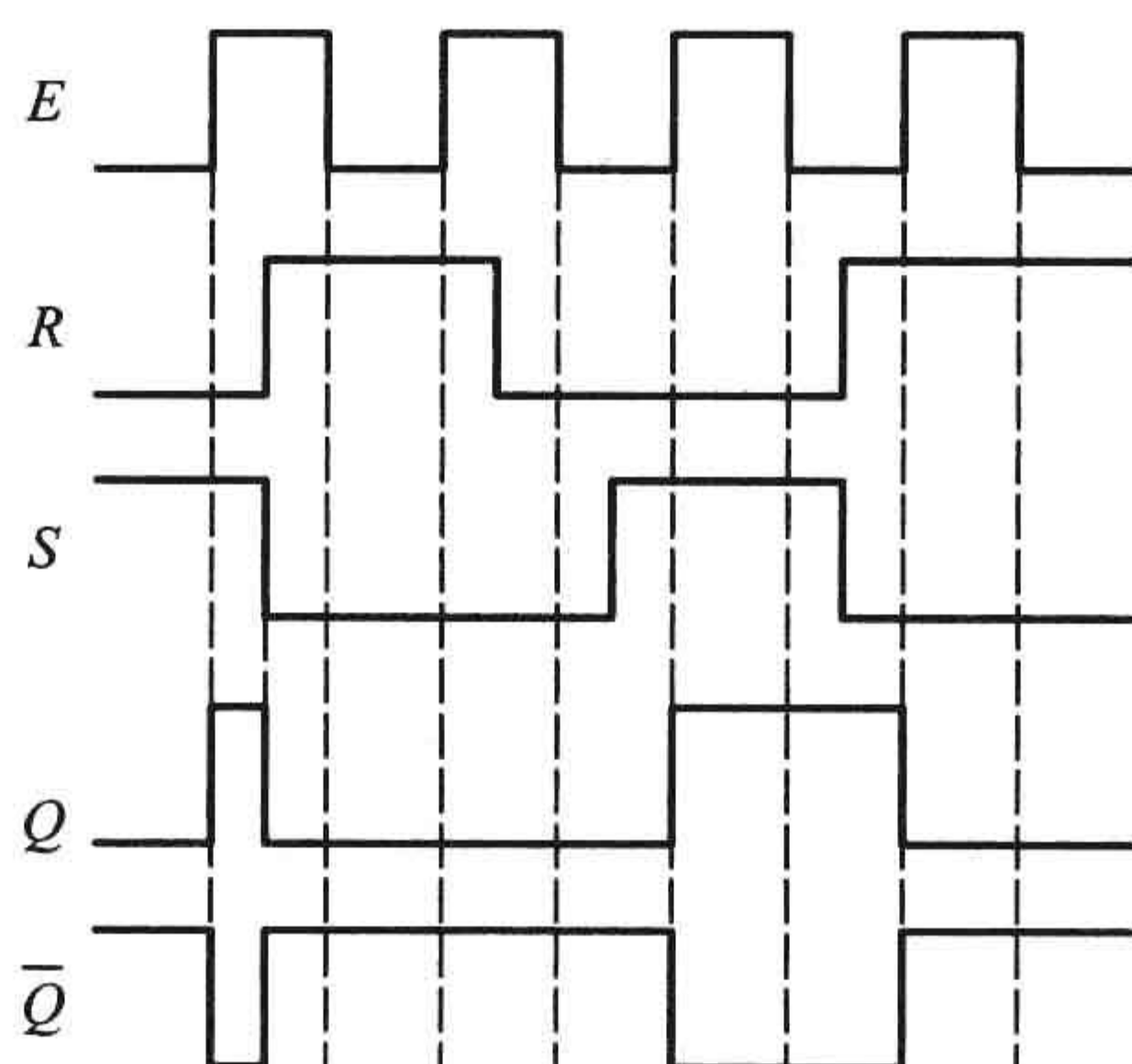


图题 5.2.4



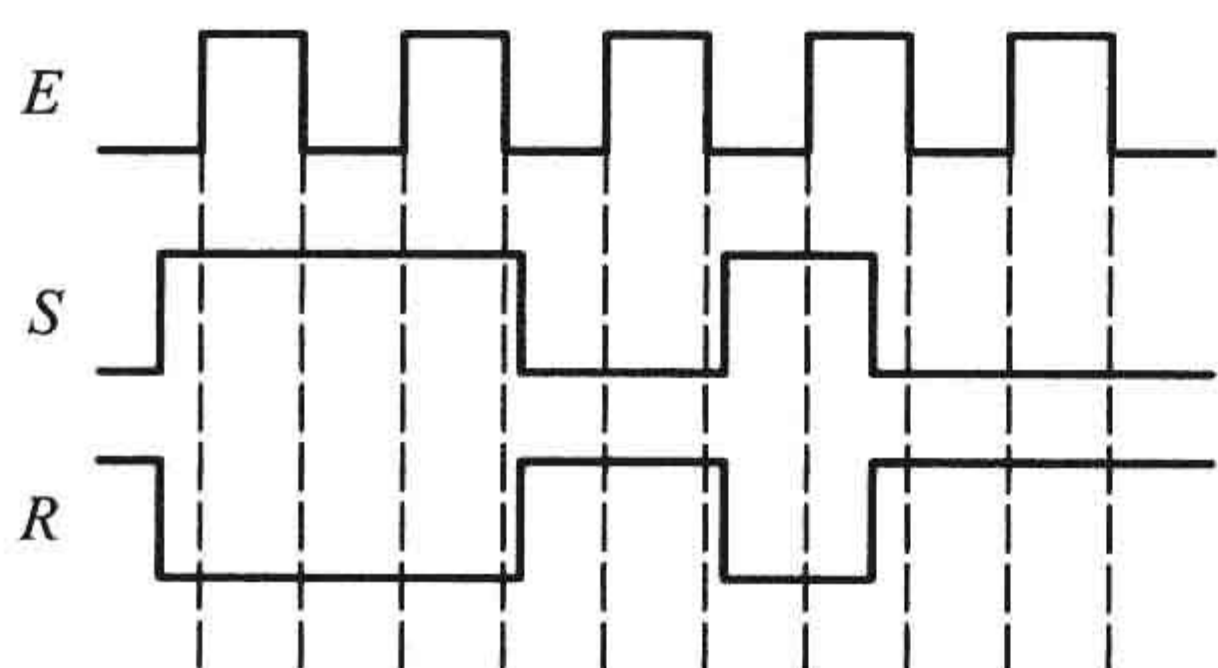
图题 5.2.5

解:从初始状态 $Q=0$ 开始,按照图题 5.2.5 所示波形,根据表题解 5.2.4,推导出输出端 Q 和 $\bar{Q}$ 的波形,如图题解 5.2.5 所示。



图题解 5.2.5

5.2.6 若图 5.2.8(a)所示电路的初始状态为 $Q=1$, E 、 S 、 R 端的输入信号如图题 5.2.6 所示,试画出相应 Q 和 $\bar{Q}$ 端的波形。



图题 5.2.6

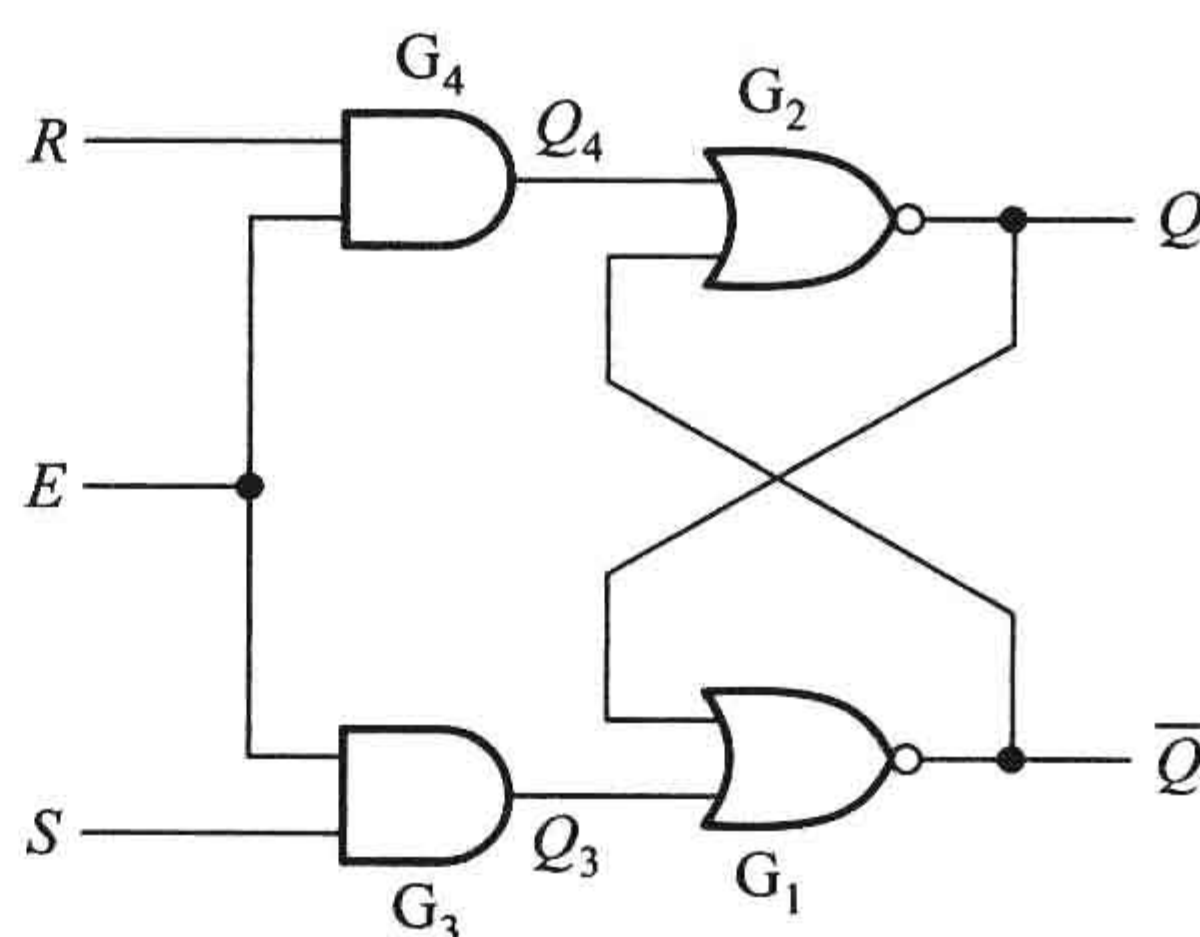
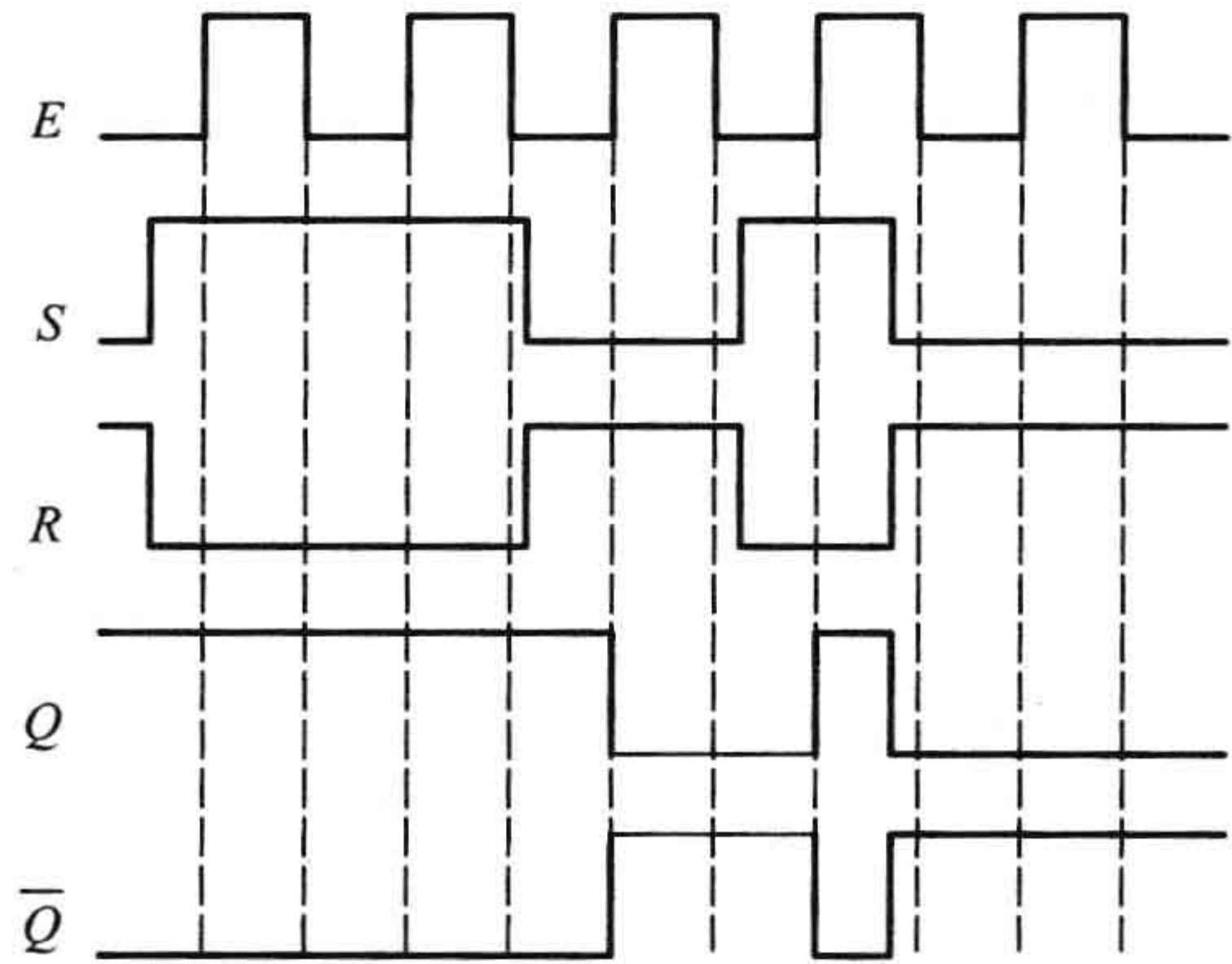


图 5.2.8(a)

解: 设初始状态 $Q=1$, 按照图题 5.2.6 所示波形, 推导出图 5.2.8(a) 所示电路输出端 Q 和 $\bar{Q}$ 的波形如图题解 5.2.6 所示。

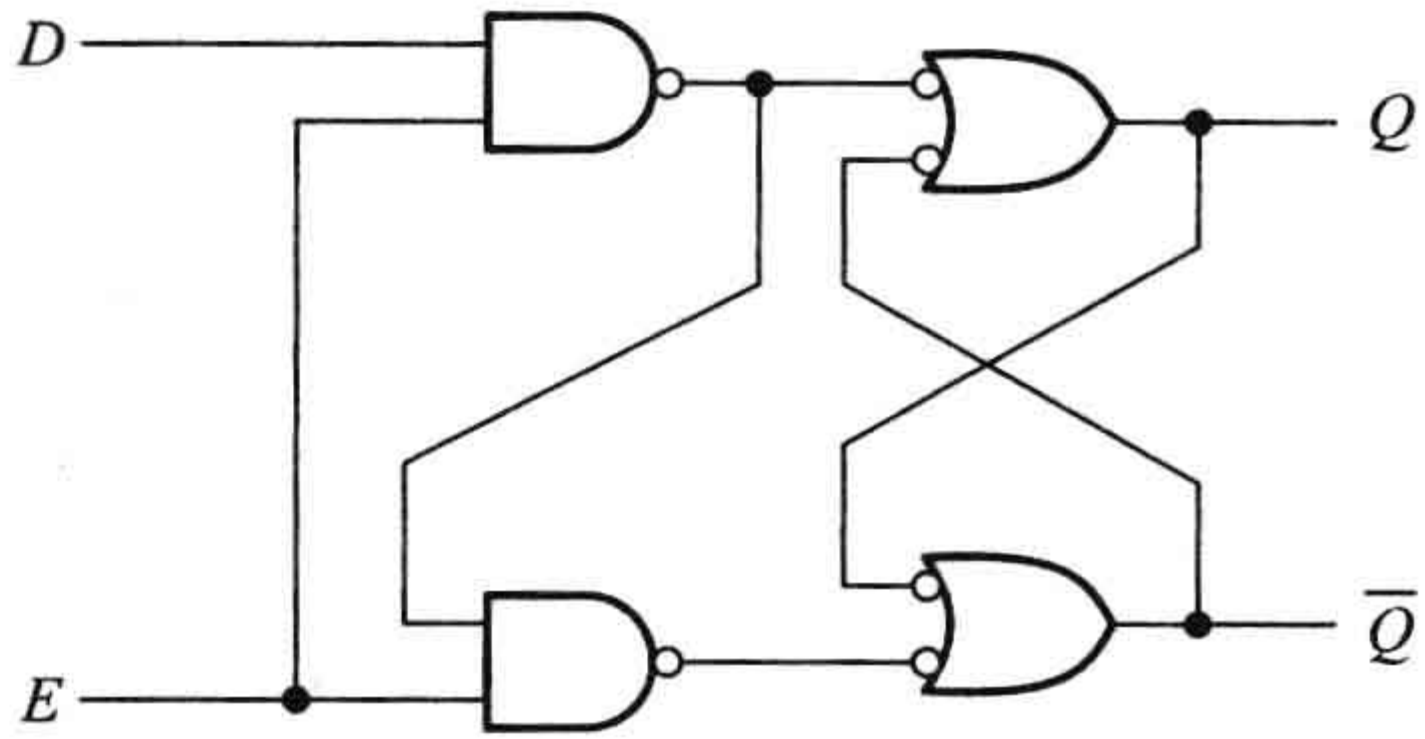


图题解 5.2.6

5.3 D 锁存器

5.3.1 列出图题 5.3.1 所示电路的功能表, 并与表 5.3.1 比较, 证明该电路的逻辑功能与图 5.3.1(a) 和图 5.3.3 所示的锁存器相同。与图 5.3.3 所示电路比较, 图题 5.3.1 所示电路有何优点?

解: 图题 5.3.1 所示电路有两个输入端: 使能端 E 和数据输入端 D 。当 $E=0$ 时, D 信号被输入端的与非门所阻断, 其变化不影响输出端 Q 和 $\bar{Q}$ 的状态, 电路功能为保持。当 $E=1$ 时, 输入端的两个与非门打开, 它们的输出反映 D 信号的变化, 且二者输出始终互



图题 5.3.1

补。显然, 这时 Q 端跟随输入信号 D 的变化: $D=0$, 则 $Q=0, \bar{Q}=1$, 电路置 0; $D=1$, 则 $Q=1, \bar{Q}=0$, 电路置 1。于是, 可以列出图题 5.3.1 所示电路的功能表如表题解 5.3.1 所示。该表与表 5.3.1 所示 D 锁存器的功能表完全一致, 所以图题 5.3.1 所示电路的逻辑功能与图 5.3.1(a) 和图 5.3.3 所示的两个 D 锁存器完全相同。

表题解 5.3.1 图题 5.3.1 所示电路的功能表

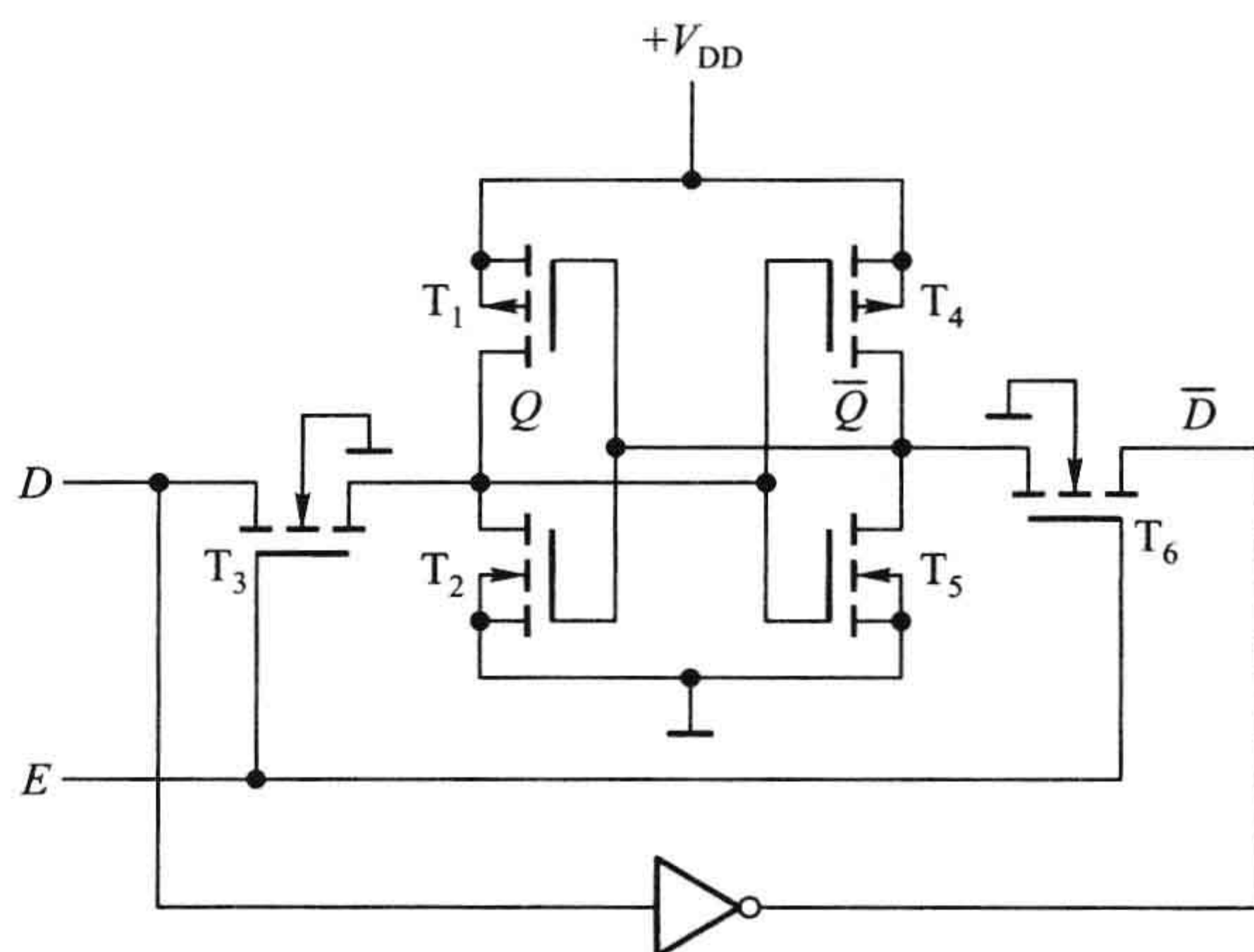
E	D	Q	$\bar{Q}$	功能
0	$\times$	不变	不变	保持
1	0	0	1	置 0
1	1	1	0	置 1

与图 5.3.3 所示 D 锁存器电路比较, 图题 5.3.1 所示电路具有如下优点:

- ① 电路总体节省一个非门,在一定程度上可提高电路的集成度;
- ② D 输入端只连接一个门,从而减轻了外部驱动该端的电路负载;
- ③ 单纯用与非门实现电路,在某些类型的集成电路(如某些系列的 CMOS 电路)中,与非门的传输延迟时间略低于与门和或非门。

鉴于上述原因,一些集成电路中的 D 锁存器选用图题 5.3.1 所示的逻辑结构。

5.3.2 一种简单的 D 锁存器晶体管级电路如图题 5.3.2 所示,试列出该电路的功能表。这种电路广泛用于 CMOS 静态随机存储器(SRAM)中作为基本存储单元。



图题 5.3.2

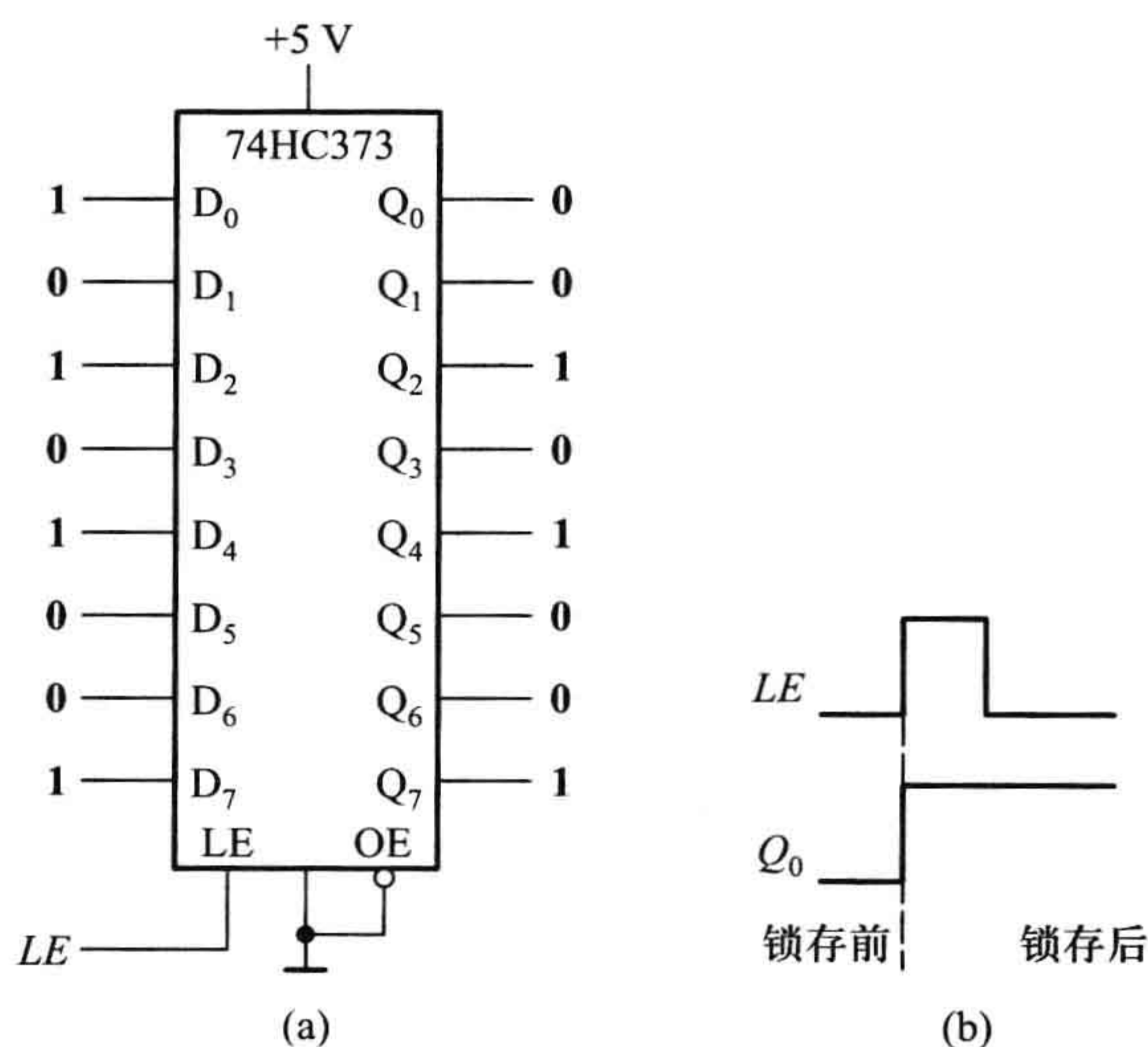
解:图题 5.3.2 所示电路中,由 T_1 、 T_2 和 T_4 、 T_5 分别构成两个 CMOS 非门,二者交叉耦合组成双稳态电路; T_3 、 T_6 是两个 NMOS 开关管。整个电路有两个输入端:使能端 E 和数据输入端 D 。当 $E=0$ 时,管 T_3 、 T_6 关断,双稳态电路输出 Q 和 $\bar{Q}$ 保持原来状态不变。当 $E=1$ 时, T_3 、 T_6 导通,迫使 $Q=D$ 、 $\bar{Q}=\bar{D}$,即 Q 端跟随输入信号 D 的变化: $D=0$,则 $Q=0$, $\bar{Q}=1$,电路置 0; $D=1$,则 $Q=1$, $\bar{Q}=0$,电路置 1。于是,可以列出图题 5.3.2 所示电路的功能表如表题解 5.3.2 所示。

表题解 5.3.2 图题 5.3.2 所示电路的功能表

E	D	Q	$\bar{Q}$	功能
0	$\times$	不变	不变	保持
1	0	0	1	置 0
1	1	1	0	置 1

5.3.3 试用 1 片八 D 锁存器 74HC373 设计一个能锁存两组 BCD 码信号的锁存电路。假定三态输出使能端 $\overline{OE}=0$,锁存器原输出为 $Q_7Q_6Q_5Q_4=1001(9_D)$ 和 $Q_3Q_2Q_1Q_0=0100(4_D)$,输入为 $D_7D_6D_5D_4=1001(9_D)$ 和 $D_3D_2D_1D_0=0101(5_D)$,画出锁存器锁存新数据前、后使能端 LE 应输入的波形和相应 Q_0 的波形。74HC373 的内部逻辑图请参见图 5.3.5。

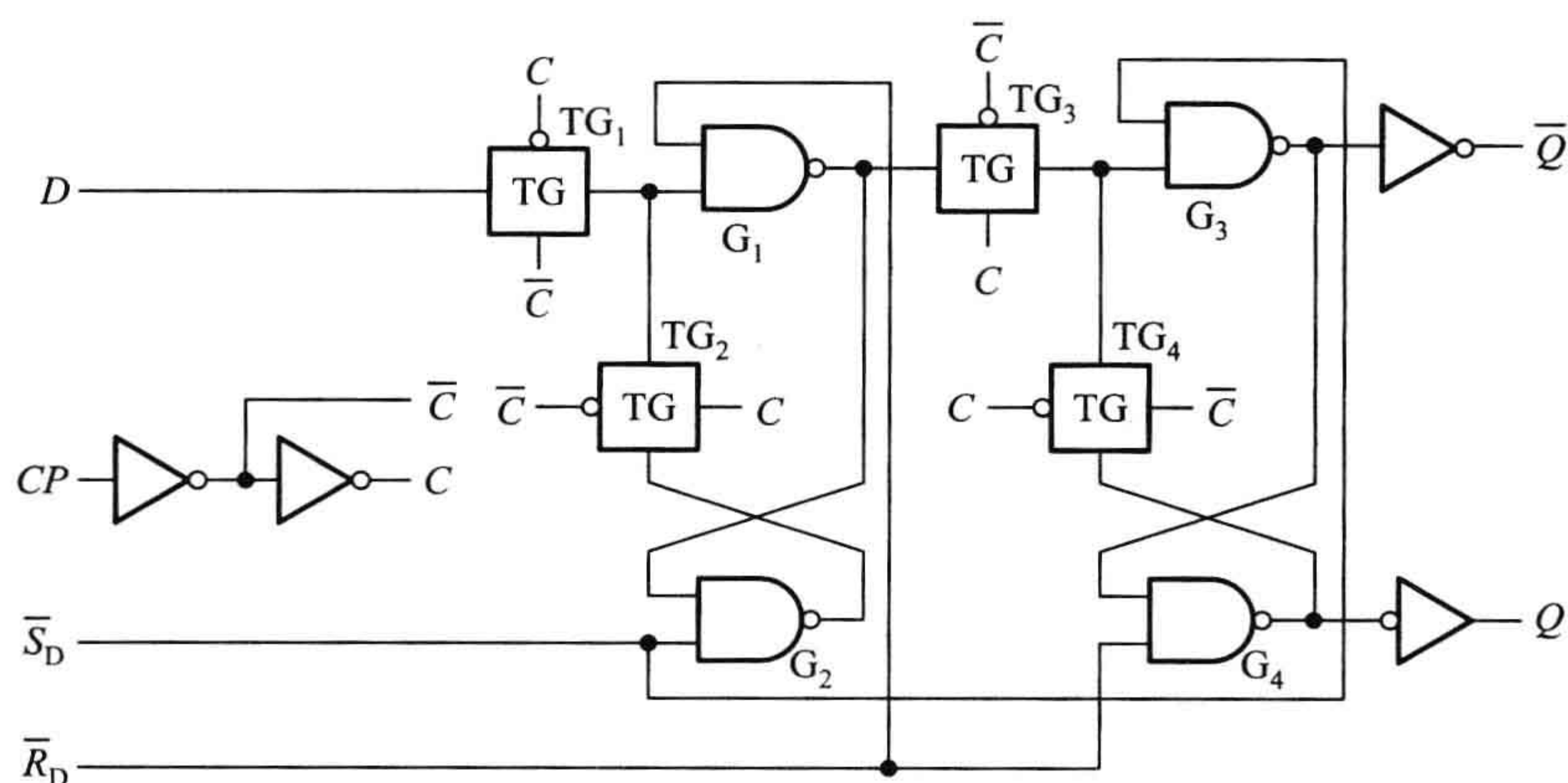
解:所设计的电路如图题解 5.3.3(a) 所示,其锁存新数据前、后使能端 LE 应输入的波形和相应 Q_0 的波形如图题解 5.3.3(b) 所示。



图题解 5.3.3

5.4 触发器的电路结构和工作原理

5.4.1 触发器的逻辑电路如图题 5.4.1 所示,确定其属于何种电路结构的触发器并分析工作原理。



图题 5.4.1

解:图题 5.4.1 所示电路是由两个传输门控 D 锁存器级联构成的 CMOS 主从 D 触发器。其中 G_1 、 G_2 构成主锁存器, G_3 、 G_4 构成从锁存器。 $\overline{S}_D$ 和 $\overline{R}_D$ 分别为直接置 1 端和直接置 0 端,当触发器处于以下触发工作状态时,应将 $\overline{S}_D$ 和 $\overline{R}_D$ 置为高电平。

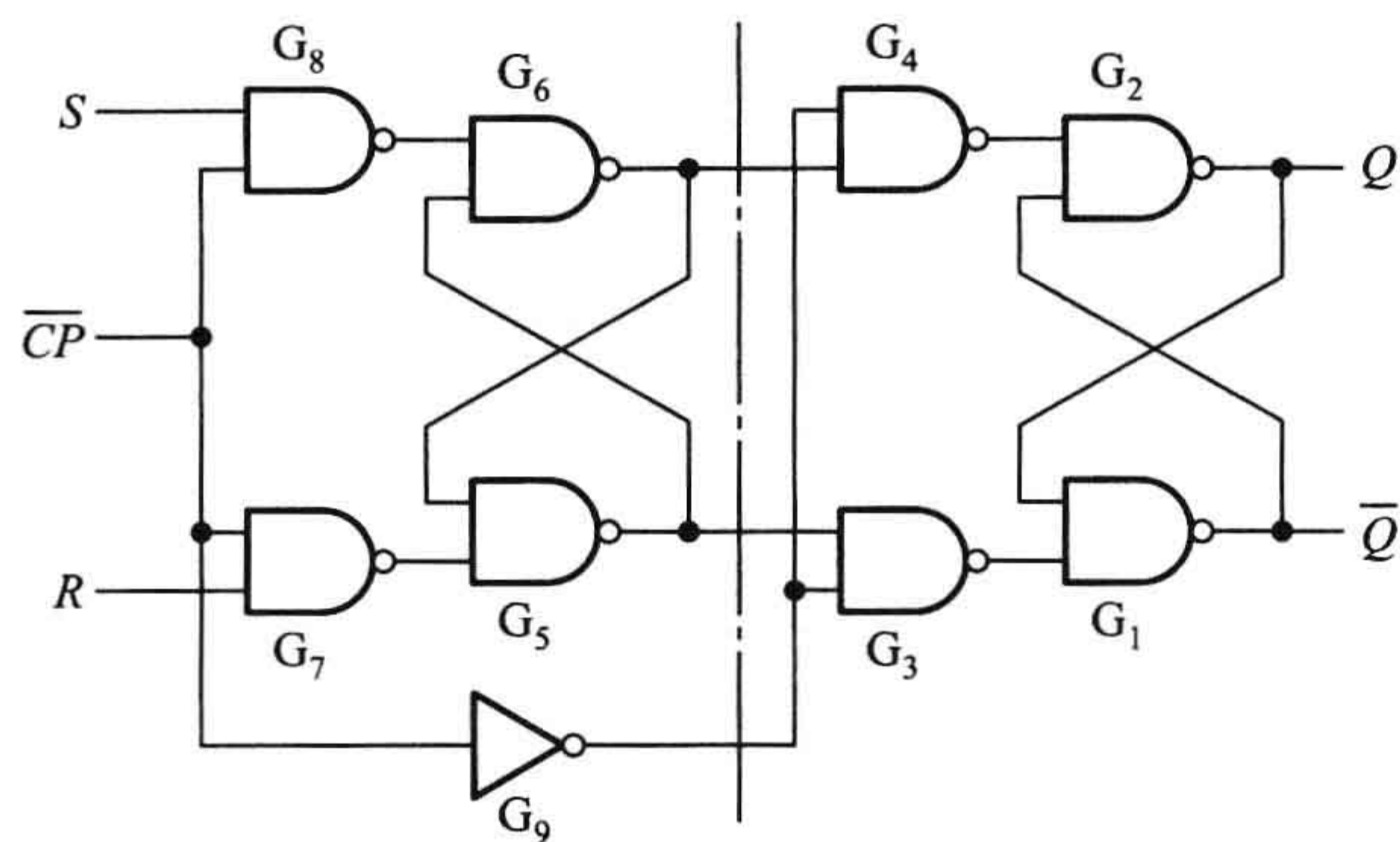
(1) 当 $CP=0$ 时, $\overline{C}=1$, $C=0$, TG_1 和 TG_4 导通, TG_2 和 TG_3 断开。 D 端信号进入主锁存器, G_1

输出为 $\bar{D}$, 并随 D 变化。由于 TG_3 断开、 TG_4 导通, 主、从锁存器相互隔离, 从锁存器构成双稳态存储单元, 使触发器输出维持原来的状态不变。

(2) 当 CP 由 0 跳变到 1 瞬间, $\bar{C}=0, C=1$, TG_1 和 TG_4 断开, TG_2 和 TG_3 导通。这时 D 端与主锁存器之间的联系被切断, TG_2 的导通使主锁存器维持在 CP 上升沿到来前瞬间的状态。同时由于 TG_3 导通, G_1 输出信号送至 Q 端, 得到 $Q^{n+1}=D$, 并在 $CP=1$ 期间维持不变。

(3) 当 CP 由 1 跳变到 0 后, 则再次重复(1)的过程。

5.4.2 触发器的逻辑电路如图题 5.4.2 所示, 确定其应属于何种电路结构的触发器。



图题 5.4.2

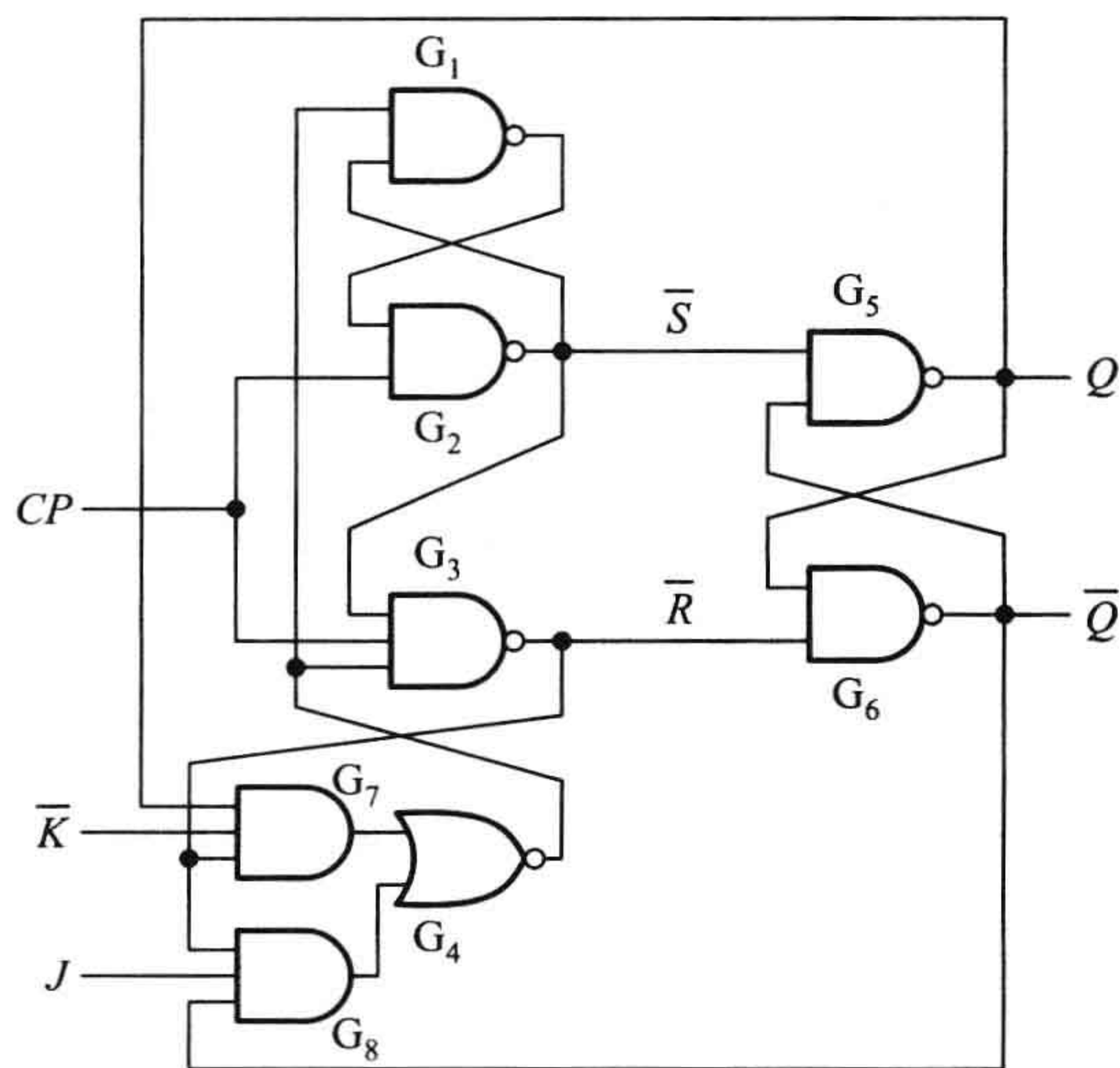
解: 图题 5.4.2 所示电路是由两个逻辑门控 SR 锁存器级联构成的主从 SR 触发器。

5.4.3 触发器的逻辑电路如图题 5.4.3 所示, 确定其属于何种电路结构的触发器。

解: 图题 5.4.3 所示电路是维持阻塞结构的 $J\bar{K}$ 触发器。

5.4.4 根据对图 5.4.8 所示电路的分析, 列出其功能表。

解: 分析图 5.4.8 所示电路, 可得功能表如表题解 5.4.4 所示。



图题 5.4.3

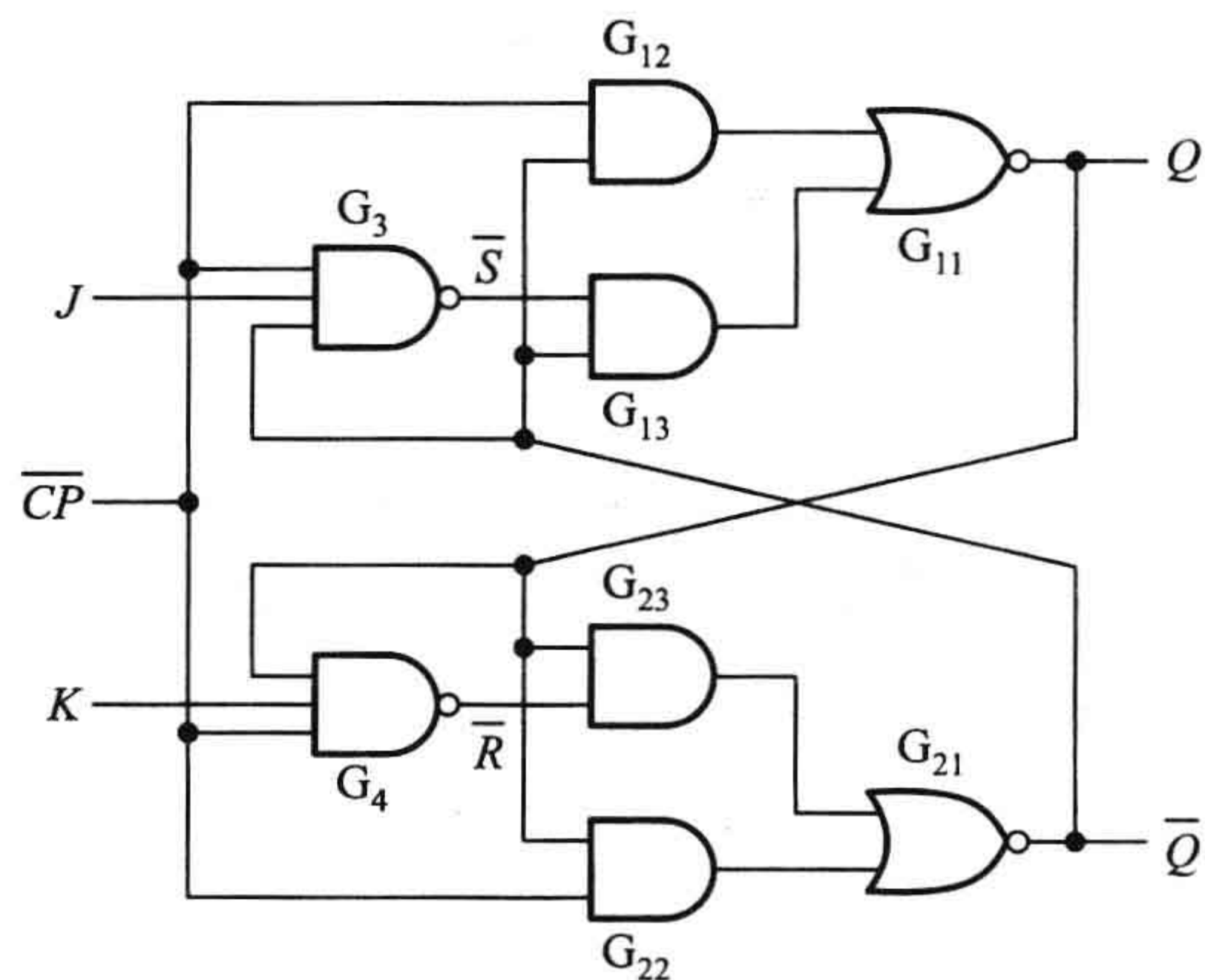


图 5.4.8

表题解 5.4.4 图 5.4.8 所示电路的功能表

输入			输出		功能
$\overline{CP}$	J	K	Q^{n+1}	$\overline{Q^{n+1}}$	
↓	L	L	Q^n	$\overline{Q^n}$	保持
↓	L	H	L	H	置 0
↓	H	L	H	L	置 1
↓	H	H	$\overline{Q^n}$	Q^n	翻转

5.4.5 图 5.4.7 所示维持阻塞 D 触发器在 $D=1$ 时保持时间 t_H 为零,分析其原因。

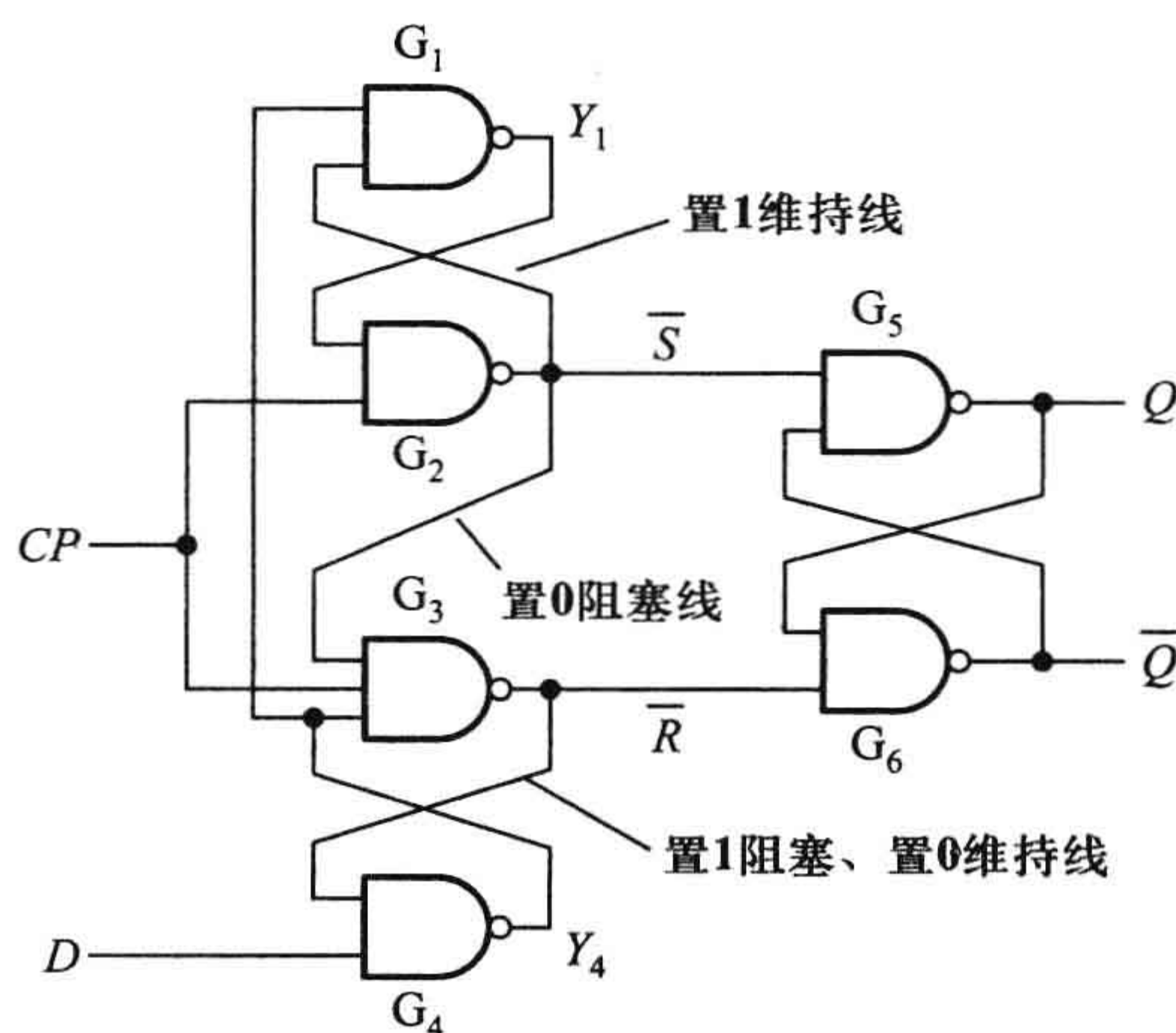


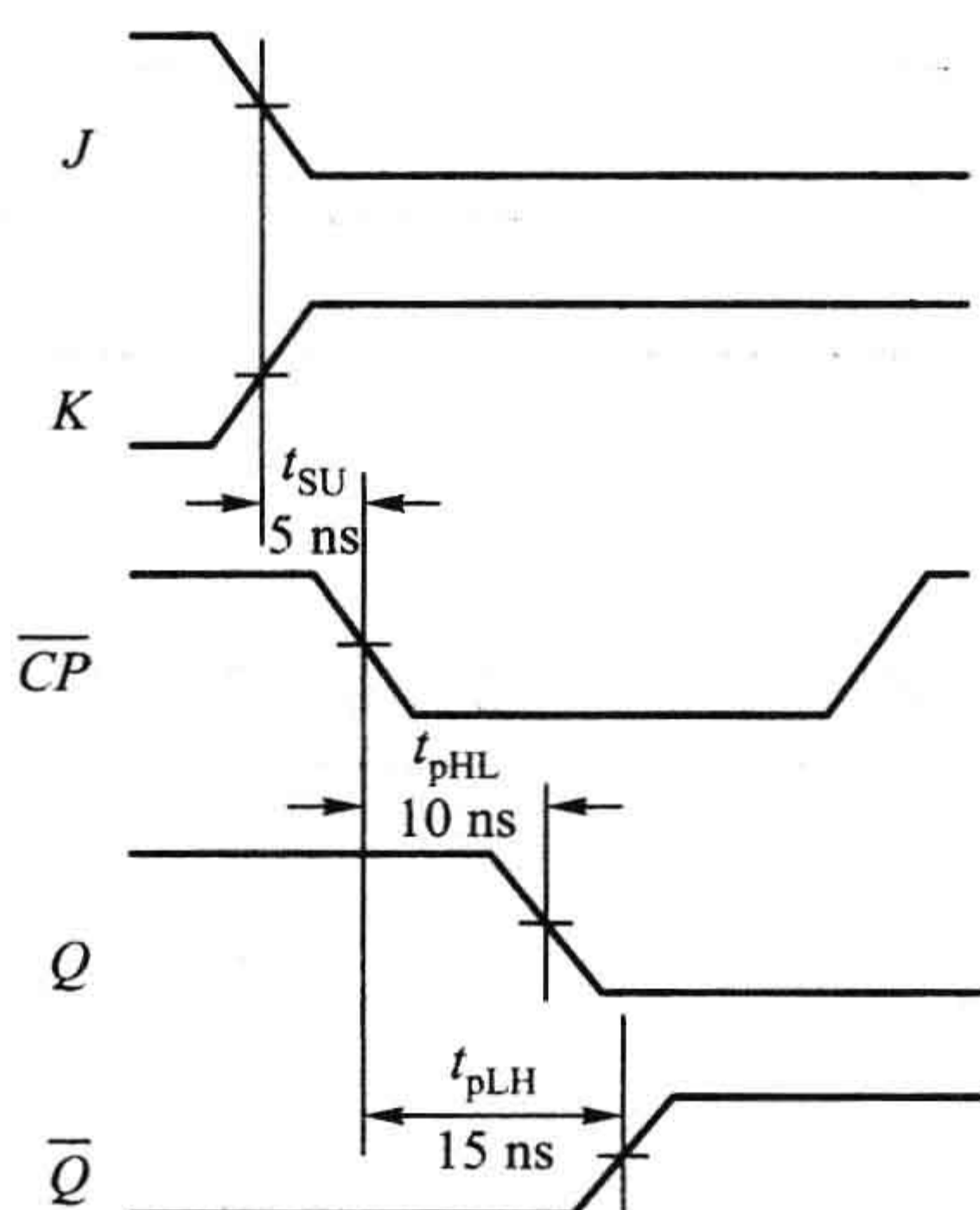
图 5.4.7

解:图 5.4.7 所示的维持阻塞 D 触发器在 CP 脉冲上升沿到来之前, $CP=0$, 使 $\overline{S}=\overline{R}=1$ 。只要至少提前 t_{su} (建立时间) 将 D 置 1, 则来得及使 $Y_4=\overline{RD}=0$, $Y_1=\overline{SY}_4=1$ 。虽然 G_5 和 G_6 构成的输出 SR 锁存器的输出状态保持不变, 但已为下一步触发器置 1 做好了准备。

一旦 CP 脉冲上升沿到来, 仅经过 G_2 一个门的传输延迟时间, 便使 $\overline{S}=0$, 将输出 SR 锁存器置 1, 并同时通过置 1 维持线和置 0 阻塞线分别作用于 G_1 、 G_3 输入端。即使 D 信号由 1 到 0 的跳变与 CP 上升沿同时到达, 即 $D=1$ 的保持时间 $t_H=0$, 也要经过 G_4 门的传输延迟后才能使 $Y_4=1$, 然后才能对 G_1 和 G_3 两门发生作用。而这时 $\overline{S}$ 的低电平信号也几乎同时到达 G_1 和 G_3 输入端将两门封住, 从而禁止了 D 信号跳变对触发器输出发生影响。这种触发器一般在制造工艺上已保证了 G_2 的传输延迟时间小于 G_4 。

5.4.6 图 5.4.8 所示触发器电路的动态特性参数为: $t_{su}=5\text{ns}$, $t_{pHL}=10\text{ns}$, $t_{pLH}=15\text{ns}$ 。画出这种触发器的定时图。

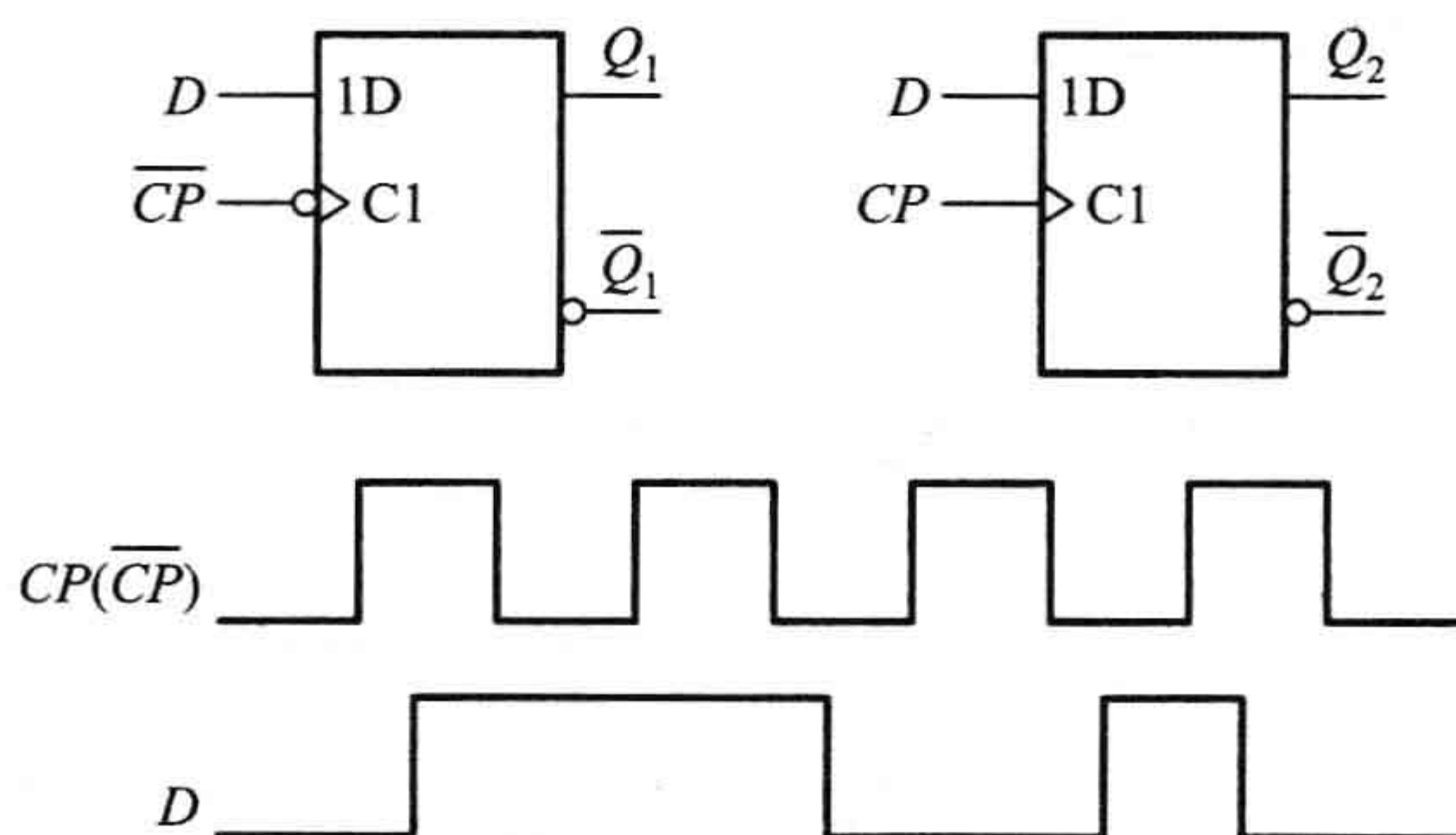
解:图 5.4.8 所示电路是下降沿触发的 JK 触发器。 t_{SU} 为建立时间,它表示 J 、 K 信号的作用应提前于 $\overline{CP}$ 信号下降沿的时间最小值, t_{pHL} 是指 J 、 K 信号和 $\overline{CP}$ 信号共同作用后,输出从高电平到低电平的延迟时间, t_{pLH} 则是指输出从低电平到高电平的延迟时间。设触发器的初始状态为 1,与 $\overline{CP}$ 信号下降沿相关的定时图如图题解 5.4.6 所示。



图题解 5.4.6

5.5 触发器的逻辑功能

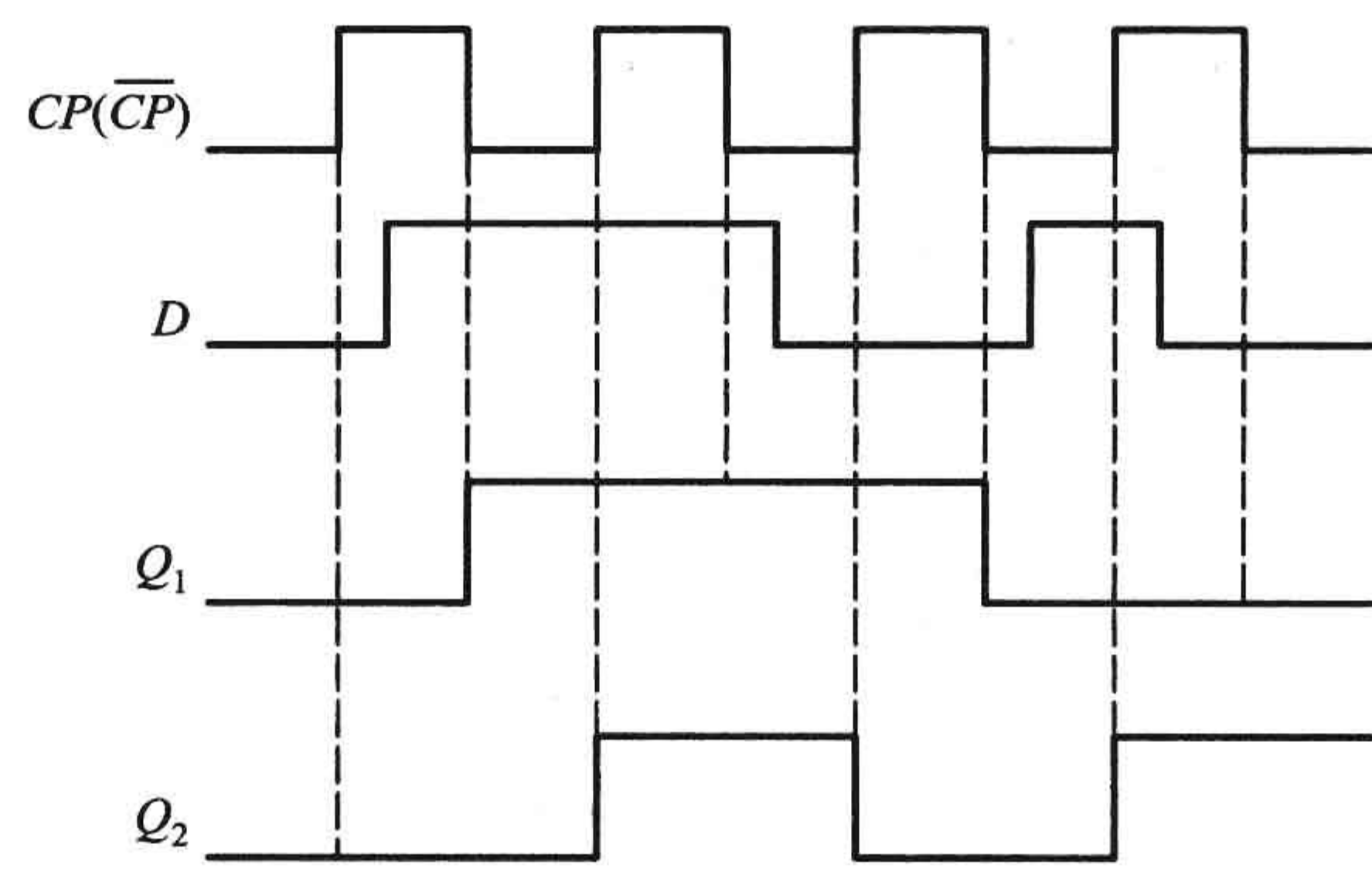
5.5.1 上升沿触发和下降沿触发的 D 触发器逻辑符号及时钟信号 $CP(\overline{CP})$ 和输入信号 D 的波形如图题 5.5.1 所示。分别画出它们的 Q 端波形。设触发器的初始状态为 0。



图题 5.5.1

解: Q_1 和 Q_2 的波形如图题解 5.5.1 所示。

5.5.2 试用卡诺图化简表 5.5.2 表达的逻辑关系,并将结果与主教材中式(5.5.2)核对。



图题解 5.5.1

表 5.5.2 JK 触发器的特性表

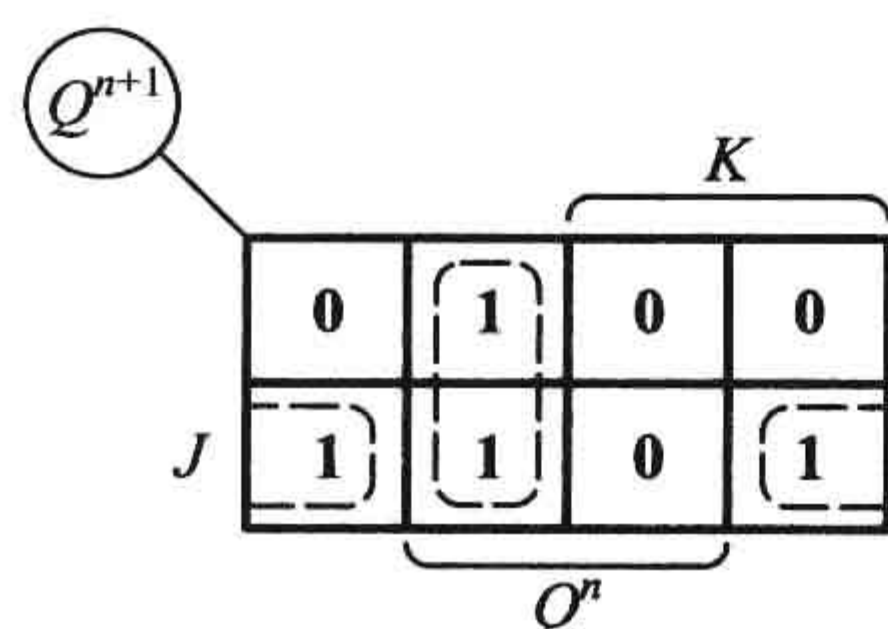
J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

解：由表 5.5.2 可得卡诺图如图题解 5.5.2，由图可得

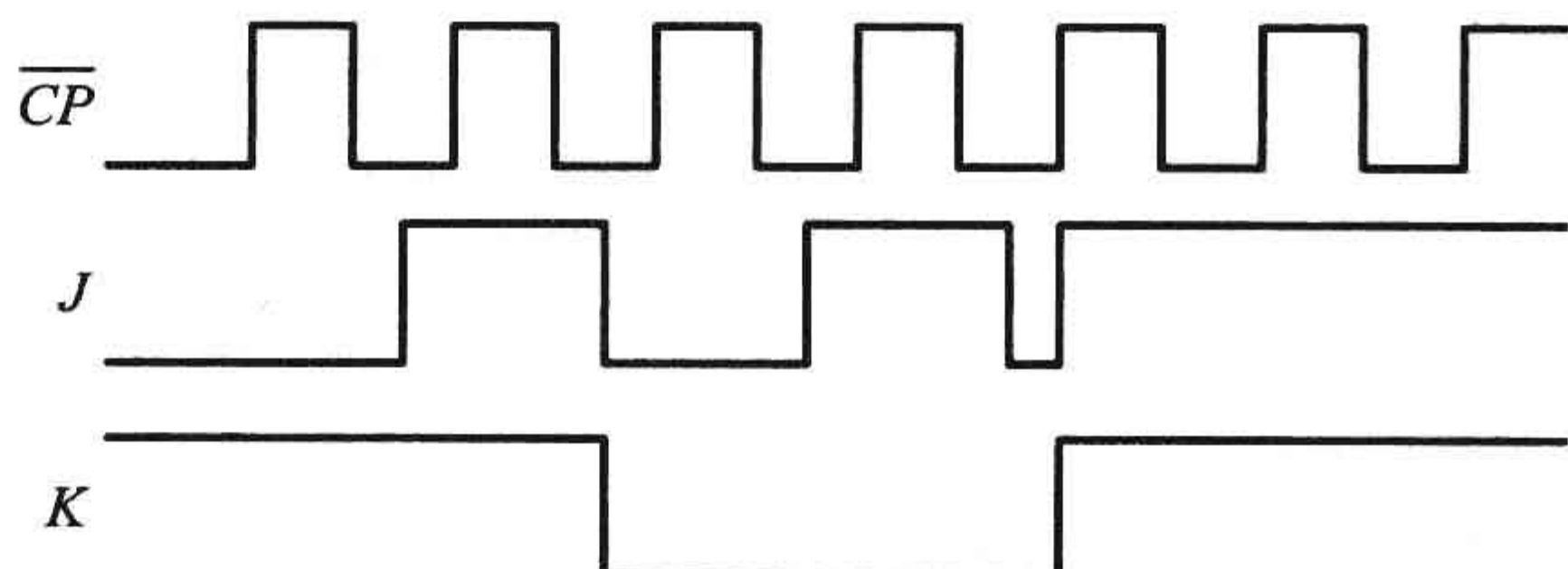
$$Q^{n+1} = J \overline{Q}^n + \overline{K} Q^n$$

结果与式(5.5.2)一致。

5.5.3 设下降沿触发的 JK 触发器初始状态为 0， $\overline{CP}$ 、 J 、 K 信号如图题 5.5.3 所示，试画出触发器 Q 端的输出波形。

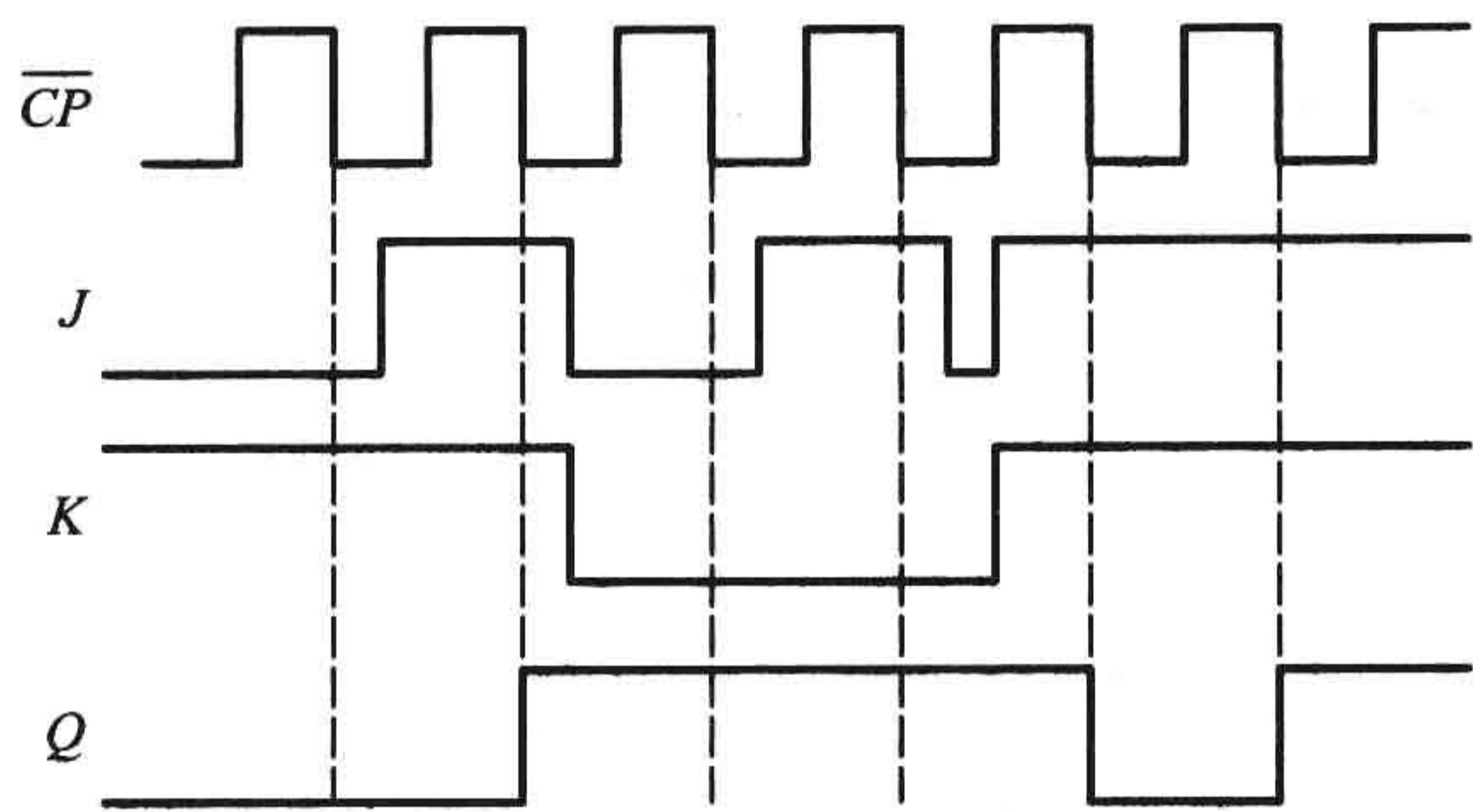


图题解 5.5.2



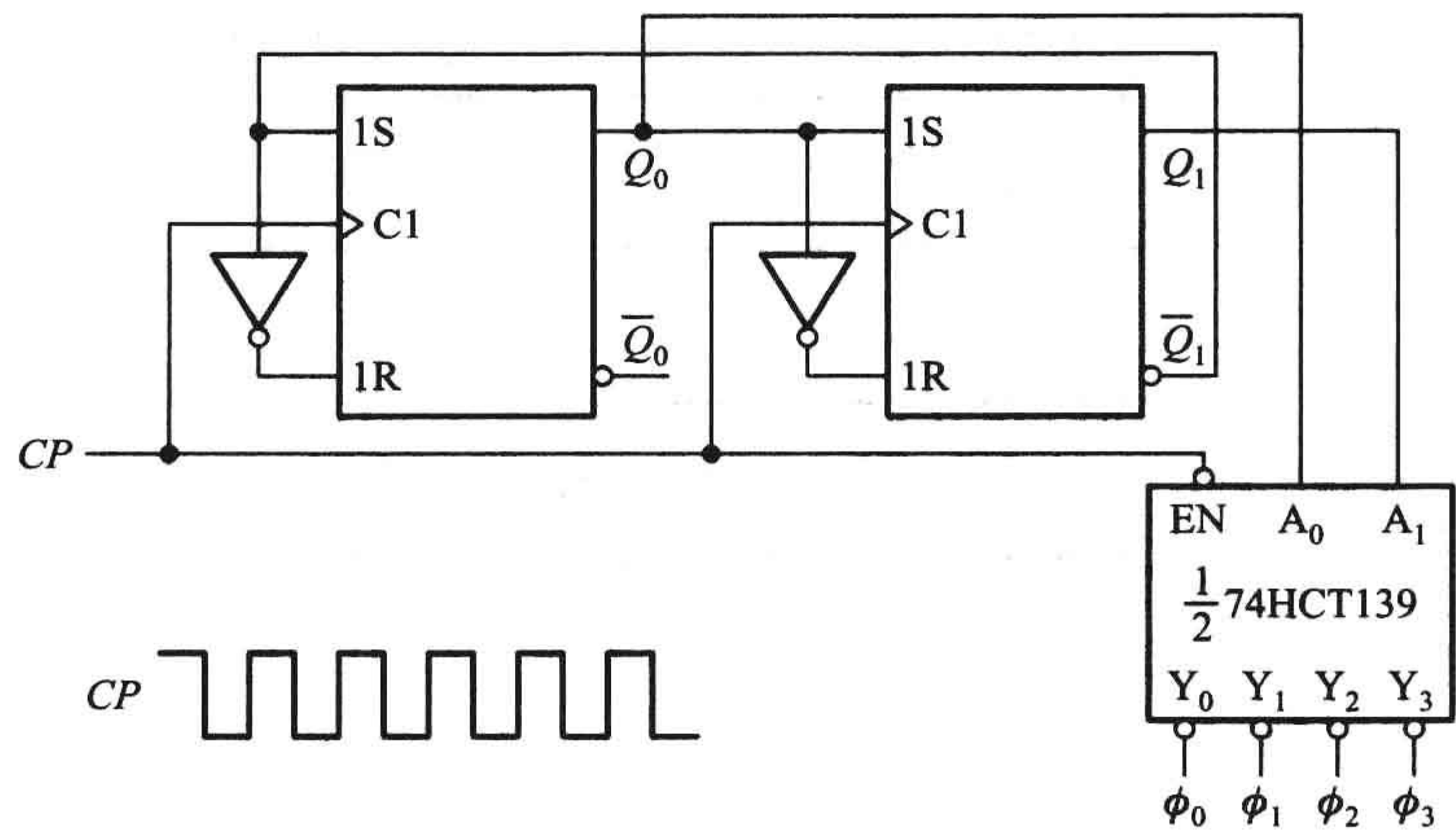
图题 5.5.3

解：Q 端的波形如图题解 5.5.3 所示。



图题解 5.5.3

5.5.4 逻辑电路如图题 5.5.4 所示,初始状态为 $Q_0=Q_1=0$,试画出在 CP 作用下, φ_0 、 φ_1 、 φ_2 和 φ_3 的波形。



图题 5.5.4

解:由逻辑电路图和 SR 触发器特性方程

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ SR = 0 \text{ (约束条件)} \end{cases}$$

可列出表达式

$$\begin{aligned} Q_0^{n+1} &= \overline{Q_1^n} + \overline{Q_1^n}Q_0^n = \overline{Q_1^n} \\ Q_1^{n+1} &= Q_0^n + Q_0^nQ_1^n = Q_0^n \end{aligned}$$

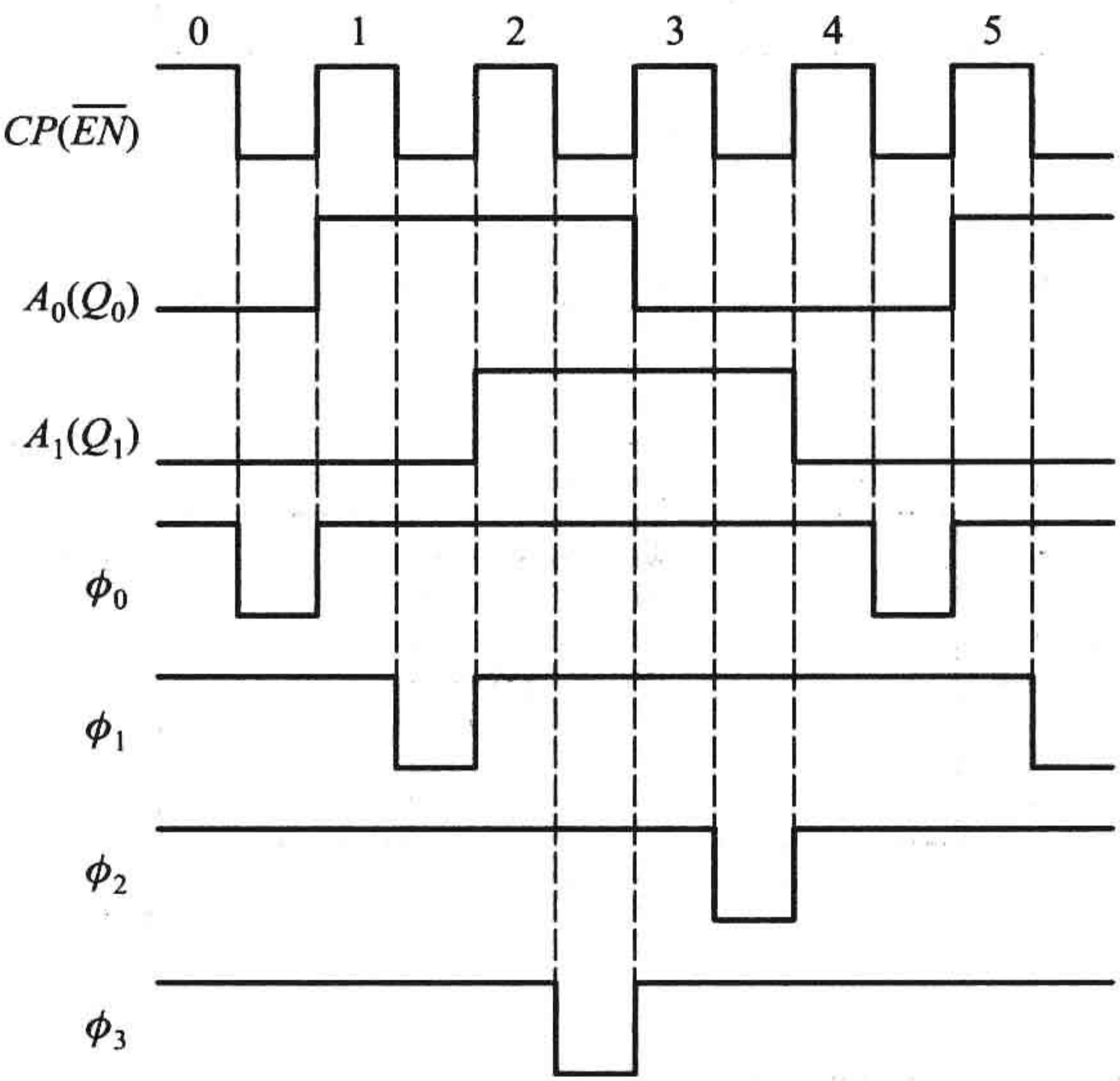
设初态为 $Q_1=Q_0=0$,列出真值表如表题解 5.5.4 所示。继而画出波形图,如图题解 5.5.4 所示。

表题解 5.5.4

CP 序列	$A_1(Q_1)$	$A_0(Q_0)$	φ_3	φ_2	φ_1	φ_0
0	0	0	1	1	1	0
1	0	1	1	1	0	1

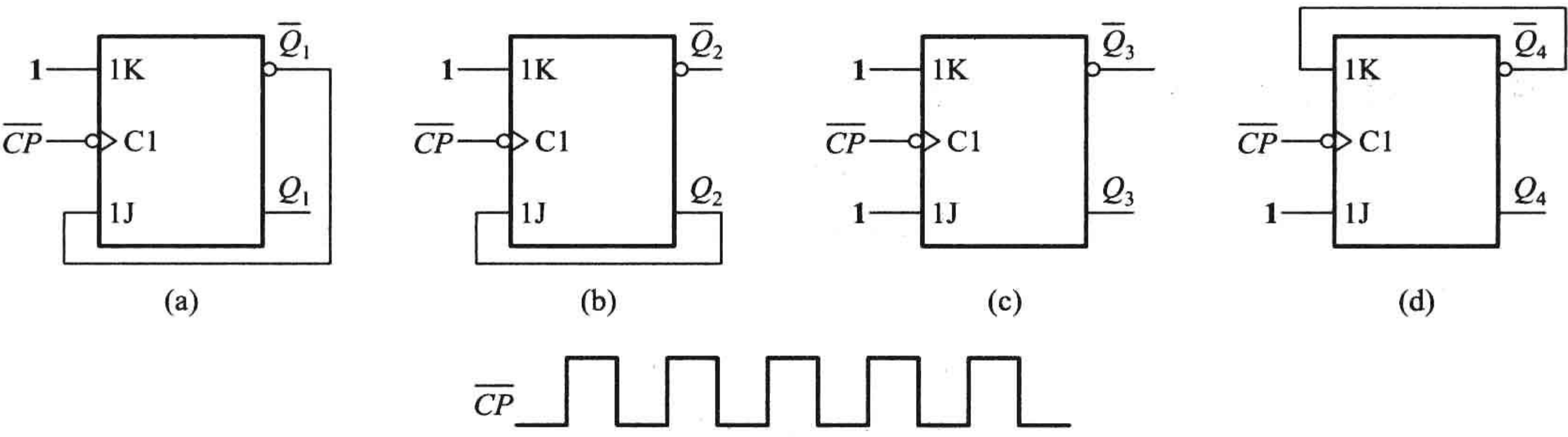
续表

CP 序列	$A_1(Q_1)$	$A_0(Q_0)$	φ_3	φ_2	φ_1	φ_0
2	1	1	0	1	1	1
3	1	0	1	0	1	1
4	0	0	1	1	1	0
5	0	1	1	1	0	1



图题解 5.5.4

5.5.5 电路如图题 5.5.5 所示,设各触发器的初始状态为 0,画出在 $\overline{CP}$ 脉冲作用下 Q 端波形。



图题 5.5.5

解:由 JK 触发器的特性方程 $Q^{n+1} = J \overline{Q}^n + \overline{K} Q^n$,对照图题 5.5.5 各触发器电路可得:

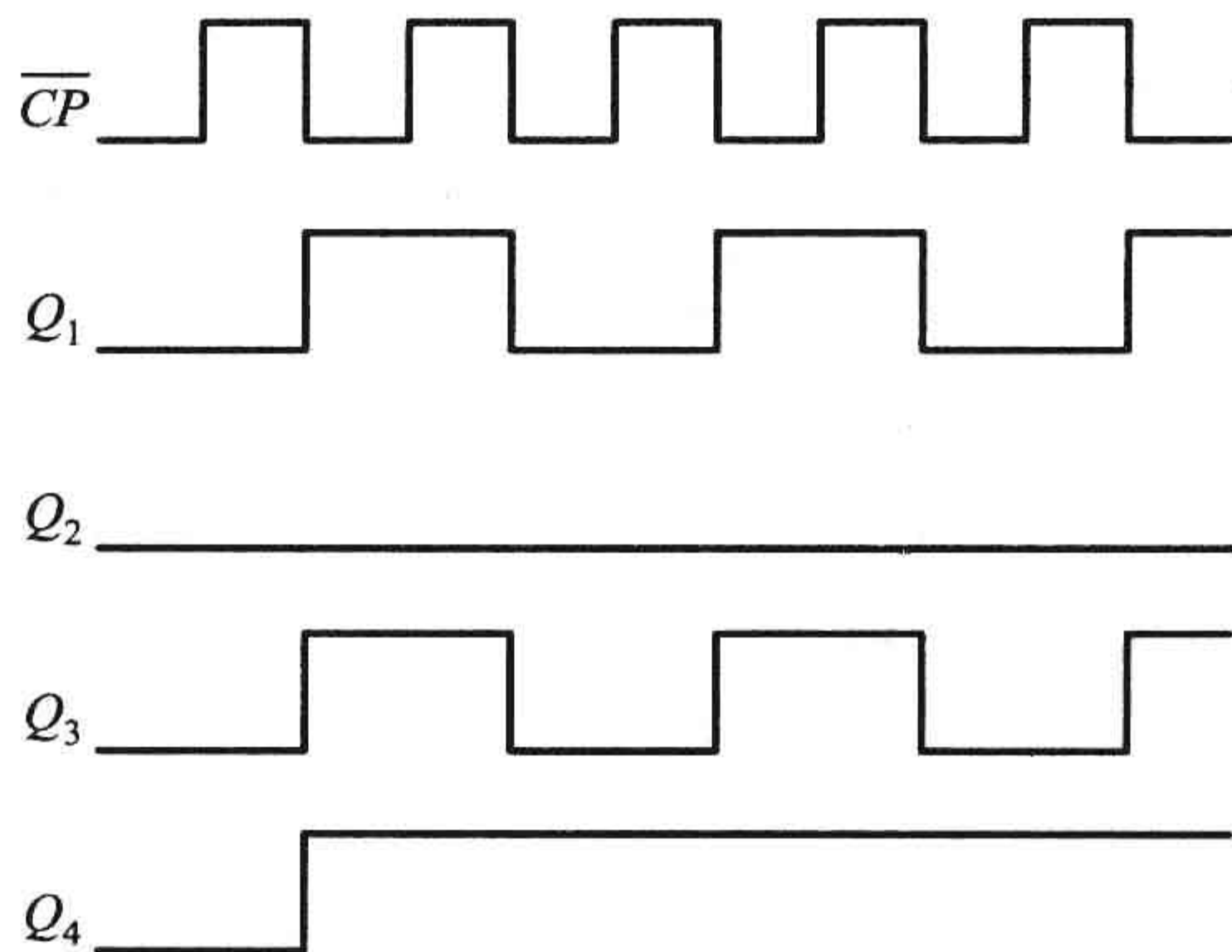
(a) $Q_1^{n+1} = J \overline{Q}_1^n + \overline{K} Q_1^n = \overline{Q}_1^n$

(b) $Q_2^{n+1} = J \overline{Q}_2^n + \overline{K} Q_2^n = 0$

(c) $Q_3^{n+1} = J \overline{Q}_3^n + \overline{K} Q_3^n = \overline{Q}_3^n$

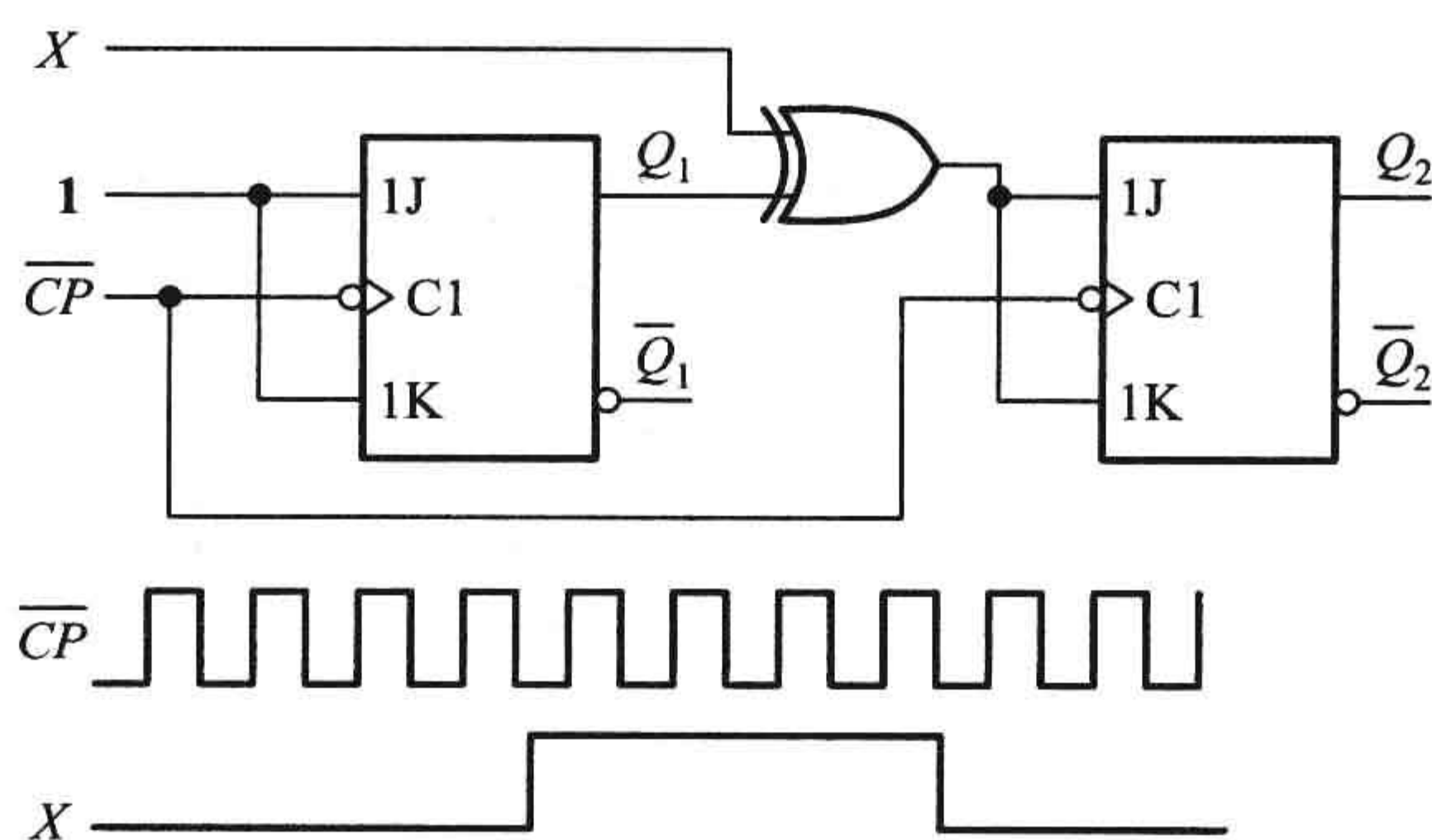
$$(d) Q_4^{n+1} = J \overline{Q_4^n} + \overline{K} Q_4^n = 1$$

于是,画出各触发器 Q 端的波形,如图题解 5.5.5 所示。



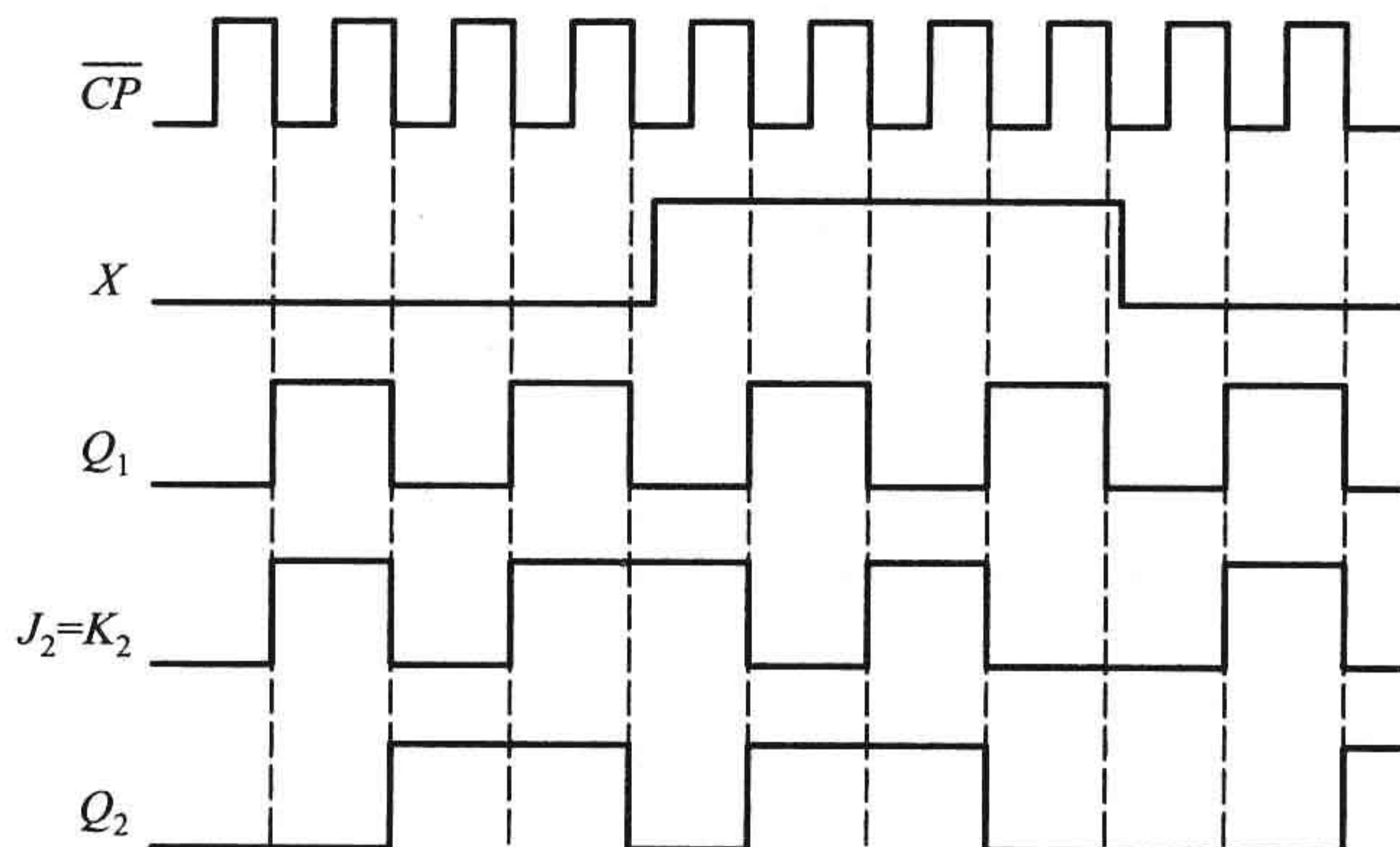
图题解 5.5.5

5.5.6 逻辑电路如图题 5.5.6 所示,已知 $\overline{CP}$ 和 X 的波形,试画出 Q_1 和 Q_2 的波形。触发器的初始状态均为 0。



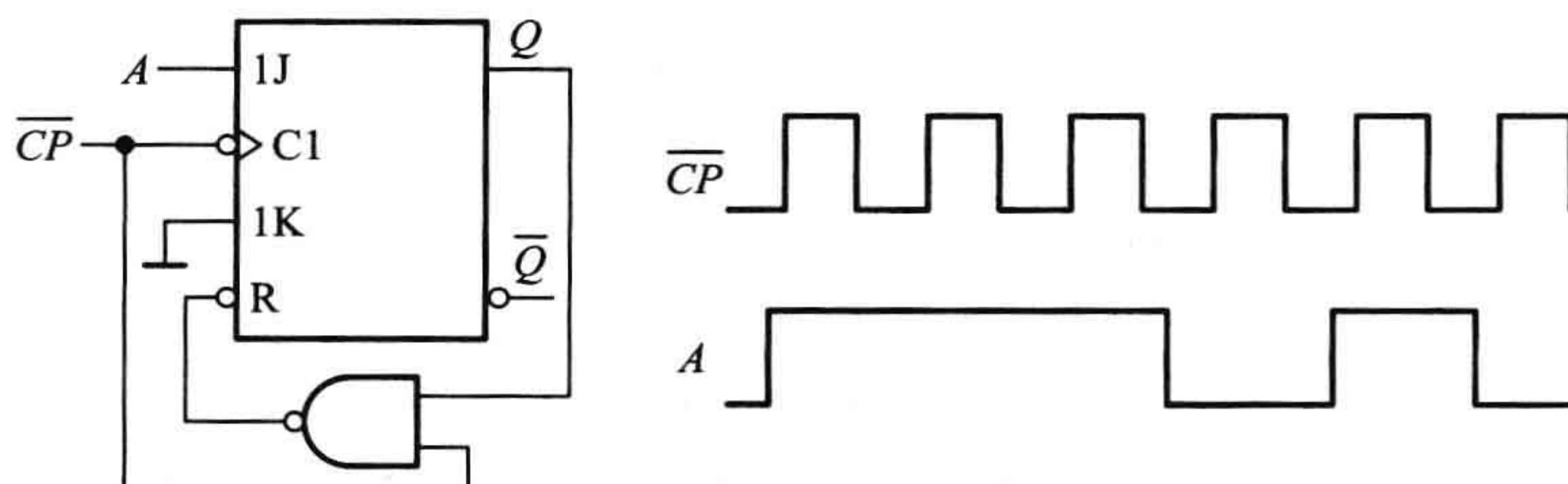
图题 5.5.6

解: 图题 5.5.6 所示电路中 Q_1 和 Q_2 的波形如图题解 5.5.6 所示。



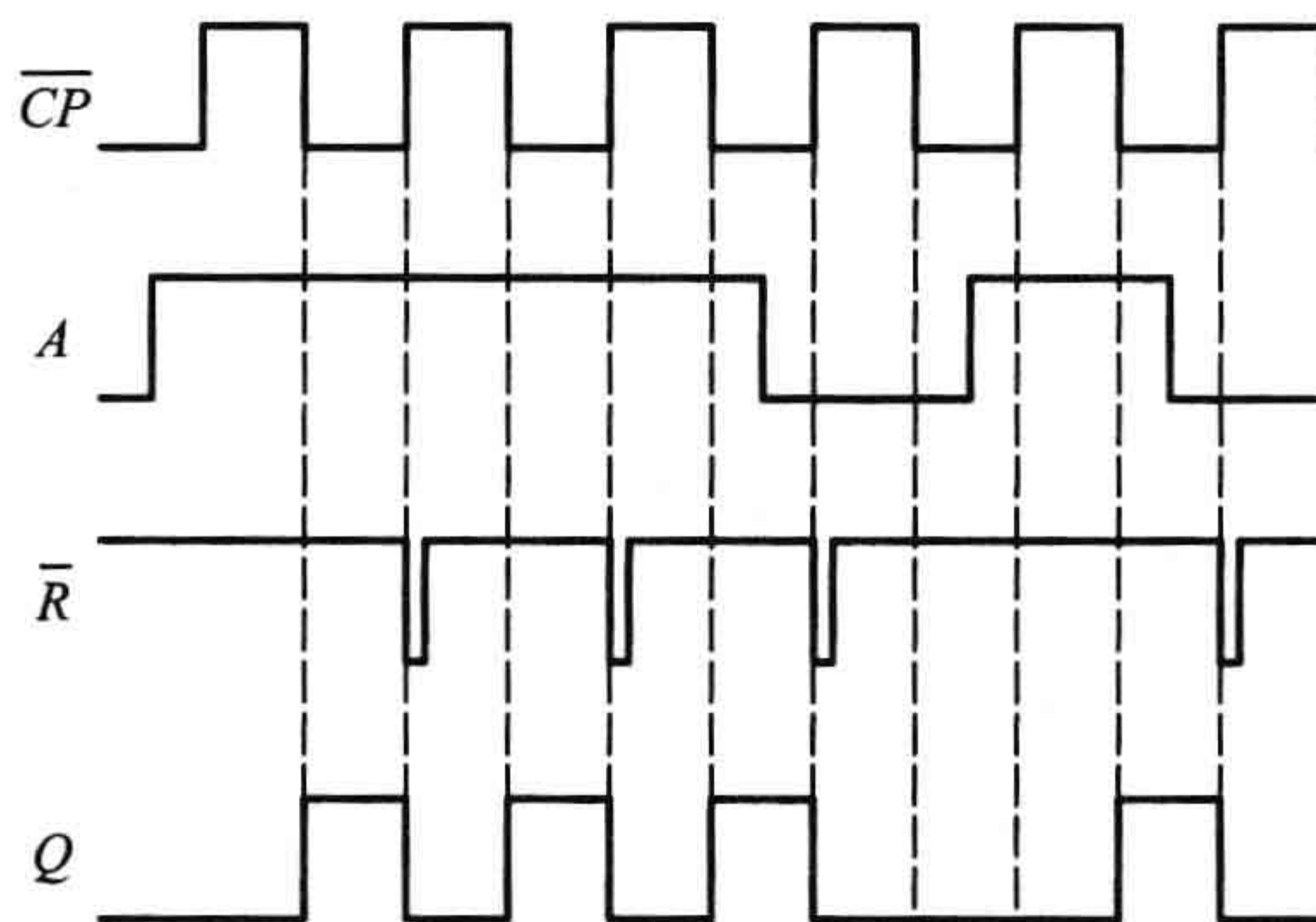
图题解 5.5.6

5.5.7 逻辑电路如图题 5.5.7 所示,已知 $\overline{CP}$ 和 A 的波形,画出触发器 Q 端的波形,设触发器的初始状态为 0。



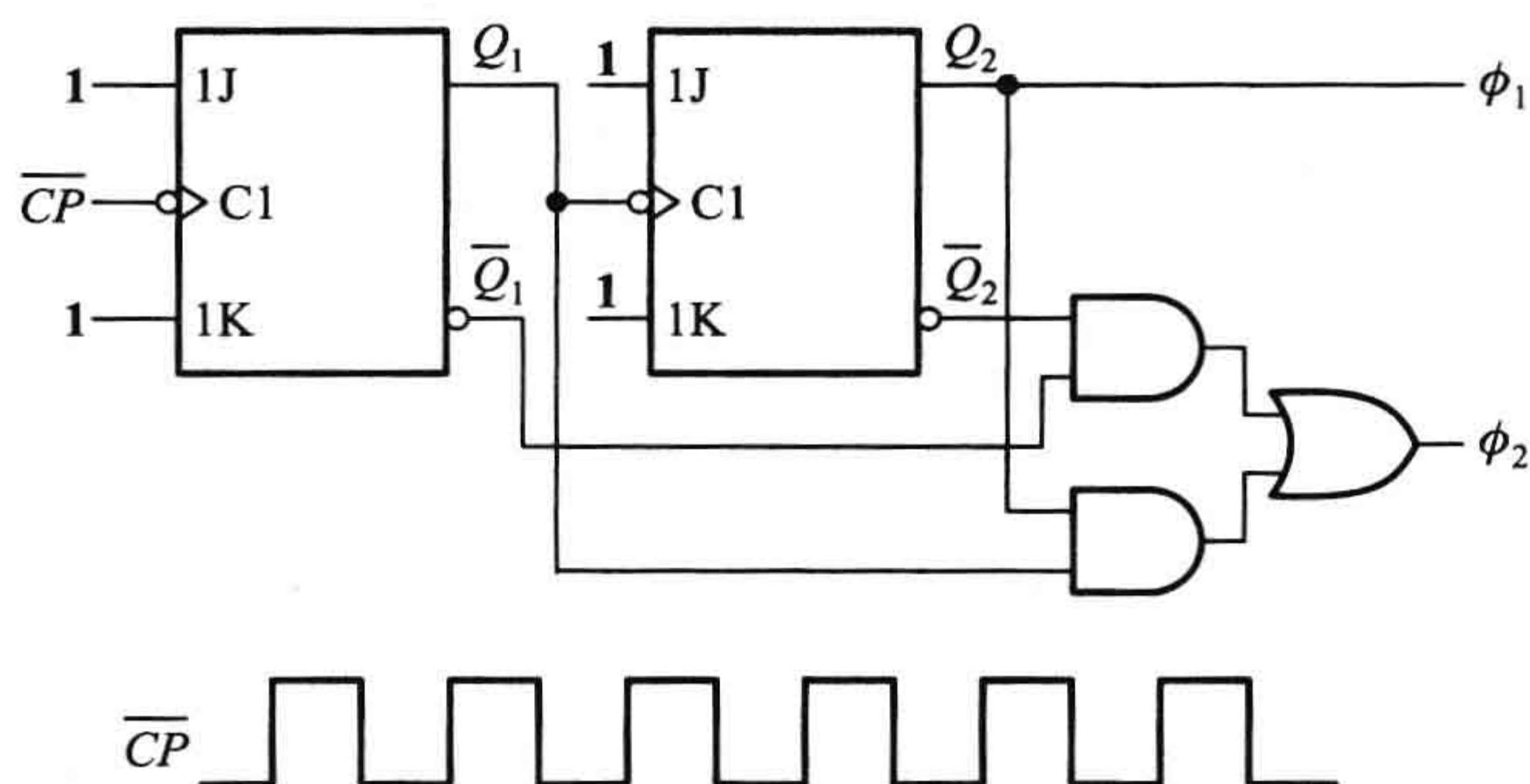
图题 5.5.7

解:图题 5.5.7 所示电路 Q 端的波形如图题解 5.5.7 所示。



图题解 5.5.7

5.5.8 两相脉冲产生电路如图题 5.5.8 所示,试画出在 $\overline{CP}$ 作用下 ϕ_1 、 ϕ_2 的波形,并说明 ϕ_1 和 ϕ_2 的时间关系。各触发器的初始状态为 0。



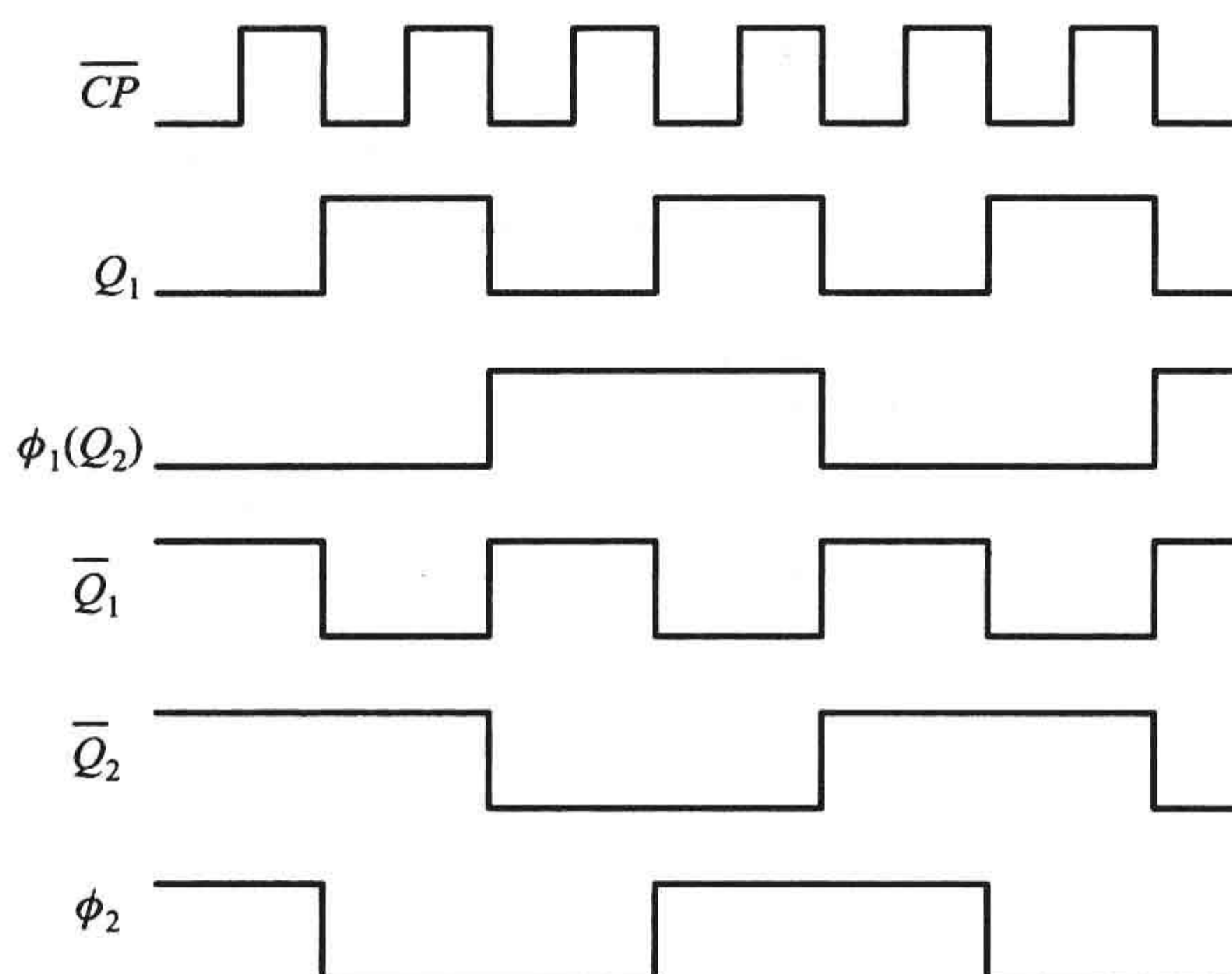
图题 5.5.8

解:由图题 5.5.8 得 ϕ_1 、 ϕ_2 的逻辑表达式:

$$\varphi_1 = Q_2$$

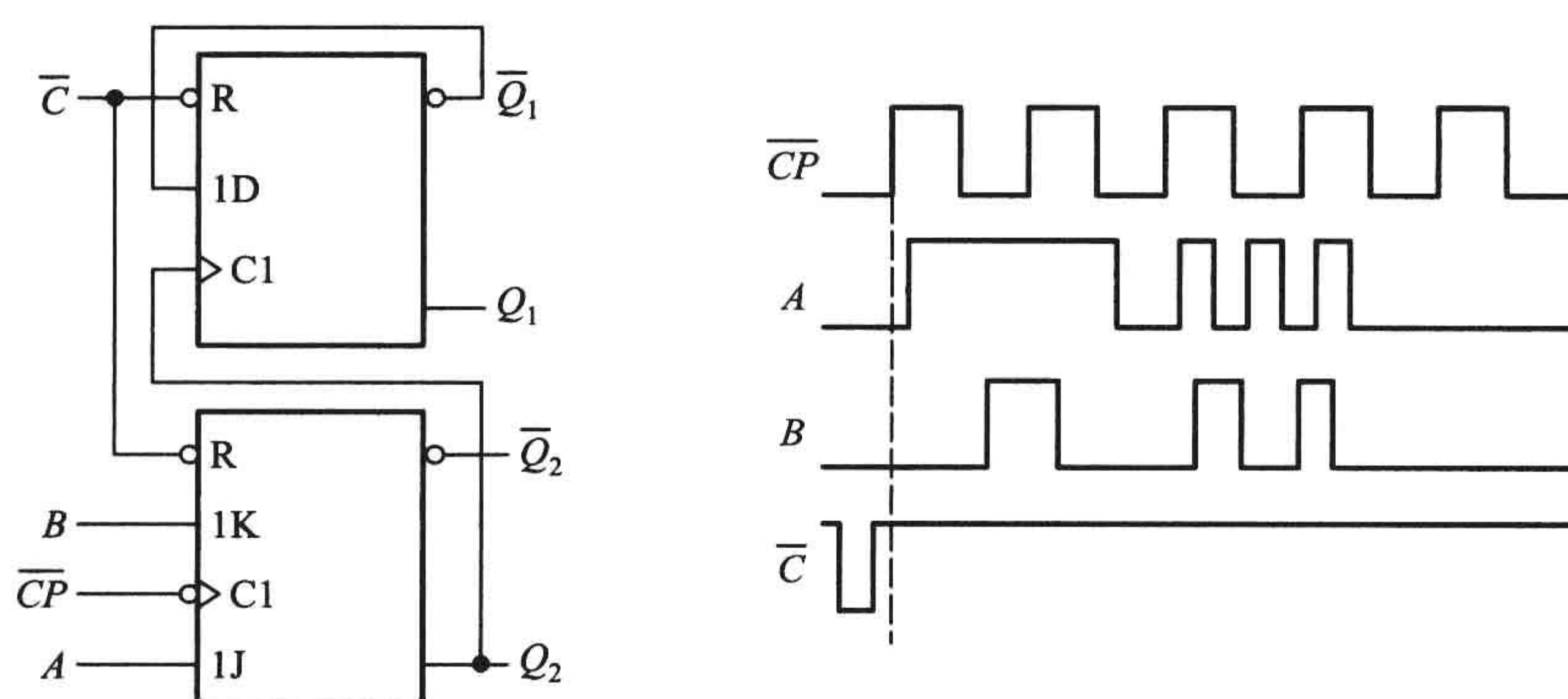
$$\varphi_2 = Q_1 Q_2 + \overline{Q_1} \overline{Q_2} = Q_1 \odot Q_2$$

于是,可得 φ_1 、 φ_2 的波形图如图题解 5.5.8 所示。由波形图可知 φ_1 超前 φ_2 一个 $\overline{CP}$ 周期。



图题解 5.5.8

5.5.9 逻辑电路和各输入信号波形如图题 5.5.9 所示,画出两触发器 Q 端的波形。两触发器的初始状态均为 0。

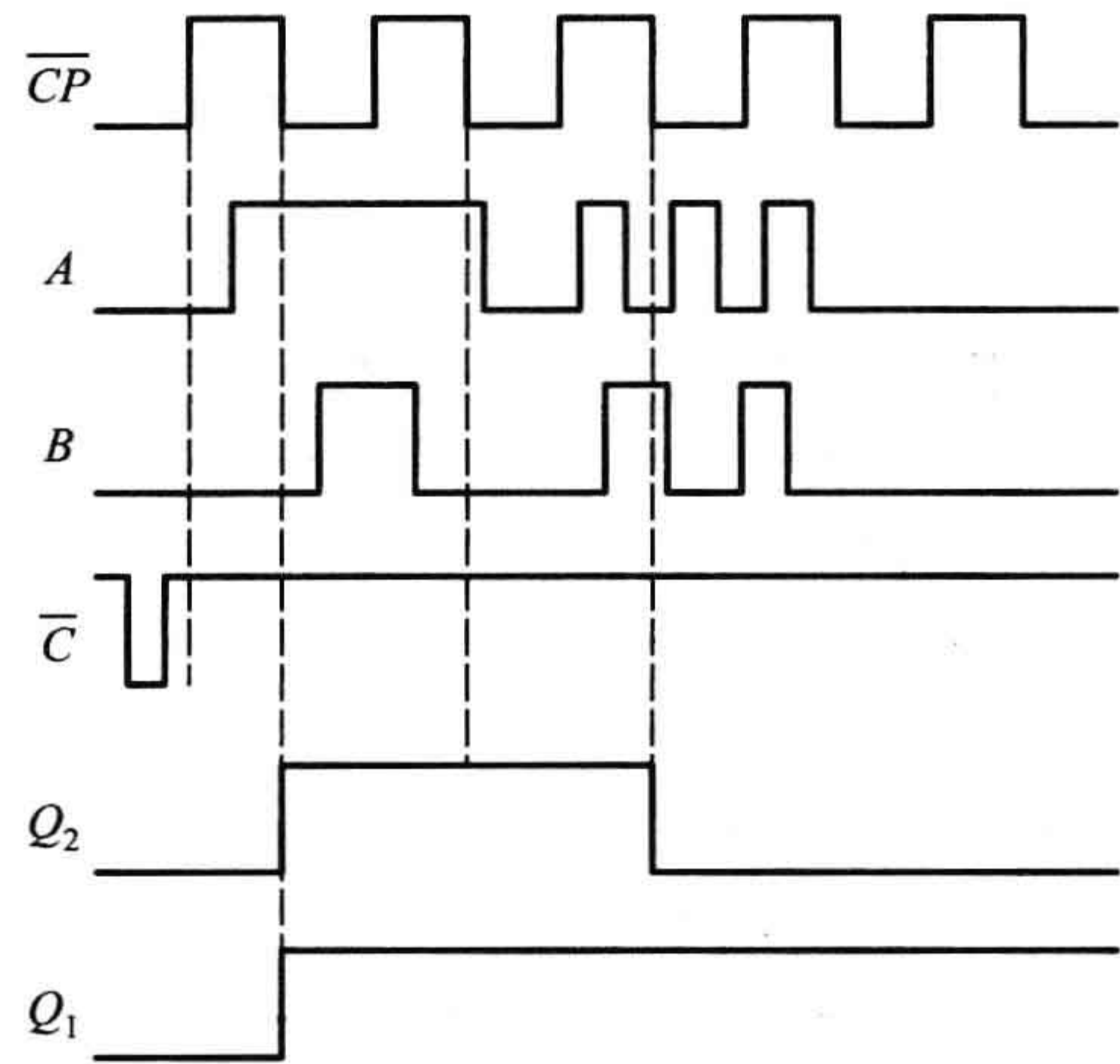


图题 5.5.9

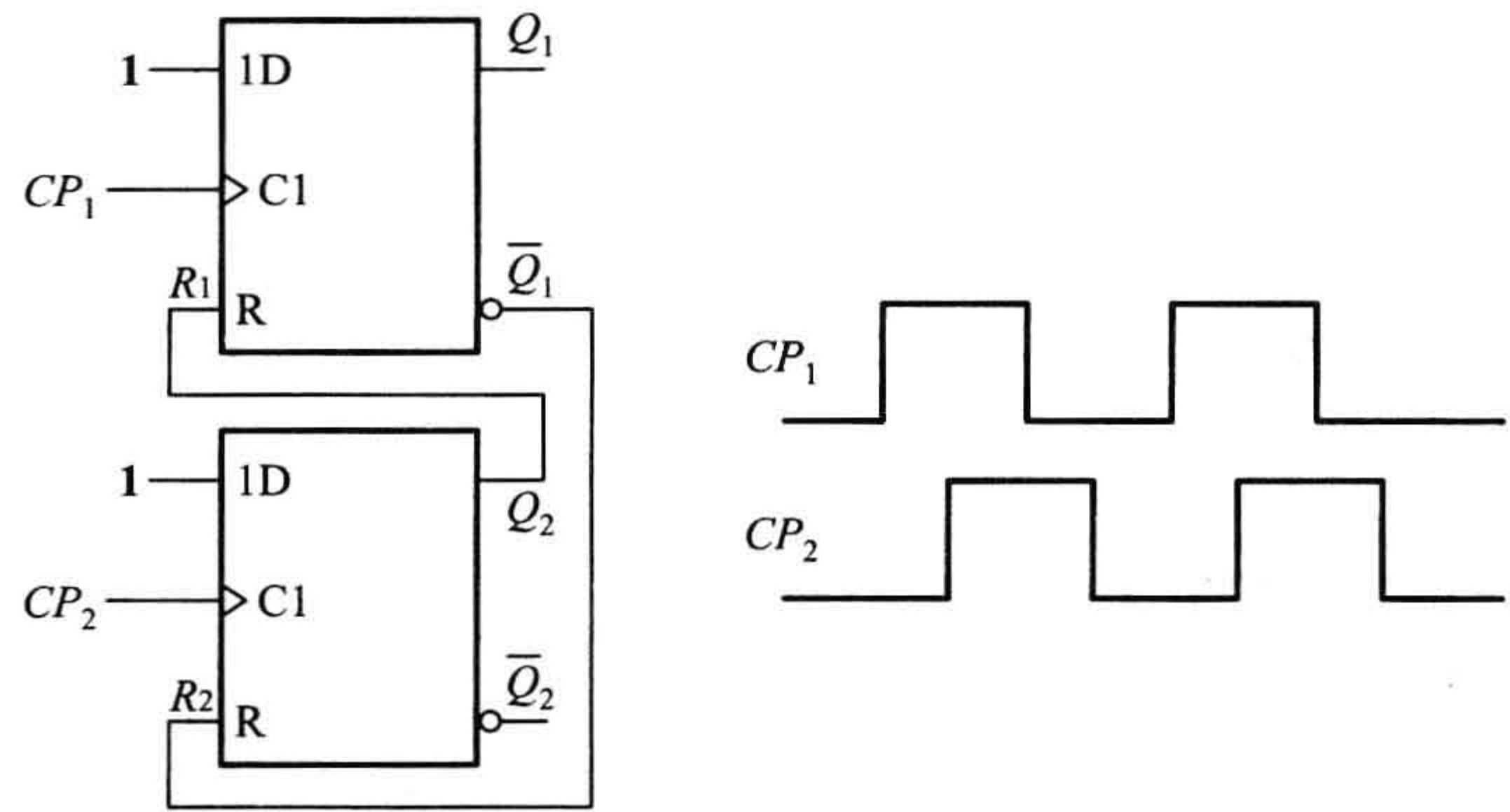
解:图题 5.5.9 中 Q_1 、 Q_2 的波形图如图题解 5.5.9 所示。

5.5.10 逻辑电路和输入信号波形如图题 5.5.10 所示,画出各触发器 Q 端的波形。触发器的初始状态均为 0。

解:图题 5.5.10 中的 R 端是异步置零端,高电平有效,当 $R=1$ 时 $Q=0$ 。先列真值表如表题解 5.5.10 所示。分别分析 CP_1 和 R_1 对 Q_1 的影响及 CP_2 和 R_2 对 Q_2 的影响,画出如图题解 5.5.10 所示波形。



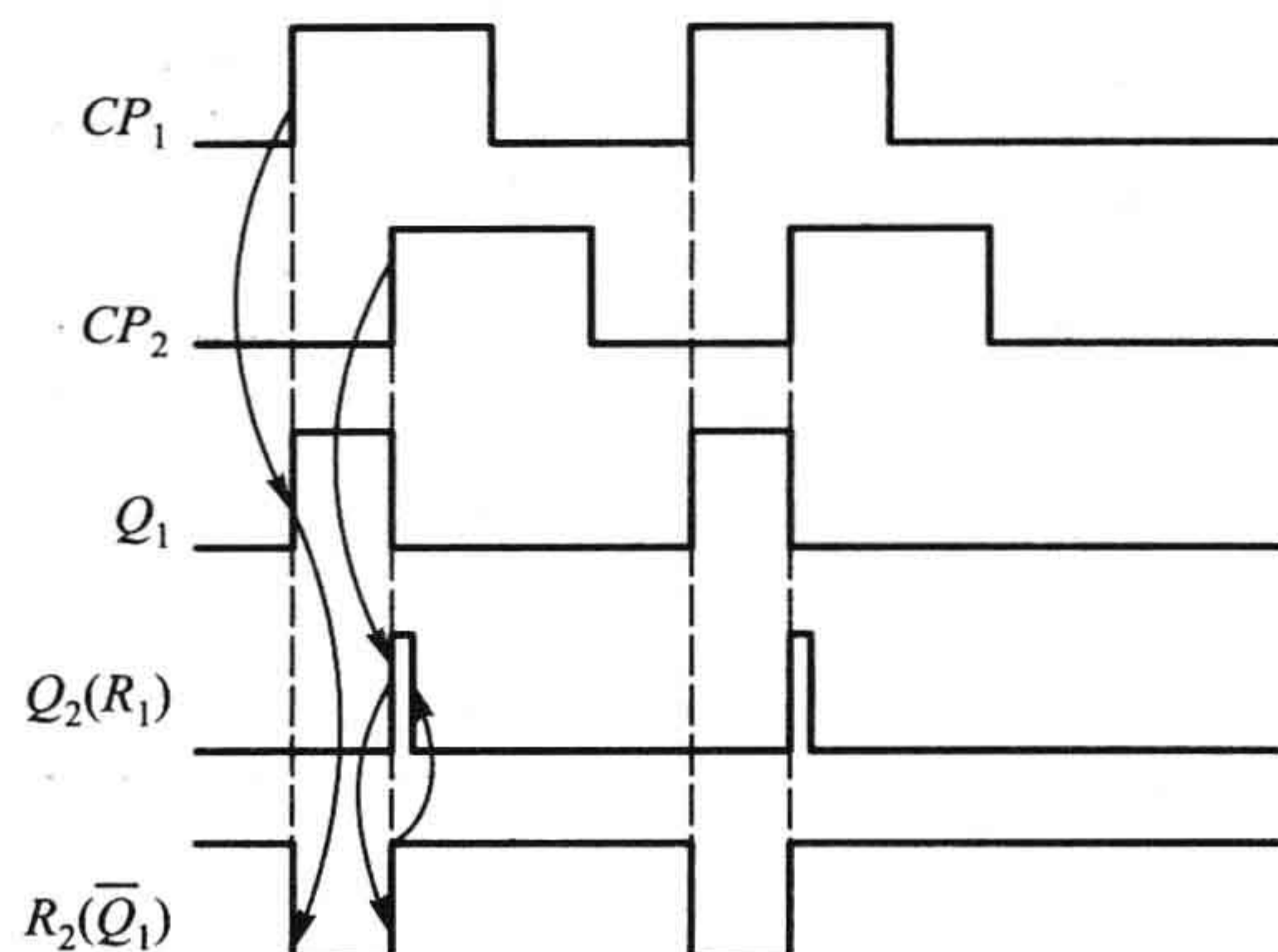
图题解 5.5.9



图题 5.5.10

表题解 5.5.10

CP_1	$R_1(Q_2)$	Q_1	$\overline{Q}_1$	CP_2	$R_2(\overline{Q}_1)$	Q_2	$\overline{Q}_2$
初态×	0	0	1	×	1	0	1
↑	0	1	0	×	0	0	1
×	0	1	0	↑	0	1	0
×	1	0	1	×	1	0	1
×	0	0	1	×	1	0	1
↑	0	1	0	×	0	0	1
×	0	1	0	↑	0	1	0
×	1	0	1	×	1	0	1
×	0	0	1	×	1	0	1



图题解 5.5.10

5.5.11 试用 T 触发器和适当的组合逻辑实现 D 触发器的逻辑功能。

解: 为了确定驱动 T 触发器 T 端的组合逻辑, 首先应列出 D 触发器的特性表, 并在该表右侧逐行列出对 T 触发器的驱动要求, 即 T 端所要求的逻辑值。如果 Q^n 到 Q^{n+1} 状态不变, 则 $T=0$; 如果 Q^n 到 Q^{n+1} 状态翻转, 则 $T=1$ 。得到的真值表如表题解 5.5.11 所示。

表题解 5.5.11

D	Q^n	Q^{n+1}	T
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

然后根据真值表画出 T 端驱动逻辑的卡诺图, 如图题解 5.5.11(a) 所示。进一步得到 T 端的驱动方程

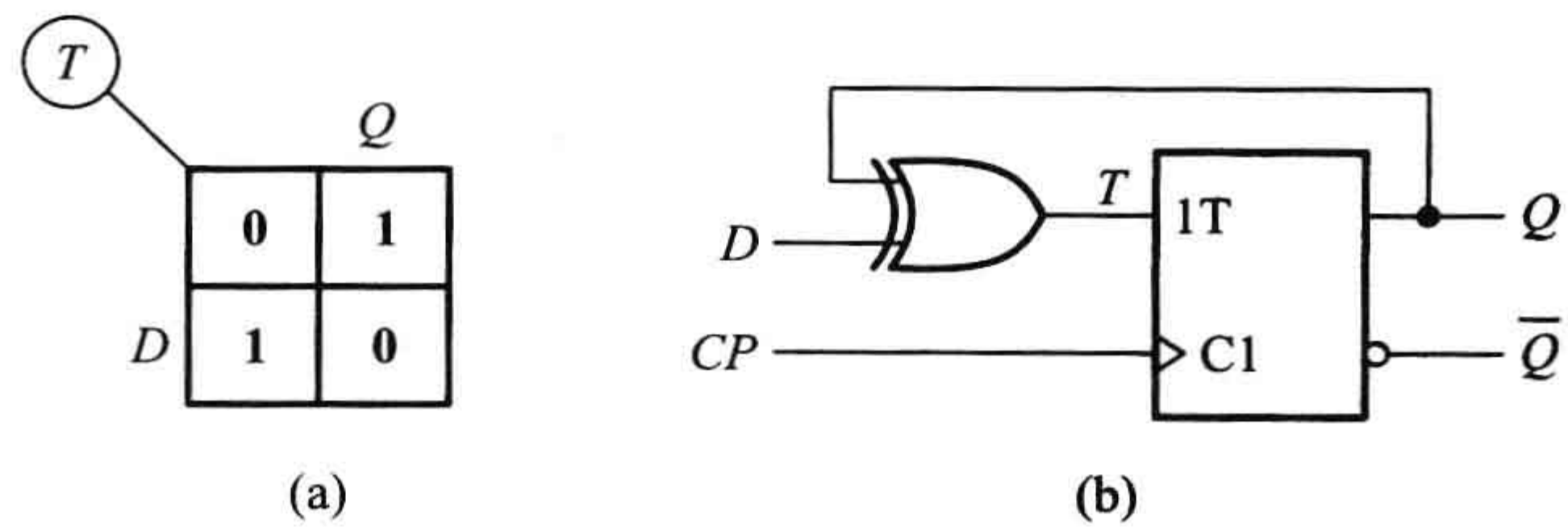
$$T = \overline{D}Q + D\overline{Q}$$

最后根据驱动方程画出用 T 触发器实现 D 触发器逻辑功能的逻辑图, 如图题解 5.5.11(b) 所示。

在学习了 6.3 节同步时序逻辑电路的设计内容之后, 将会对上述解题方法有进一步理解。

5.5.12 试用 T 触发器和适当的组合逻辑实现 JK 触发器的逻辑功能。

解: 为了确定驱动 JK 触发器 J 端和 K 端的组合逻辑, 首先应列出 JK 触发器的特性表, 并在该表右侧逐行列出对 T 触发器的驱动要求, 即 T 端所要求的逻辑值。如果 Q^n 到 Q^{n+1} 状态不变, 则 $T=0$; 如果 Q^n 到 Q^{n+1} 状态翻转, 则 $T=1$ 。得到的真值表如表题解 5.5.12 所示。



图题解 5.5.11

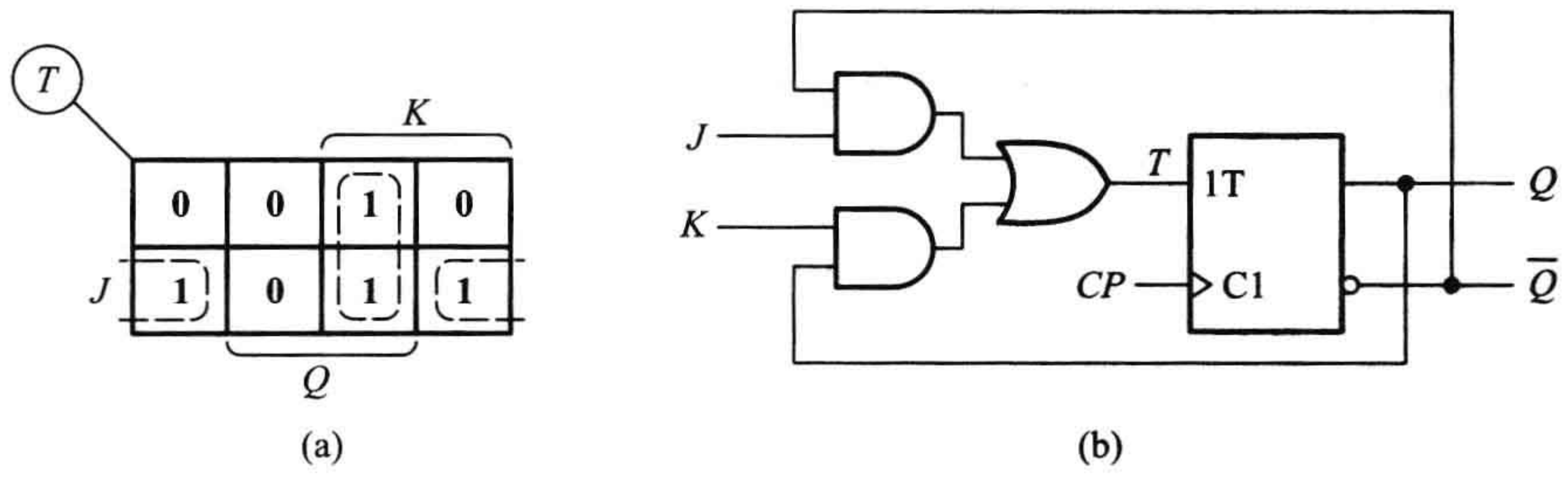
表题解 5.5.12

J	K	Q ⁿ	Q ⁿ⁺¹	T
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1

然后根据真值表画出 T 端驱动逻辑的卡诺图,如图题解 5.5.12(a)所示。进一步得到 T 端的驱动方程

$$T = J\bar{Q} + KQ$$

最后根据 T 端的驱动方程画出用 T 触发器实现 JK 触发器逻辑功能的逻辑图,如图题解 5.5.12(b)所示。



图题解 5.5.12

5.6 用 Verilog HDL 描述锁存器和触发器

5.6.1 试说明下列程序所完成的逻辑功能,并画出它的逻辑图。

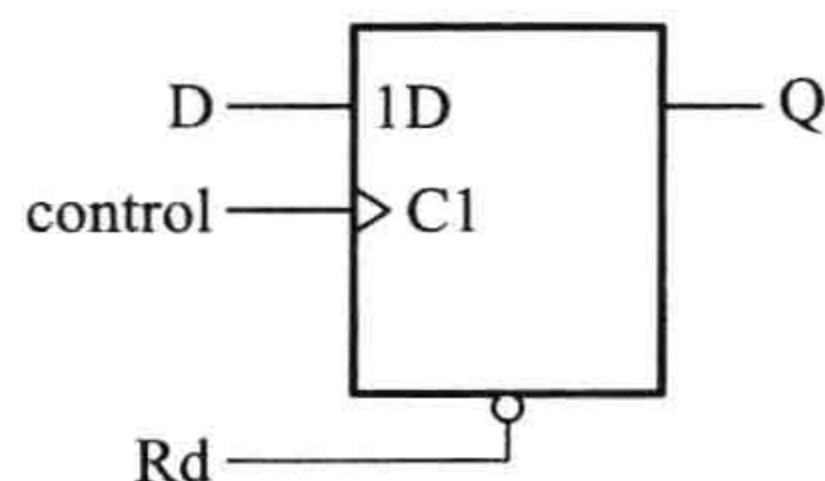
```
module d_latch_rst ( Rd, control, D, Q );
```



```

input Rd, control, D;
output reg Q;
always@ (Rd or control or D)
    if( ~ Rd) Q <= 1'b0;
    else if(control)
        Q <= D;
endmodule

```



图题解 5.6.1

解:该程序描述的是一个 D 锁存器,有 3 个输入(Rd , $control$ 和 D),一个输出(Q)。其中 Rd 为清零端,低电平有效。当 Rd 为 1 且 $control$ 为 1 时,输入 D 的变化才能传送到输出 Q ;当 Rd 为 1 且 $control$ 为 0 时,输出 Q 保持不变。其逻辑图如图题解 5.6.1 所示。

5.6.2 试用 Verilog HDL 行为建模方式描述一个下降沿触发的 D 触发器,要求具有异步置零功能,即置零信号变为低电平时,将触发器的输出置零。

解:下降沿触发 D 触发器的 Verilog HDL 行为描述程序如下:

```

//D flip-flop with asynchronous reset
module async_rst_DFF (Q, QN, D, CP, Rd);
    output reg Q, QN;
    input D, CP, Rd;
    assign QN = ~Q;
    always @ (negedge CP or negedge Rd)
        if ( ~ Rd) Q <= 1'b0; //异步清零
        else Q <= D; //同步行为
endmodule

```

5.6.3 阅读下列两个程序,画出它们的逻辑图。

(1)

```

module DFF1 (Qa, Qb, D, CP);
    input D, CP;
    output reg Qa, Qb;
    always @ (posedge CP)
        begin
            Qa = D;
            Qb = Qa;
        end
endmodule

```

(2)

```

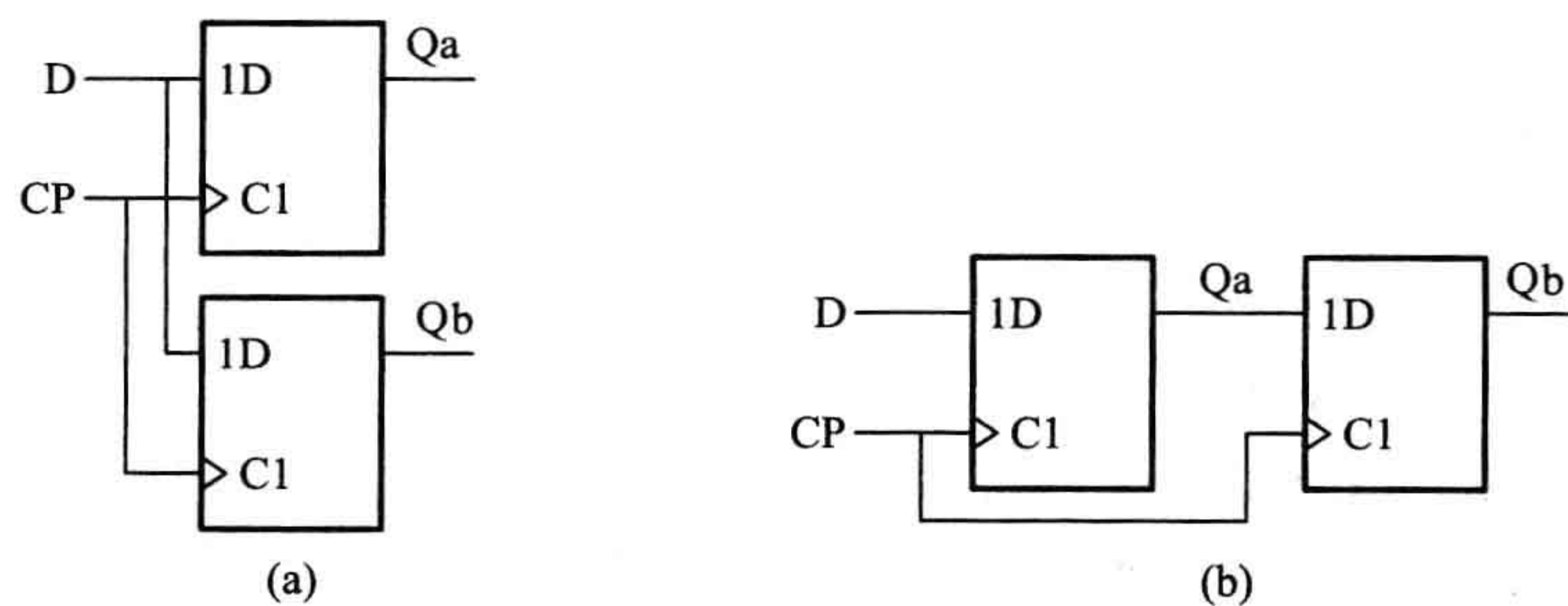
module DFF2 (Qa, Qb, D, CP);
    input D, CP;
    output reg Qa, Qb;
    always @ (posedge CP)
        begin
            Qa <= D;
            Qb <= Qa;
        end
endmodule

```

解:由于(1)中的程序在串行语句块中使用的是阻塞型赋值语句,故两条赋值语句按排列的先后顺序依次执行,在时钟信号 CP 的上升沿到来时, Qa 先得到 D 输入端的值,然后又将 D 的值传送给 Qb ,即两条串行语句执行完后, Qa 和 Qb 的值相同,相当于两个 D 触发器并联,其逻辑图如图题解 5.6.3(a)所示。

(2)中的程序在串行语句块中使用的是非阻塞型赋值语句,故在时钟信号 CP 的上升沿到来

时,两条语句同时执行, Q_a 得到 D 输入端的值, Q_b 则得到 Q_a 变化之前原来的“老值”,即两条串行语句执行完后, Q_a 和 Q_b 的值不相同,相当于两个 D 触发器串联,其逻辑图如图题解5.6.3(b)所示。



图题解 5.6.3

6 时序逻辑电路

一、内容提要及重点

本章的内容提要：

1. 时序电路一般由组合电路和存储电路两部分构成。它们在任一时刻的输出不仅是当前输入信号的函数,而且还与电路原来的状态有关。时序电路可分为同步和异步两大类。逻辑方程组、转换表、状态表、状态图和时序图从不同方面表达了时序电路的逻辑功能,是分析和设计时序电路的主要工具。

2. 同步时序电路是目前广泛应用的时序电路,是本章重点讨论的内容。同步时序电路的分析,首先按照给定电路列出各逻辑方程组、进而列出转换表或状态表、画出状态图和时序图,最后分析得到电路的逻辑功能。同步时序逻辑电路的设计,首先根据逻辑功能的需求,推导出原始状态图或原始状态表,有必要时需进行状态化简,继而对状态进行编码得到转换表,然后根据转换表导出激励方程组和输出方程组,最后画出逻辑图完成设计任务。

3. 时序电路的功能、结构和种类繁多。本章仅对寄存器和计数器等几种典型的时序电路模块进行了较详细的讨论。应用这些电路模块,能设计出各种不同功能的电子系统。这些模块的内部电路结构可作为设计其他逻辑电路的范例,也可作为初学者使用 HDL 以抽象方式描述时序电路时的实际映象。

4. 比较复杂的时序电路目前一般都使用可编程逻辑器件实现。最简单的时序可编程逻辑器件是 GAL,它主要由与逻辑阵列和输出逻辑宏单元组成。GAL 可以用来实现多种简单的时序电路。

本章的重点：

1. 时序逻辑电路的基本概念和表达方法。
2. 同步时序逻辑电路的分析与设计。
3. 移位寄存器、计数器等典型时序逻辑电路模块的结构、工作原理和应用。

二、典型例题解析

例 6.1 分析图 6.1(a)所示的同步时序电路。试列出转换表,画出状态图。

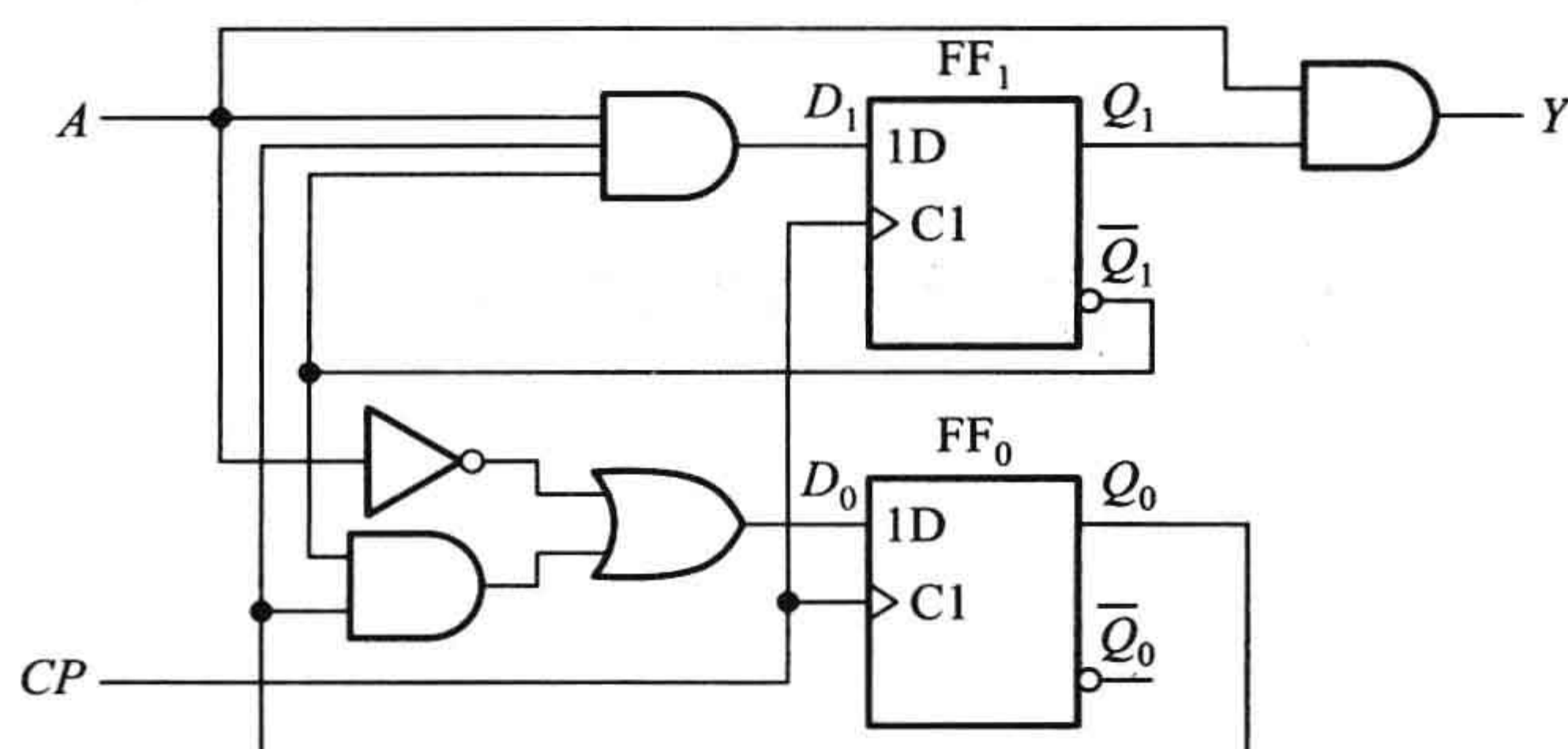


图 6.1(a) 例 6.1 的电路图

解题思路:同步时序电路的分析实际上是一个读图、识图的过程:按照给定的时序电路,通过分析其状态和输出信号在输入变量和时钟作用下的转换规律,理解其逻辑功能和工作特性。一般步骤如下:

- (1) 根据给定的同步时序电路导出激励方程组、转换方程组和输出方程组。
- (2) 根据转换方程组和输出方程组,列出电路的转换表或状态表,画出状态图和时序图。
- (3) 确定电路的逻辑功能。

解:(1) 根据电路列出方程组

由于图 6.1(a)所示电路是由 D 触发器构成的同步时序电路, $Q^{n+1} = D$, 所以可以直接由激励方程写出转换方程:

$$Q_1^{n+1} = D_1 = A \overline{Q_1^n} Q_0^n$$

$$Q_0^{n+1} = D_0 = \overline{A} + \overline{Q_1^n} Q_0^n$$

列出输出方程

$$Y = A Q_1$$

(2) 列转换表,计算并填写各次态和输出变量值

首先填入现态 Q_1^n, Q_0^n 的 4 种组合状态,然后将输入变量 A 和 Q_1^n, Q_0^n 的不同值一一代入两转换方程和输出方程进行计算,分别求出不同状态下的 Q_1^{n+1}, Q_0^{n+1} 和 Y 的值。例如,当 $Q_1^n Q_0^n = 00$ 、 $A = 0$ 时,将 3 个逻辑变量分别代入两转换方程和输出方程,得到 $Q_1^{n+1} = A \overline{Q_1^n} Q_0^n = 0$, $Q_0^{n+1} = \overline{A} + \overline{Q_1^n} Q_0^n = 1$, $Y = A Q_1 = 0$ 。于是把“01/0”填写在 $Q_1^n Q_0^n = 00, A = 0$ 的栏目下。如此这般,共计计算 $3 \times 2^{(2+1)}$ 次,可把转换表的栏目全部填写完毕,于是得到如表 6.1 所示的转换表。

表 6.1 例 6.1 的转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A = 0$	$A = 1$
0 0	01/0	00/0
0 1	01/0	11/0
1 0	01/0	00/1
1 1	01/0	00/1

(3) 画状态图

先把 Q_1 、 Q_0 表示的 4 个状态画好, 然后根据转换表标出状态转换的方向以及输入条件 A 和相应输出 Y 的逻辑值。例如, 以 $Q_1Q_0=00$ 为现态, 当 $A=0$ 时, 根据转换表, 次态为 01 , $Y=0$, 于是, 画出 00 至 01 的方向线, 并在线旁标出 $0/0$ 。同样以 $Q_1Q_0=00$ 为现态, 当 $A=1$ 时, 次态仍为 00 , $Y=0$, 方向线则从 00 出发仍返回 00 , 应在线旁标出 $1/0$ 。像这样, 逐行按转换表画出所有的方向线并标记, 最后得到的状态图如图 6.1(b) 所示。

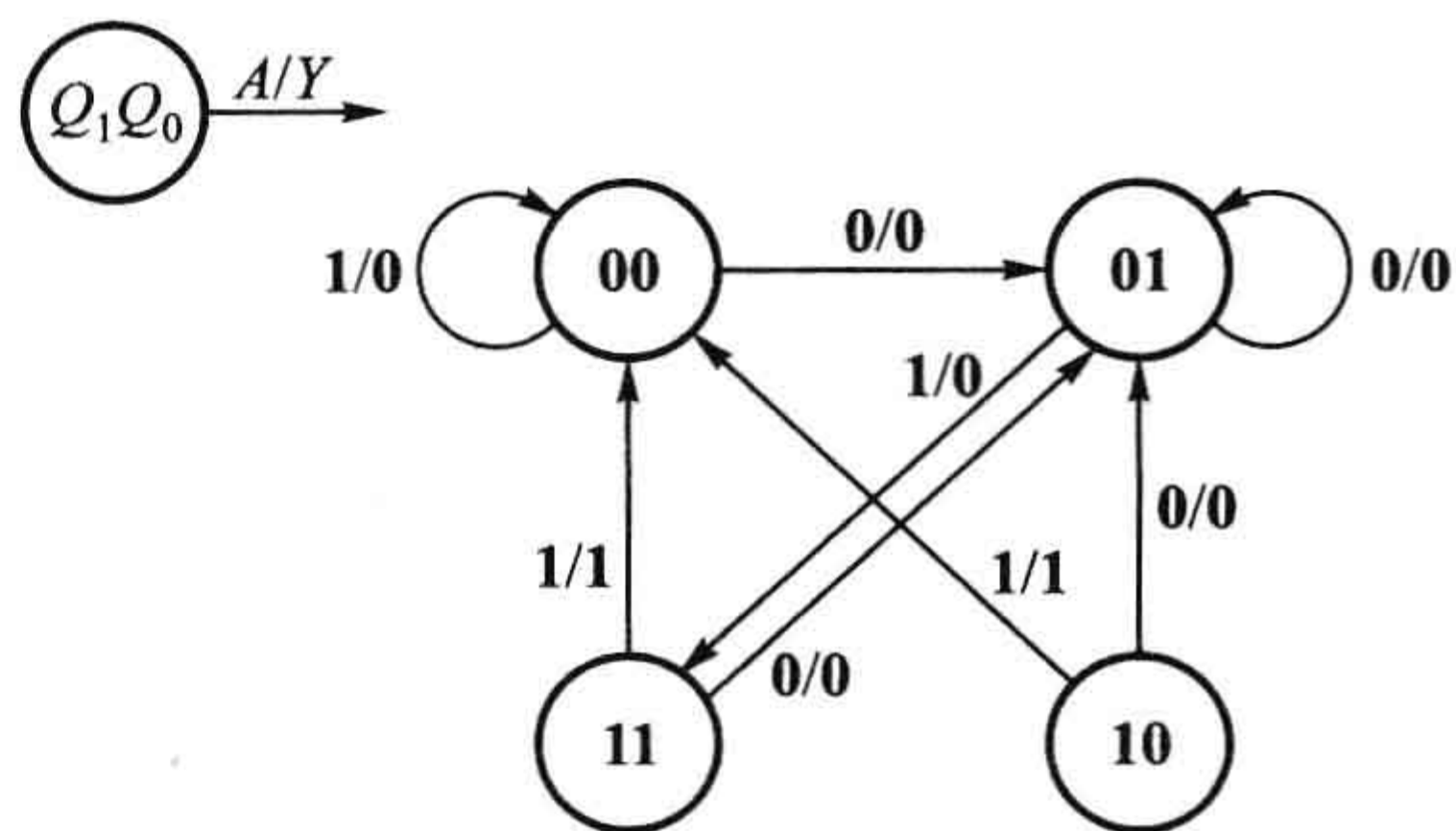


图 6.1(b) 例 6.1 的状态图

例 6.2 电路如图 6.2(a) 所示, 试列出其转换表和状态表, 画出状态图。

解题思路: 观察电路, 这仍是一个同步时序电路, 解题思路与例 6.1 相同。

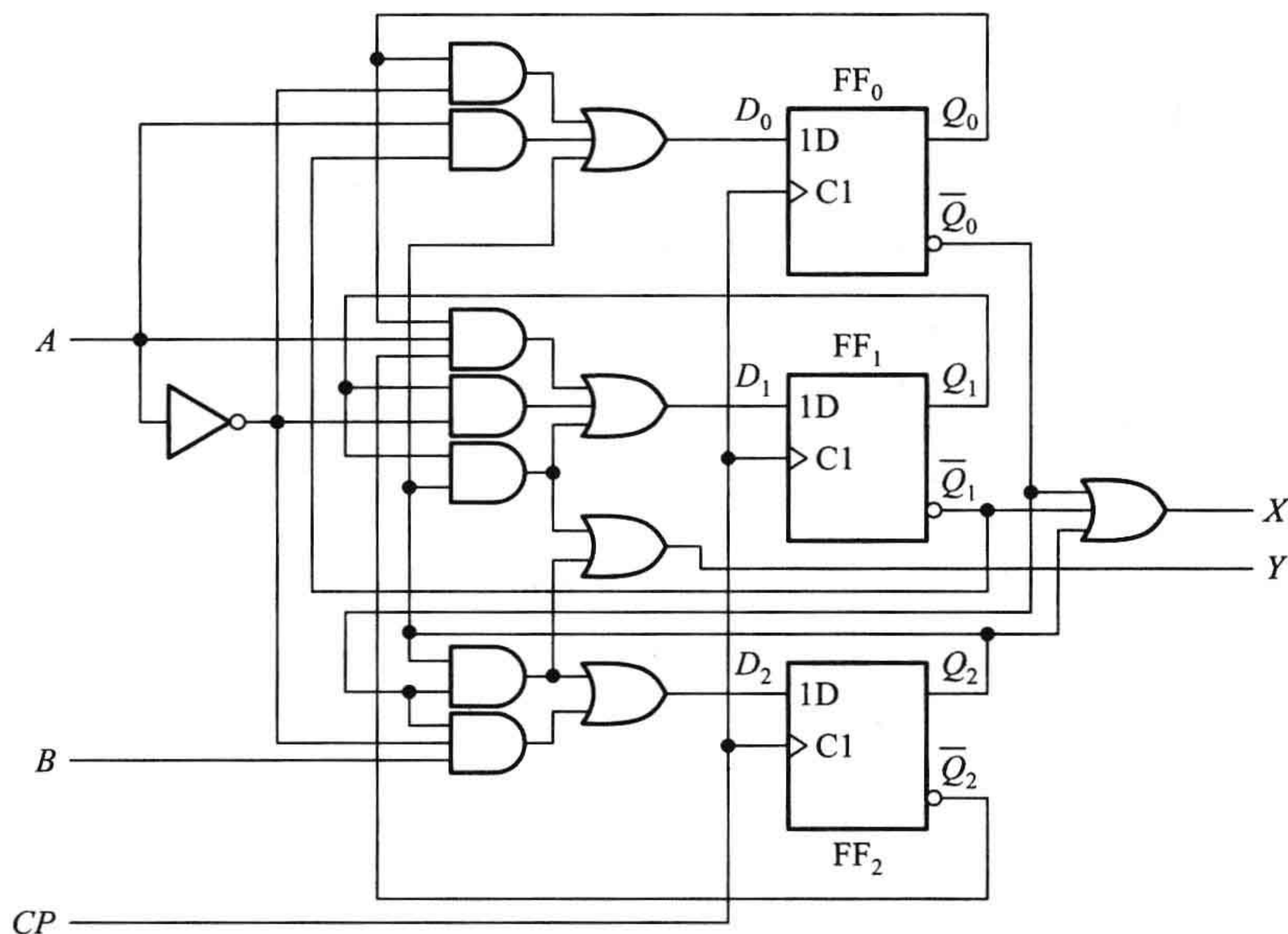


图 6.2(a) 例 6.2 的逻辑图

解: 由图 6.2(a) 可见, 该同步时序电路有两个输入信号 A 、 B 和两个输出信号 X 、 Y , 用 3 个触发器作为存储电路, 输出只是 3 个触发器状态的函数, 为穆尔型时序逻辑电路。

(1) 根据电路列出逻辑方程组

① 转换方程组

使用 D 触发器可以直接列出转换方程组。

$$Q_0^{n+1} = D_0 = Q_2^n + A \bar{Q}_1^n + \bar{A} Q_0^n$$

$$Q_1^{n+1} = D_1 = A \bar{Q}_2^n Q_0^n + \bar{A} Q_1^n + Q_2^n Q_1^n$$

$$Q_2^{n+1} = D_2 = Q_2^n \bar{Q}_0^n + \bar{A} B \bar{Q}_0^n$$

② 输出方程组

$$X=Q_2+\overline{Q_1}+\overline{Q_0}$$
$$Y=Q_2Q_1+Q_2\overline{Q_0}$$

(2) 列出转换表

将 3 个状态变量 $Q_2^n、Q_1^n、Q_0^n$ 和两个输入变量 $A、B$, 共计 $2^{(3+2)}$ 个不同二进制组合值分别代入转换方程组的各方程, 将 $Q_2^n、Q_1^n、Q_0^n$ 的值分别代入输出方程组的各方程, 并进行计算, 可以列出转换表如表 6.2(a) 所示。

表 6.2(a) 例 6.2 的转换表

$Q_2^nQ_1^nQ_0^n$	$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$				X	Y
	$AB=00$	$AB=01$	$AB=10$	$AB=11$		
0 0 0	0 0 0	1 0 0	0 0 1	0 0 1	1	0
0 0 1	0 0 1	0 0 1	0 1 1	0 1 1	1	0
0 1 0	0 1 0	1 1 0	0 0 0	0 0 0	1	0
0 1 1	0 1 1	0 1 1	0 1 0	0 1 0	0	0
1 0 0	1 0 1	1 0 1	1 0 1	1 0 1	1	1
1 0 1	0 0 1	0 0 1	0 0 1	0 0 1	1	0
1 1 0	1 1 1	1 1 1	1 1 1	1 1 1	1	1
1 1 1	0 1 1	0 1 1	0 1 1	0 1 1	1	1

(3) 列出状态表

首先为时序电路可能出现的所有状态命名。令 000 = 初始, 其他状态则以 S 和 $Q_2Q_1Q_0$ 的二进制数的十进制值分别作为下标, 如 001 = S_1 、010 = S_2 、..., 于是, 得到如表 6.2(b) 所示的状态表。

表 6.2(b) 例 6.2 的状态表

S^n	S^{n+1}				X	Y
	$AB=00$	$AB=01$	$AB=10$	$AB=11$		
初始	初始	S_4	S_1	S_1	1	0
S_1	S_1	S_1	S_3	S_3	1	0
S_2	S_2	S_6	初始	初始	1	0
S_3	S_3	S_3	S_2	S_2	0	0
S_4	S_5	S_5	S_5	S_5	1	1
S_5	S_1	S_1	S_1	S_1	1	0
S_6	S_7	S_7	S_7	S_7	1	1
S_7	S_3	S_3	S_3	S_3	1	1

(4) 画出状态图

根据状态表可画出状态图如图 6.2(b) 所示。

这里, 应用了转换表达式来标记引起转换的输入变量组合, 例如, 从表 6.2(b) 所示的状态表

可以看出,控制初始状态转换到 S_1 的输入变量为 $AB=10$ 或 $AB=11$,于是,使转换成立(为1)的转换表达式为 $A\bar{B}+AB=A$ 。图 6.2(b)中标记为1的状态转换是无条件转换,即无论输入变量是何值,下一状态总是转换到箭头指向的状态。这种标记方式把状态图中的方向线从 2^5 根减少到 14 根,使状态图简单明了。

例 6.2 所示的时序电路并不十分复杂,仅 3 个状态变量、两个输入信号和两个输出信号,分析时,逻辑表达式的运算即已达到 $2^5 \times 3 + 2^3 \times 2$ 次。一般来说,对于 m 个状态变量、 i 个输入信号、 j 个输出信号,逻辑表达式的计算量将有 $2^{m+i} \times m + 2^{m+i} \times j$ 次。可见,逻辑运算的繁琐程度随状态变量和输入变量数目呈指数性暴涨。这种机械的、重复性很高的逻辑运算工作最好利用计算机进行,所以现代稍复杂的时序电路的分析与设计通常都是使用计算机软件来完成。

例 6.3 试设计一个由输入变量 A 、 B 控制的多功能同步 2 位二进制计数器,其功能如表 6.3(a)所示,画出用 T 触发器实现的逻辑图。

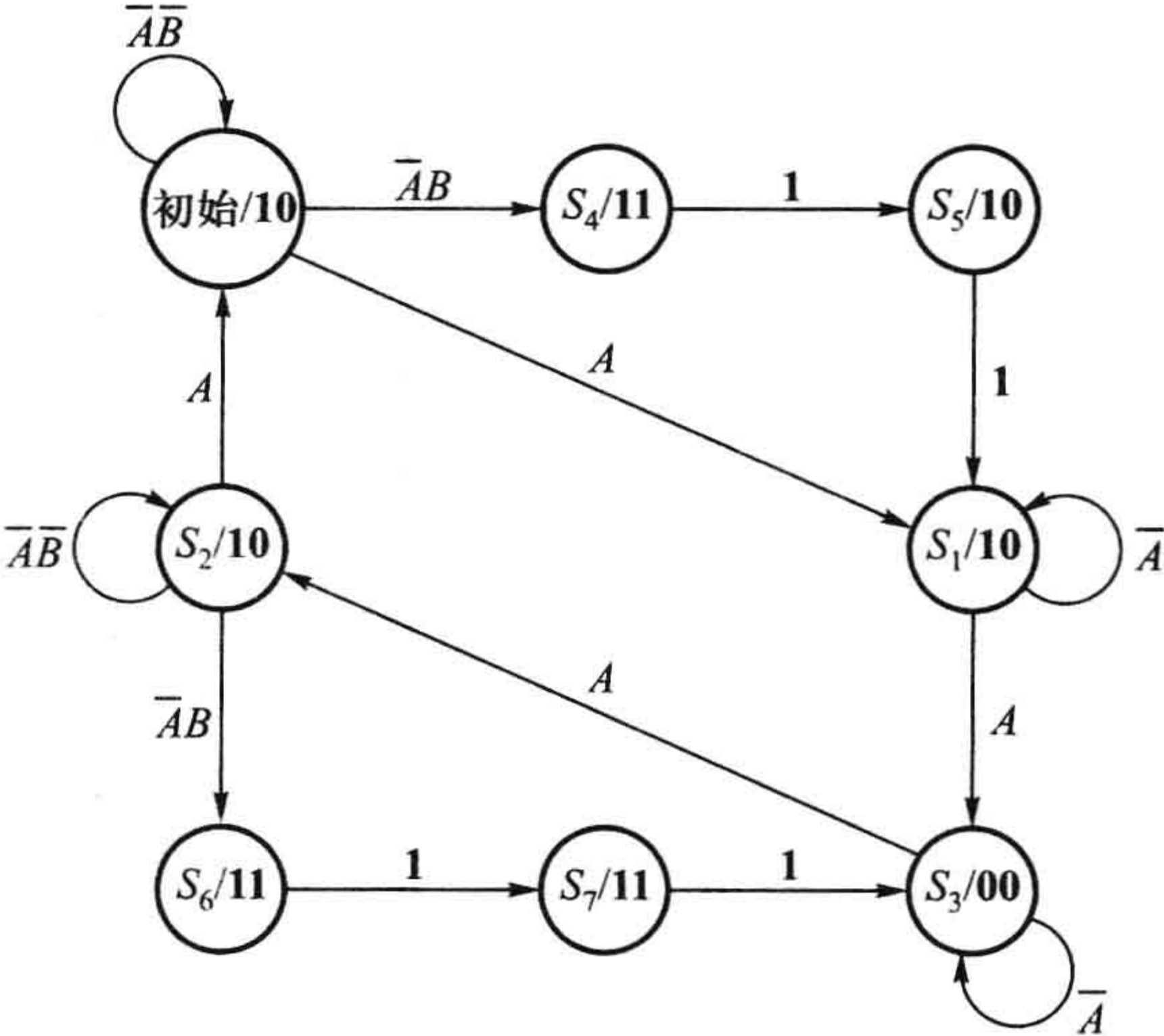


图 6.2(b) 例 6.2 的状态图

表 6.3(a) 例 6.3 的功能表

AB	$Q_1^{n+1} Q_0^{n+1}$
0 0	$Q_1^n Q_0^n$
0 1	递增计数
1 0	递减计数
1 1	$\overline{Q_1^n} \overline{Q_0^n}$

解题思路:不必拘泥于教材中所列方法,根据表 6.3(a)可直接列出状态转换真值表和激励信号,确定激励方程组,据此画出用 T 触发器实现的逻辑图。

解:(1) 列出状态转换真值表

按表 6.3(a)所要求的功能,可直接以两个触发器的现态 Q_1^n 、 Q_0^n 和输入 A 、 B 作为变量,两个触发器的次态 Q_1^{n+1} 、 Q_0^{n+1} 作为函数,列出状态转换真值表如表 6.3(b)所示。然后根据两触发器的现态和次态关系,在表中逐行确定相应的激励信号 T_1 、 T_0 的逻辑值。例如,表 6.3(b)中第一行, Q_1^n 、 Q_0^n 转换为 Q_1^{n+1} 、 Q_0^{n+1} 均保持为 0 不变,按照 T 触发器的特性方程 $Q_1^{n+1} = T \bar{Q}_1^n + \bar{T} Q_1^n$,激励信号应该为 $T_1 = T_0 = 0$;第二行, Q_1^n 到 Q_1^{n+1} 保持为 0,而 Q_0^n 转换为 Q_0^{n+1} 存在从 0 到 1 的翻转,于是得到 $T_1 = 0$, $T_0 = 1$ 。如此这般,将所要求的激励信号逻辑值全部填入,得到表 6.3(b)中 T_1 、 T_0 两列。

表 6.3(b) 根据表 6.3(a) 列出的状态转换真值表和激励信号

Q_1^n	Q_0^n	A	B	Q_1^{n+1}	Q_0^{n+1}	T_1	T_0
0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	1
0	0	1	0	1	1	1	1
0	0	1	1	1	1	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	0	0	0	1
0	1	1	1	1	0	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	1	0	1
1	0	1	0	0	1	1	1
1	0	1	1	0	1	1	1
1	1	0	0	1	1	0	0
1	1	0	1	0	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	0	0	1	1

(2) 确定激励方程组

根据表 6.3(b)可画出两个 T 触发器的激励信号 T_1 、 T_0 的卡诺图,如图 6.3(a)所示。

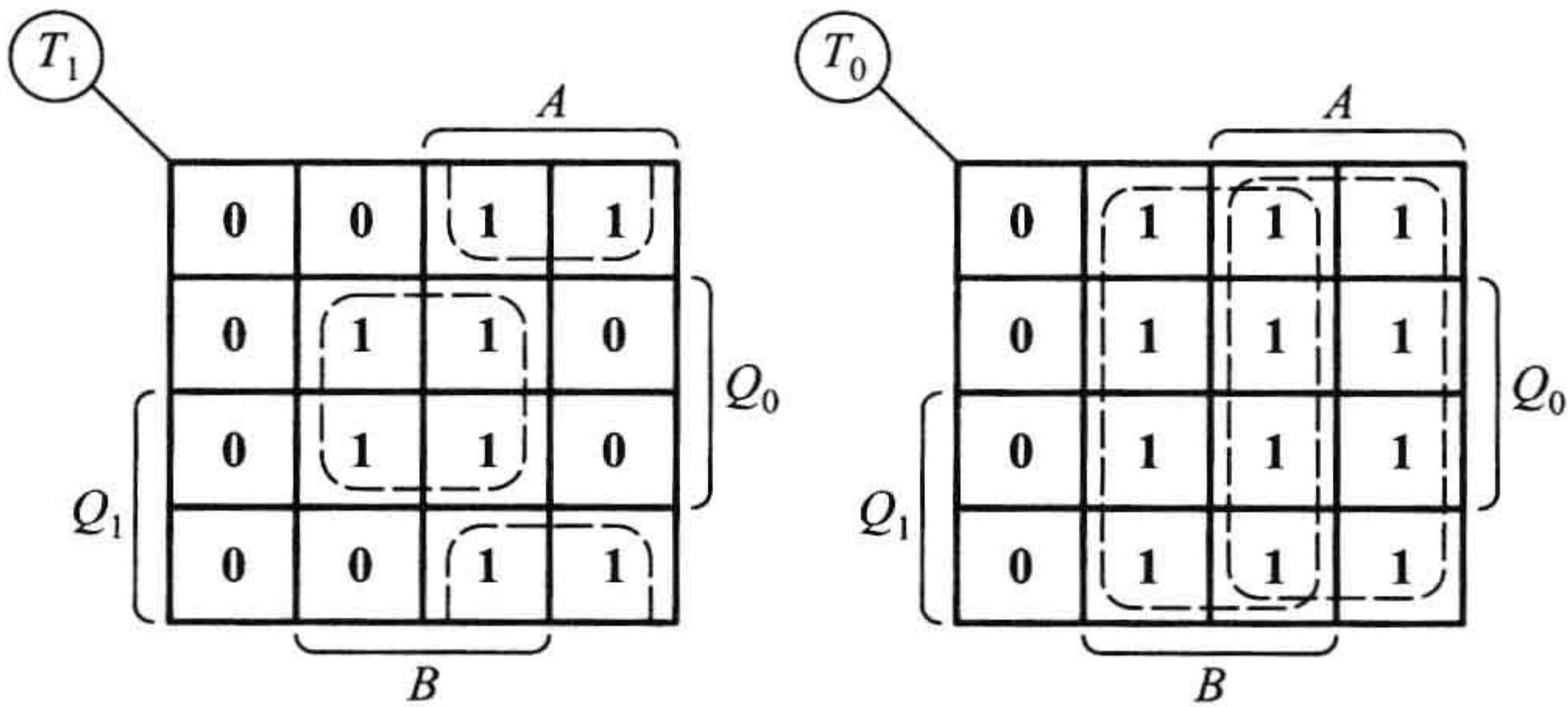


图 6.3(a) T 触发器激励信号的卡诺图

经卡诺图化简,可以列出激励方程组

$$T_1 = A \overline{Q_0} + BQ_0$$
$$T_0 = A + B$$

两个触发器的输出 Q_1 、 Q_0 即电路的输出变量。

(3) 画出逻辑图

按照激励方程组画出的逻辑图如图 6.3(b)所示。

例 6.4 设计一个测量回波延迟的控制电路。

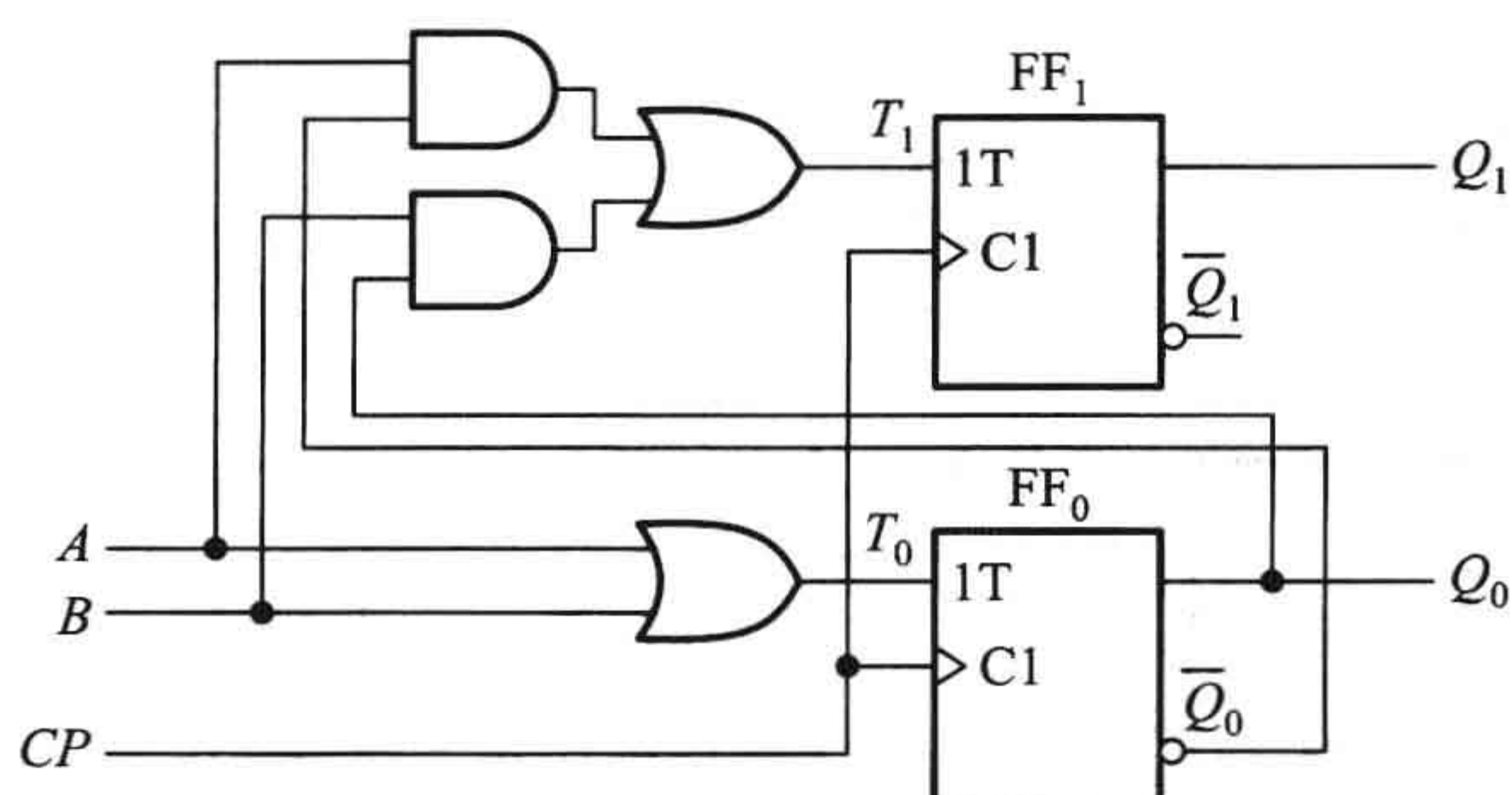


图 6.3(b) 用 T 触发器实现的多功能同步 2 位二进制计数器的逻辑图

长途通信线路一旦出现短路、开路等故障,从线路始端发出的测试脉冲必然会因阻抗失配而出现回波反射。在始端测量该回波信号相对于脉冲发出的延迟时间,可以迅速判断故障点的距离。图 6.4(a)所示是一个利用脉冲回波原理检测长途通信线路故障的系统原理框图,整个系统由微处理机控制,作为例题,这里做了简化。按照程序,微处理机于适当时刻在通信线路始端发送探测脉冲,同时将 TP 信号送至“测量回波延迟的控制电路”,该电路立即将计数使能信号 CEN 置 1,允许计数器从 0 开始对高精度的标准时钟 CP_2 计数。当回波检测电路接收到回波信号时,将脉冲 ECH 送入控制电路,令它发出 CEN 置 0 信号,从而计数器停止计数。此时计数器中保存的数值与 CP_2 周期的乘积则是 ECH 对 TP 的延迟时间,也就是线路故障点距离的相关参数。在回波结束之后,控制电路还应发出锁存脉冲 LE ,将计数器中的数据寄存在锁存器中,同时对微处理机产生中断请求信号 $\overline{INT}$ 。系统响应中断将数据读入,以完成进一步的处理。而控制电路则返回到初始状态,准备好下一次测试。如果在规定时间内没有接收到回波信号,则意味着被测通信线路在测量范围内是正常的,微处理机内的定时器则发出超时脉冲 OVT 送入控制电路,使系统重回初始状态。此外,在进入初始状态时,控制电路还需发出清零脉冲 RST 将计数器清零。控制电路工作的时序图如图 6.4(b)所示。图 6.4(a)中,由一个 40 MHz 石英晶体振荡器产生标准时钟信号 CP_1 ,直接送入控制电路,经 4 分频后再作为计时脉冲,这种安排是出于对同步和控制的稳定性考虑。

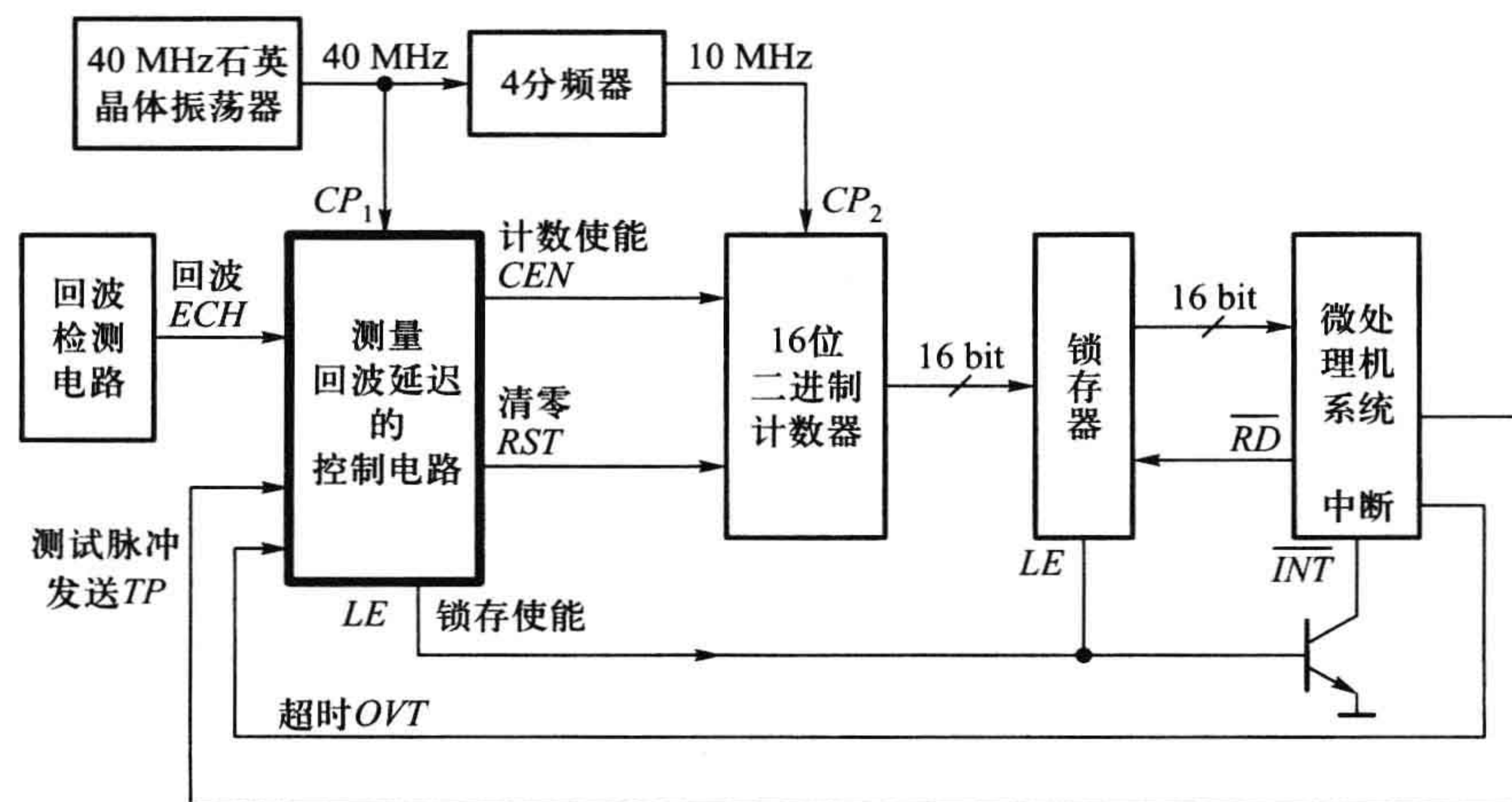
解题思路:图 6.4(a)所示测量回波延迟的控制电路可用一个穆尔型同步时序电路来实现,按照教材中建议的步骤进行设计。

解:(1) 画状态图

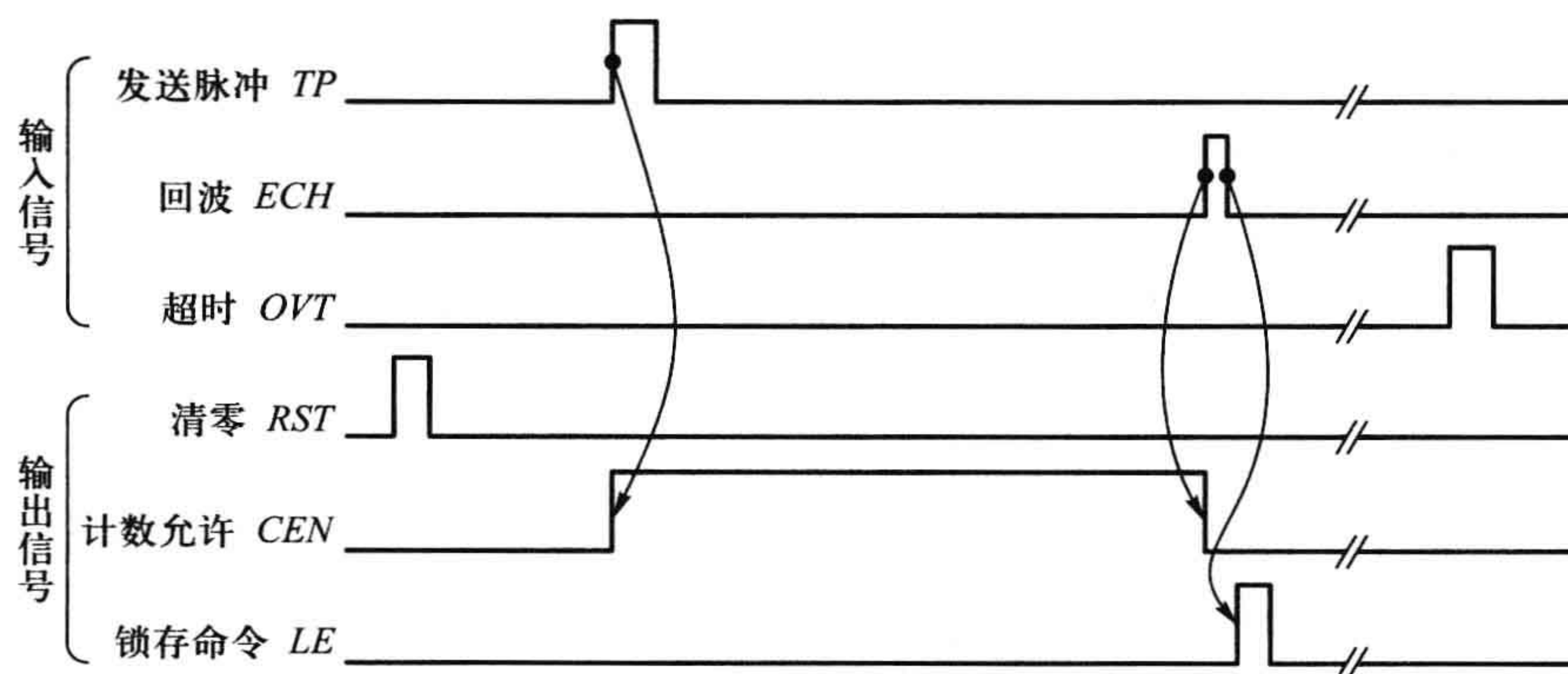
根据图 6.4(b)所示时序图,控制电路有 3 个输入信号 TP 、 ECH 、 OVT 和 3 个输出信号 RST 、 CEN 、 LE ,可以设想欲设计的同步时序电路需要以下几个状态:起步 a 、清零 b 、等待发送测试脉冲 c 、等待回波脉冲到达 d 、等待回波脉冲结束 e 和发出锁存命令 f 六个状态,并在这几个状态中循环。这里之所以设置状态 e 是因为回波脉冲 ECH 来自模拟检测电路,其宽度是不确定的。状态 a 的设置则是为确保数据可靠锁存后再将计数器清零。于是,得到状态图如图 6.4(c)所示。与例 6.2 类似,这里同样应用了转换表达式来标记引起转换的输入变量组合,使状态图更清晰明了。

(2) 列状态表

根据状态图可列出状态表如表 6.4(a)所示,共计 6 个状态,因此至少需要 3 个触发器来实现。



(a)



(b)

图 6.4 脉冲回波测量系统的逻辑框图和时序图

(a) 原理框图 (b) 时序图

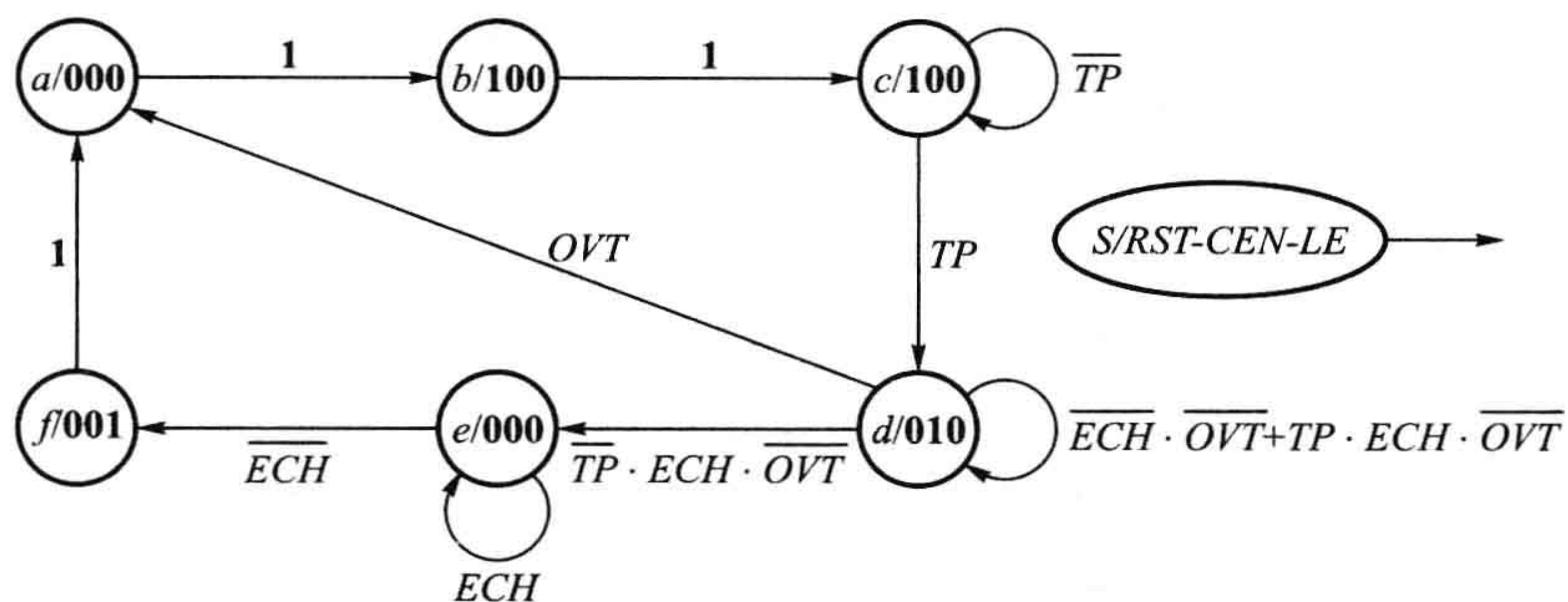


图 6.4(c) 控制电路的状态图

表 6.4(a) 测量回波延迟的控制电路的状态表

S^n	S^{n+1}								RST	CEN	LE
	输入变量: $TP-ECH-OVT$										
	000	001	010	011	100	101	110	111			
a	b	b	b	b	b	b	b	b	0	0	0
b	c	c	c	c	c	c	c	c	1	0	0
c	c	c	c	c	d	d	d	d	0	0	0
d	d	a	e	a	d	a	d	a	0	1	0
e	f	f	e	e	f	f	e	e	0	0	0
f	a	a	a	a	a	a	a	a	0	0	1

(3) 状态分配

这里选用输出不易出现竞争冒险的格雷码,状态分配为 $a:000, b:001, c:011, d:010, e:110, f:100$ 。于是,可得转换表如表 6.4(b)所示。从表中可以看出,这种编码是经过精心选择的,所有状态间的转换,始终只有一位编码,即仅有一个触发器状态发生变化,甚至当 d 状态跨越 $e、f$ 直接转换为 a 状态时,也只有中间一位编码由 1 转换为 0。如果采用自然二进制编码,不同触发器翻转速度的微小差异及输出逻辑电路的不同延迟时间,会造成译码电路的竞争冒险,在输出波形上引发“毛刺”脉冲,这种窄脉冲可能造成所驱动的后续电路误动作。选择格雷码的状态分配,可避免这种现象的发生。

表 6.4(b) 控制电路的转换表

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$								RST	CEN	LE
	输入变量: $TP-ECH-OVT$										
	000	001	010	011	100	101	110	111			
000	001	001	001	001	001	001	001	001	0	0	0
001	011	011	011	011	011	011	011	011	1	0	0
011	011	011	011	011	010	010	010	010	0	0	0
010	010	000	110	000	010	000	010	000	0	1	0
110	100	100	110	110	100	100	110	110	0	0	0
100	000	000	000	000	000	000	000	000	0	0	1
101	xxx	xxx	xxx	xxx	xxx	xxx	xxx	xxx	x	x	x
111	xxx	xxx	xxx	xxx	xxx	xxx	xxx	xxx	x	x	x

(4) 确定激励方程组和输出方程组

使用 D 触发器实现。严格来说,应以 $Q_2^n、Q_1^n、Q_0^n$,以及 $TP、ECH、OVT$ 为逻辑变量,分别以 $Q_2^{n+1}、Q_1^{n+1}、Q_0^{n+1}$ 为函数,一一列出最小项,然后进行化简。但因该电路的逻辑关系并不太复杂,只

需通过分析根据表 6.4(b) 即可推出 3 个 D 触发器的激励方程, 它们分别为

$$D_2 = Q_2 Q_1 + Q_1 \bar{Q}_0 \cdot \bar{TP} \cdot ECH \cdot \bar{OVT}$$

$$D_1 = Q_0 + \bar{Q}_2 Q_1 \cdot \bar{OVT} + Q_2 Q_1 \cdot ECH$$

$$D_0 = \bar{Q}_2 \bar{Q}_1 + Q_0 \cdot \bar{TP}$$

该同步时序电路的输出方程组为

$$RST = \bar{Q}_2 \bar{Q}_1 Q_0$$

$$CEN = \bar{Q}_2 Q_1 \bar{Q}_0$$

$$LE = Q_2 \bar{Q}_1 \bar{Q}_0$$

(5) 画出逻辑电路图

根据激励方程组和输出方程组直接可以画出逻辑电路图, 如图 6.4(d) 所示。这种以定义电路网络名称(网表)来替代实际连线的逻辑图, 在很多电路分析软件和印制电路板设计软件中都是可被接受的。

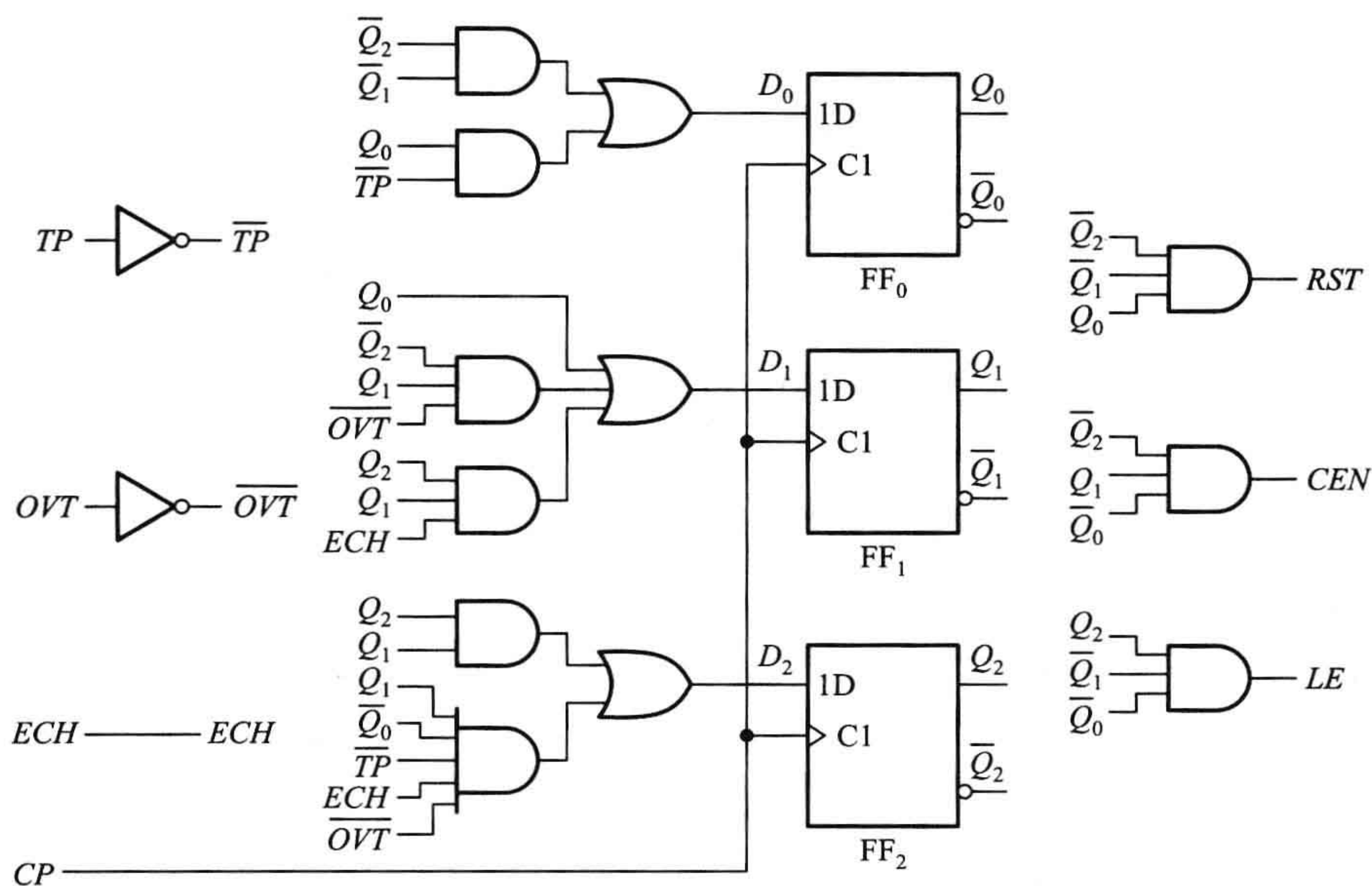


图 6.4(d) 控制电路的逻辑图

(6) 用时序可编程逻辑器件 GAL16V8 实现

由于图 6.4(d) 所示电路是用 D 触发器和与-或逻辑实现的, 所以使用 GAL16V8 很容易实现上述电路的功能。需要做的工作仅是根据上述方程组确定 GAL16V8 的配置。

经分析、均衡各种条件, 确定 GAL16V8 的配置如表 6.4(c) 所示, 并且设置 $SYN=0$, $AC_0=1$, 即芯片配置为时序电路。其中, OLMC(13) 和 OLMC(12) 分别作为异步输入信号 TP 和 ECH 的同步器配置为寄存器输出。

表 6.4(c) GAL16V8 的配置表

OLMC(n)	功能	功能配置	$AC_1(n)$	$XOR(n)$
OLMC(19)	Q_2	寄存器输出	0	1
OLMC(18)	Q_1	寄存器输出	0	1
OLMC(17)	Q_0	寄存器输出	0	1
OLMC(16)	RST	组合输出	1	1
OLMC(15)	CEN	组合输出	1	1
OLMC(14)	LE	组合输出	1	1
OLMC(13)	TP 同步器	寄存器输出	0	1
OLMC(12)	ECH 同步器	寄存器输出	0	1

读者可根据激励方程组和输出方程组试在教材中的图 6.7.5 上标出与逻辑阵列的编程状态(即在应连接的交叉点上标×),做一次实践体验。由于电路的最高工作频率为 40 MHz,所以需要选用传输延迟时间为 15 ns 的 GAL16V8-15 型芯片来实现。

可以看出,GAL16V8 在例 6.4 中的逻辑利用率很低,其中大部分与门的 PTD 均编程为禁止状态,不但耗费了芯片空间,而且增大了分布电容,影响电路的速度,这是 GAL 应用中存在的问题之一。如果选择适当的 FPGA 实现,则图 6.4(a)所示框图里的全部逻辑均可囊括在单个芯片中,包括微处理机,且最高工作频率可提高到百 MHz 以上,提高距离检测的分辨率。图 6.4(a)所示的工作原理,还可应用到光纤测试以及超声探伤等方面。

从开始学习逻辑设计时就结合解决实际的工程问题,训练如何将学到的知识应用到实际中去,这样才不是孤立地学习一门“课程”,而是掌握有用的“知识”。

三、习 题 全 解

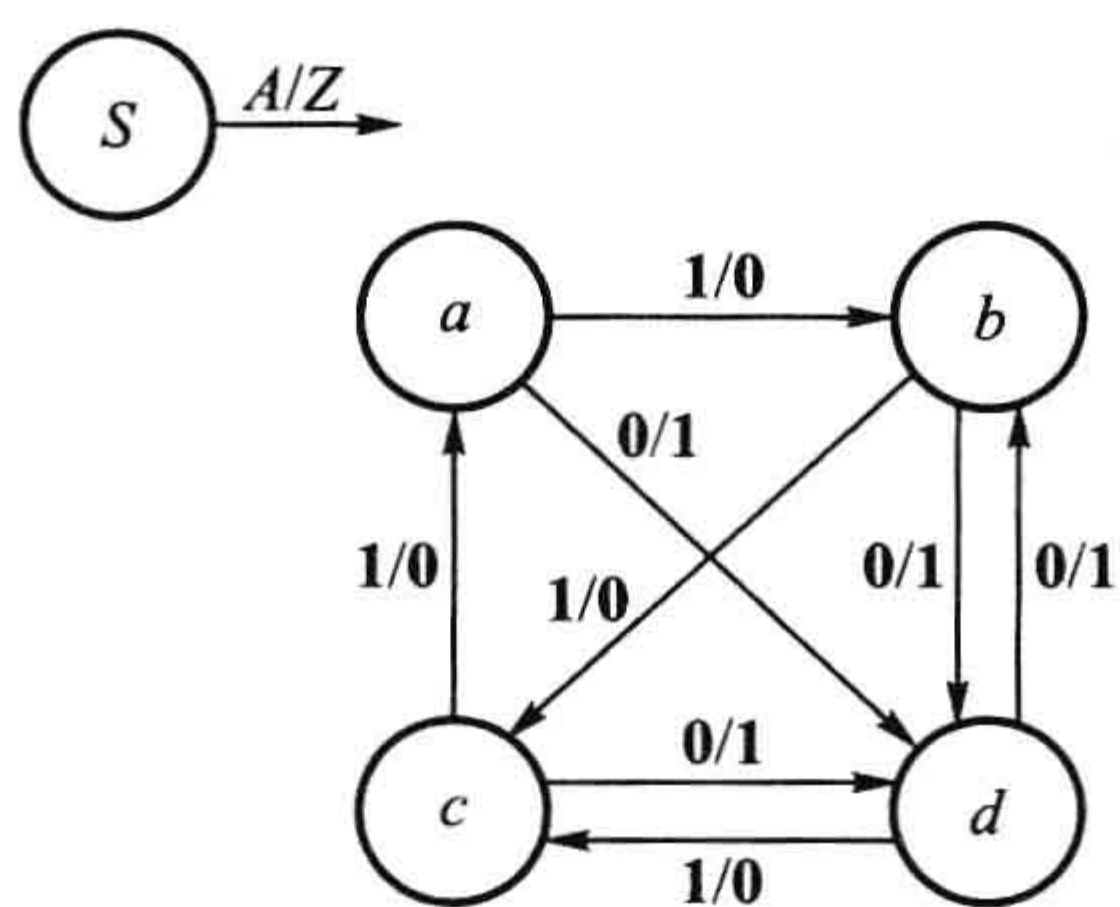
6.1 时序逻辑电路的基本概念

6.1.1 已知一时序电路的状态表如表题 6.1.1 所示, A 为输入信号,试作出相应的状态图。

表题 6.1.1

S^n	S^{n+1}/Z	
	$A=0$	$A=1$
a	$d/1$	$b/0$
b	$d/1$	$c/0$
c	$d/1$	$a/0$
d	$b/1$	$c/0$

解:由状态图的概念及已知的状态表,可画出对应的状态图,如图题解 6.1.1 所示。



图题解 6.1.1

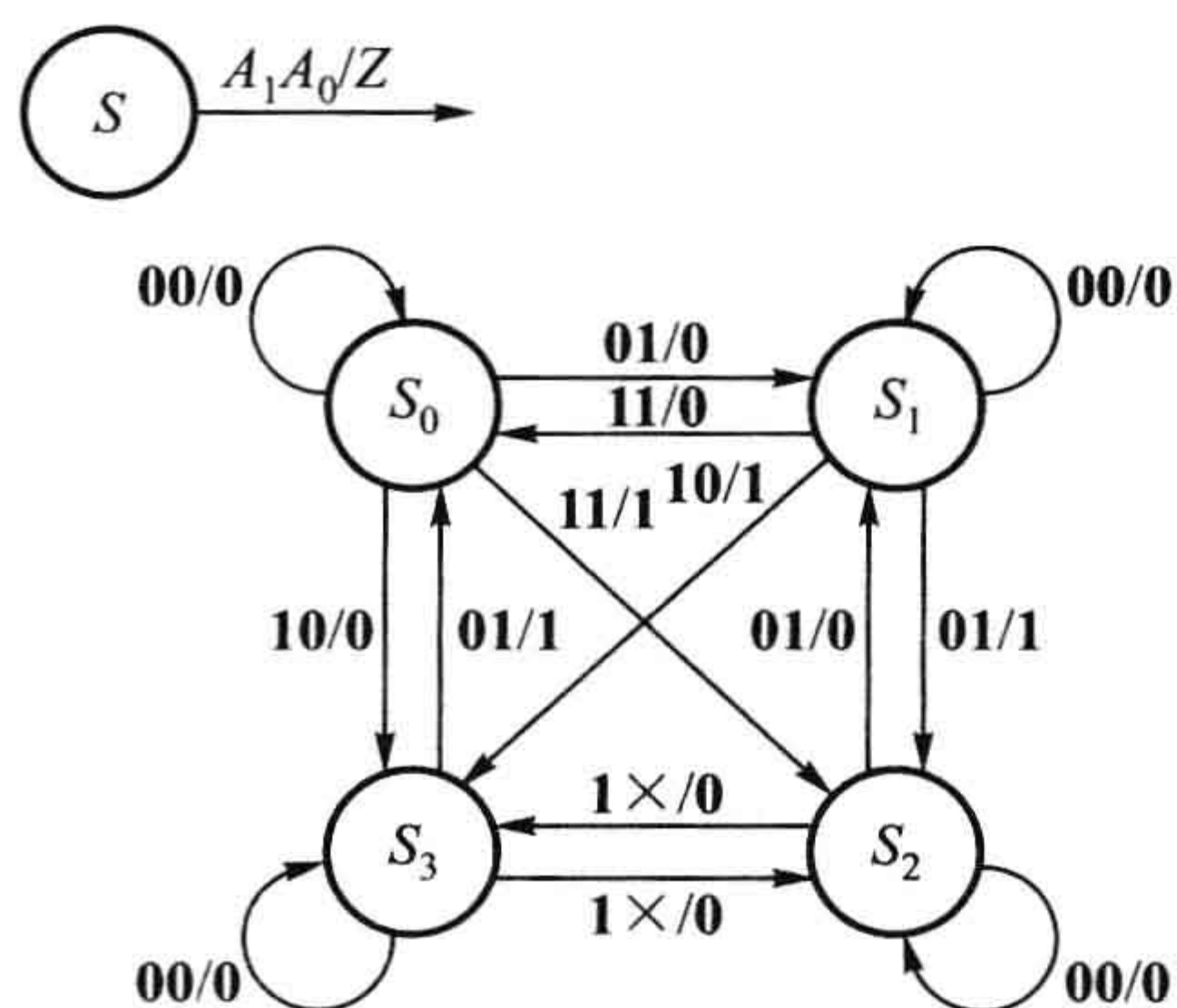
6.1.2 已知状态表如表题 6.1.2 所示,输入为 A_1A_0 ,试作出相应的状态图。

表题 6.1.2

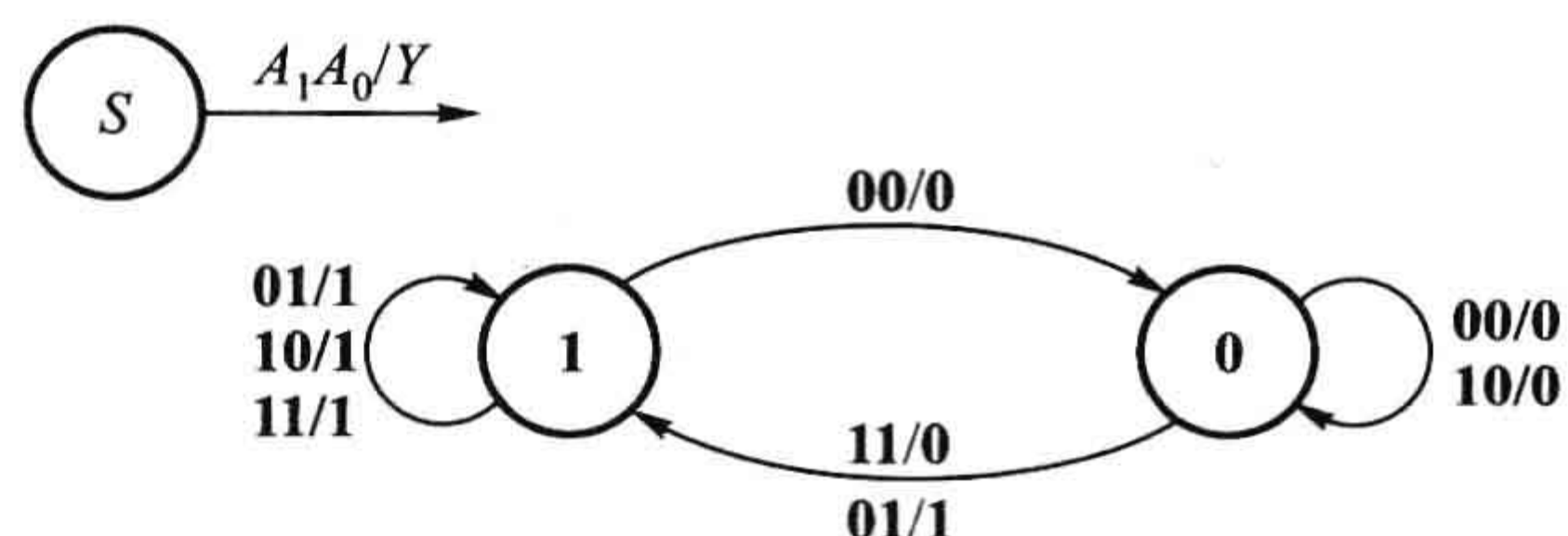
S^n	S^{n+1}/Z			
	$A_1A_0 = 00$	$A_1A_0 = 01$	$A_1A_0 = 10$	$A_1A_0 = 11$
S_0	$S_0/0$	$S_1/0$	$S_3/0$	$S_2/1$
S_1	$S_1/0$	$S_2/1$	$S_3/1$	$S_0/0$
S_2	$S_2/0$	$S_1/0$	$S_3/0$	$S_3/0$
S_3	$S_3/0$	$S_0/1$	$S_2/0$	$S_2/0$

解:根据图题 6.1.2 所示的状态表,作出相应的状态图如图题解 6.1.2 所示。

6.1.3 已知状态图如图题 6.1.3 所示,试列出它的转换表。



图题解 6.1.2



图题 6.1.3

解:按图题 6.1.3 列出的转换表如表题解 6.1.3 所示。

表题解 6.1.3

S^n	S^{n+1}/Y			
	$A_1A_0 = 00$	$A_1A_0 = 01$	$A_1A_0 = 10$	$A_1A_0 = 11$
0	0/0	1/1	0/0	1/0
1	0/0	1/1	1/1	1/1

6.1.4 试画出 **101** 序列检测器的状态图, 已知此检测器的输入序列、输出序列如下:

(1) 输入 A : **0 1 0 1 0 1 1 0 1**

输出 Z : **0 0 0 1 0 1 0 0 1**

(2) 输入 A : **0 1 0 1 0 1 1 0 1 0**

输出 Z : **0 0 0 1 0 0 0 0 1 0**

解: (1) 由于该序列检测器在收到编码 **101** 时, 输出为 **1**, 其他情况下输出为 **0**, 因此要求电路能记忆输入的序列: 接收到 **0**、接收到 **1**、接收到 **10**、接收到 **101** 四个状态, 将它们分别用 S_0 、 S_1 、 S_2 、 S_3 表示。根据已知序列(1), 当输入 A 为序列 **10101**, 即序列 **101** 重叠出现时, 相应输出 Z 为 **00101**, 即显示两次检测到 **101** 序列, 于是可画出其原始状态图和状态表分别如图题解 6.1.4(a) 和表题解 6.1.4(a) 所示。由于考虑到检测重叠出现的 **101** 序列, 所以当检测到序列 **101**, 进入状态 S_3 后, 如再检测到 **0**, 则返回 S_2 状态, 等待下一个可能出现的 **1**。

表题解 6.1.4(a)

S^n	S^{n+1}/Z	
	$A=0$	$A=1$
S_0	$S_0/0$	$S_1/0$
S_1	$S_2/0$	$S_1/0$
S_2	$S_0/0$	$S_3/1$
S_3	$S_2/0$	$S_1/0$

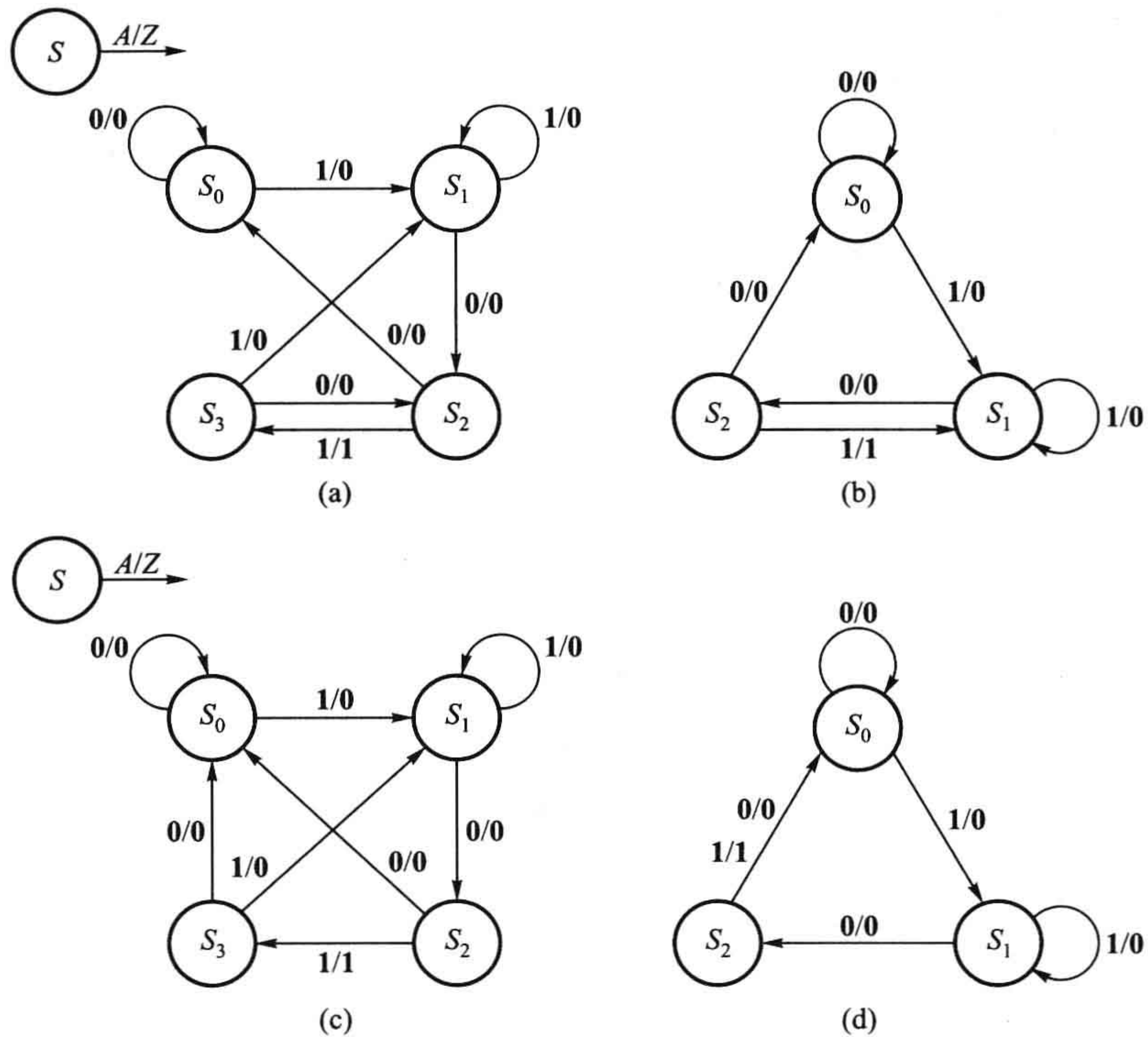
观察表题解 6.1.4(a) 可见, S_1 和 S_3 是等价状态, 可以合并。于是, 可把表中 S_3 一行删除, 将表中其他 S_3 改为 S_1 , 得到如图题解 6.1.4(b) 所示化简后的状态图。

(2) 由已知序列(2)可知, 当 **101** 序列重叠出现时, Z 仅在第一次检测到 **101** 序列时输出 **1**, 如在其后紧接着检测到 **01**, Z 输出为 **0**, 这是和已知序列 1 不同的地方。因而电路在接收到第一个 **101** 序列后进入 S_3 状态, 即认为一次检测结束。如果下一个序列编码为 **0**, 则转向 S_0 状态, 等待新的独立的 **101** 序列出现, 而不是由 S_3 转向 S_2 , 等待检测重叠的 **101** 序列。由此可得已知序列(2)的原始状态图和原始状态表分别如图题解 6.1.4(c) 和表题解 6.1.4(b) 所示。

表题解 6.1.4(b)

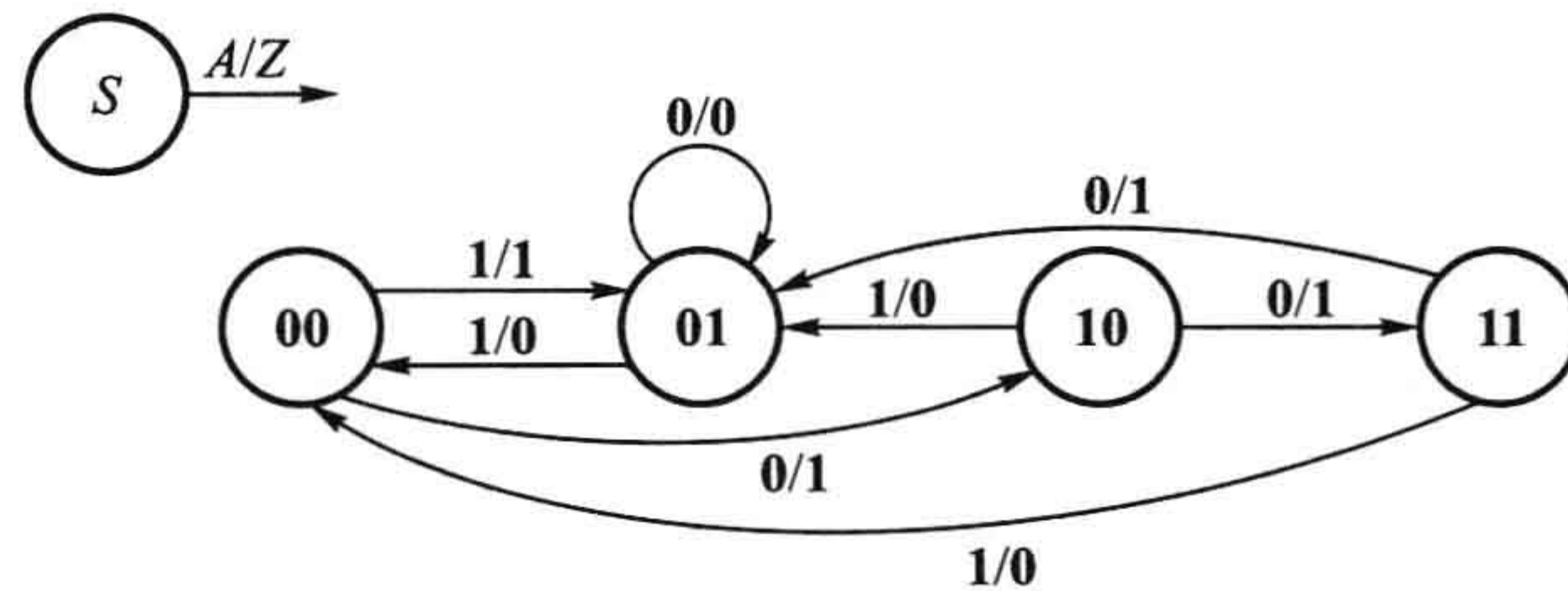
S^n	S^{n+1}/Z	
	$A=0$	$A=1$
S_0	$S_0/0$	$S_1/0$
S_1	$S_2/0$	$S_1/0$
S_2	$S_0/0$	$S_3/1$
S_3	$S_0/0$	$S_1/0$

观察表题解 6.1.4(b) 可见, S_0 和 S_3 是等价状态, 可以合并, 于是得到化简后的状态图如图题解 6.1.4(d) 所示。



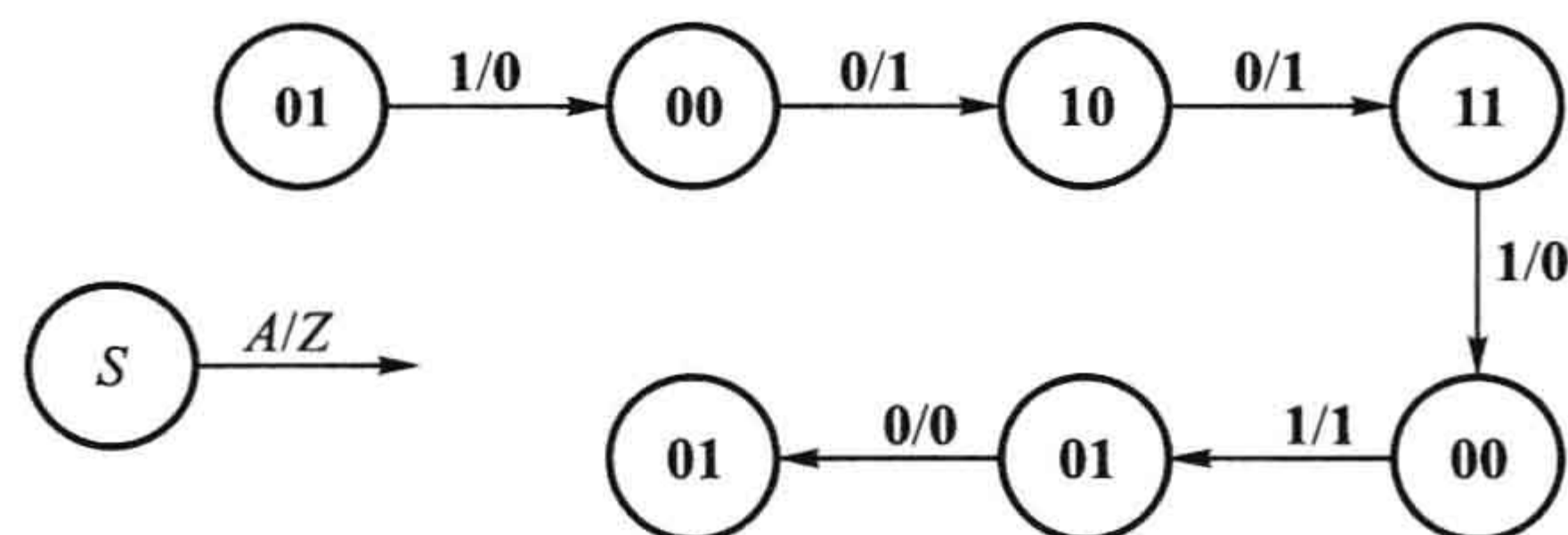
图题解 6.1.4

6.1.5 图题 6.1.5 所示是某时序电路的状态图, 设电路的初始状态为 **01**, 当序列 $A = 100110$ 自左至右输入时, 求该电路输出 Z 的序列。



图题 6.1.5

解: 由图题 6.1.5 所示的状态图可知, 当初态为 **01**, 输入信号的序列 $A = 100110$ 时, 该时序电路将按图题解 6.1.5 所示的顺序改变状态, 因而对应的输出序列为 $Z = 011010$ 。



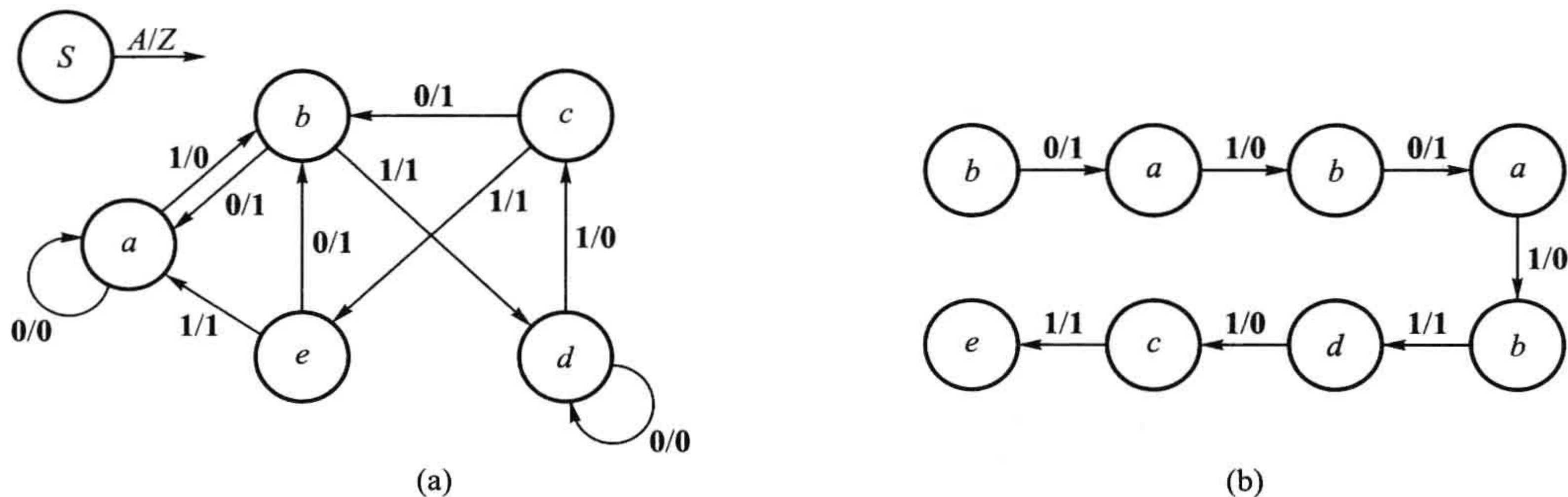
图题解 6.1.5

6.1.6 已知某时序电路的状态表如表题 6.1.6 所示,输入为 A ,试画出它的状态图。如果电路的初始状态为 b ,输入信号 A 依次是 **0101111**,试求其相应的输出。

表题 6.1.6

S^n	S^{n+1}/Z	
	$A=0$	$A=1$
a	$a/0$	$b/0$
b	$a/1$	$d/1$
c	$b/1$	$e/1$
d	$d/0$	$c/0$
e	$b/1$	$a/1$

解:根据表题 6.1.6 所示的状态表,可直接画出与其对应的状态图如图题解 6.1.6(a) 所示。当从初始状态 b 开始,依次输入 **0101111** 信号时,该时序电路将按图题解 6.1.6(b) 所示的顺序改变状态,因而其相应的输出序列为 **1010101**。



图题解 6.1.6

6.1.7 已知某同步时序电路含有两个上升沿触发的 D 触发器,其激励方程组为

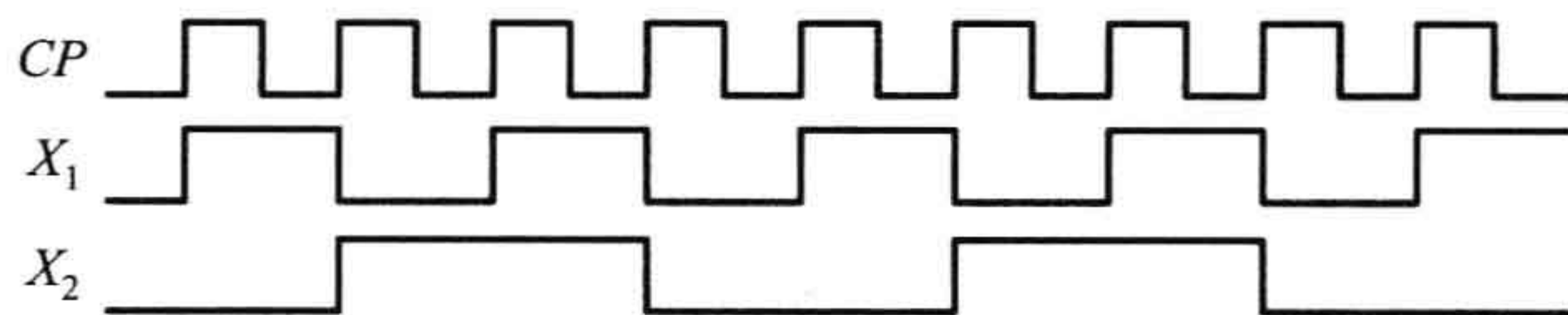
$$D_0 = X_2 X_1 + X_1 Q_0 + X_2 Q_0$$

$$D_1 = X_1 \oplus X_2 \oplus Q_0$$

输出方程为

$$Z = Q_1$$

列出转换表,画出状态图,并分析其逻辑功能。若输入信号的波形如图题 6.1.7 所示,且电路的初始状态为 **00**,试画出 Q_1 、 Q_0 的波形。



图题 6.1.7

解:因为该同步时序电路使用 D 触发器构成,可直接列出其转换方程组

$$Q_0^{n+1} = D_0 = X_2 X_1 + X_1 Q_0^n + X_2 Q_0^n$$
$$Q_1^{n+1} = D_1 = X_2 \oplus X_1 \oplus Q_0^n$$

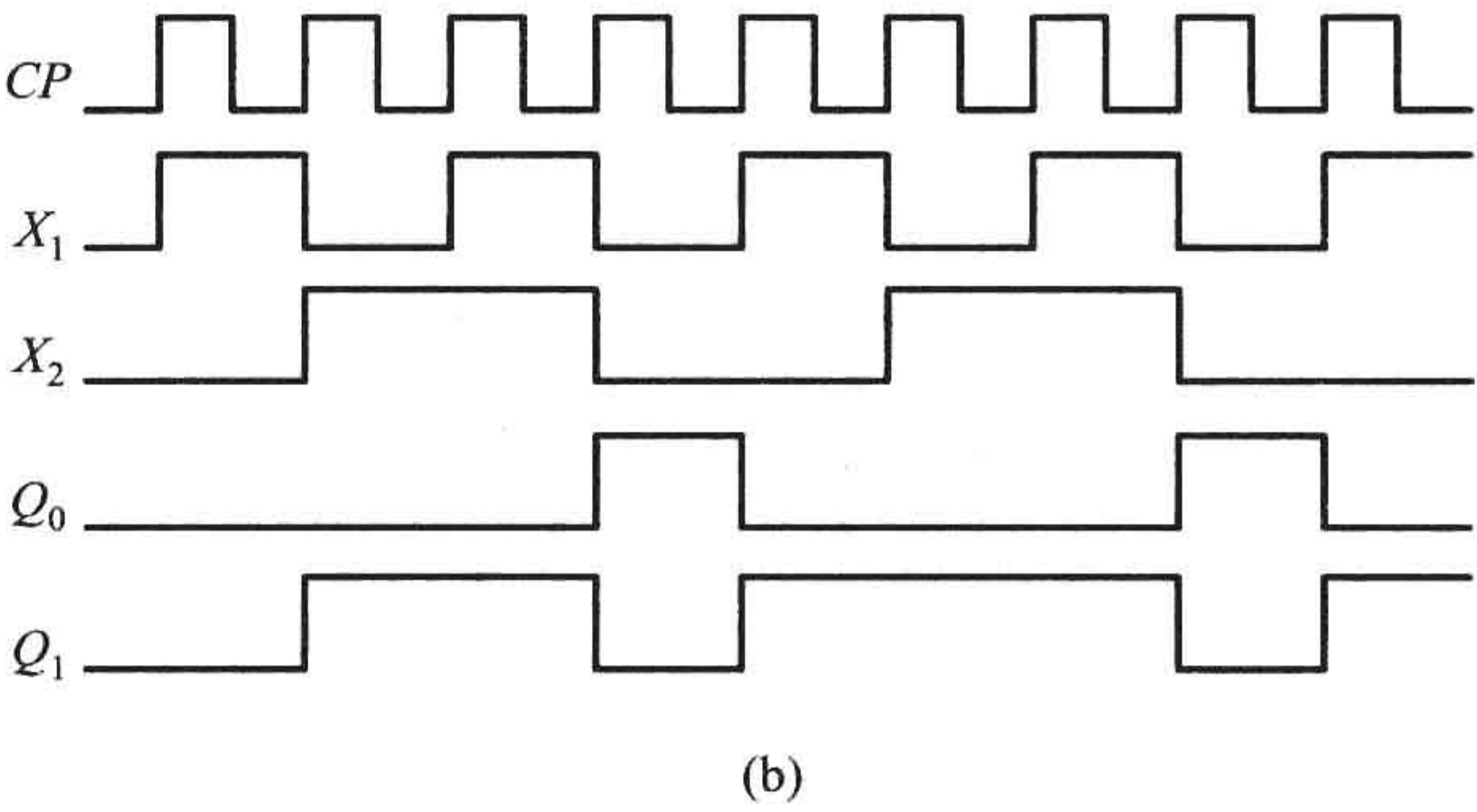
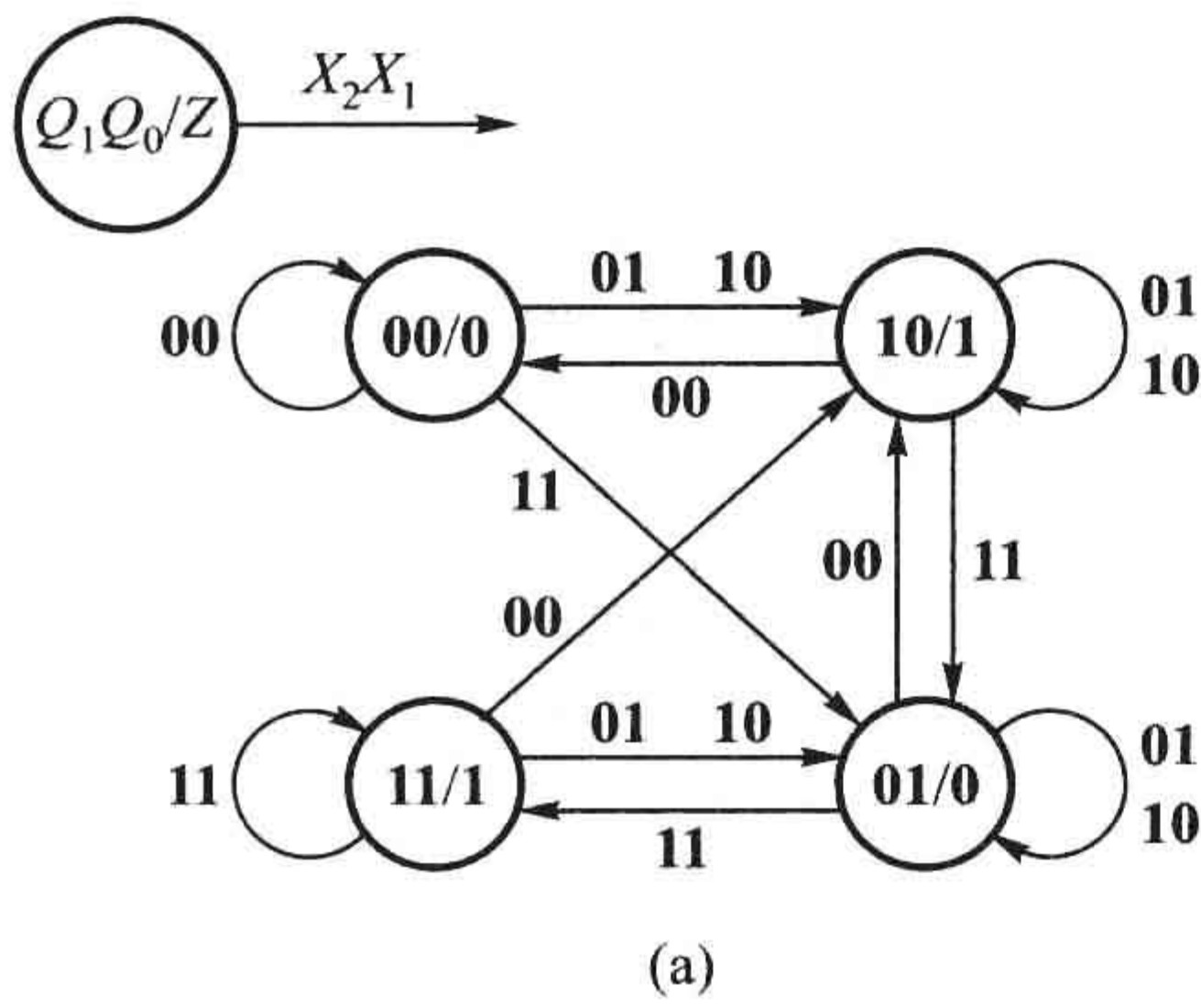
同时已知输出方程为

$$Z = Q_1$$

由转换方程组和输出方程可列出该电路的转换表,如表题解 6. 1. 7 所示。由此可画出状态图如图题解 6. 1. 7(a) 所示。由于输出 $Z = Q_1$,属穆尔型电路,因此输出 Z 与状态一起标注在圆圈内。

表题解 6. 1. 7

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$				Z
	$X_2 X_1 = 00$	$X_2 X_1 = 01$	$X_2 X_1 = 10$	$X_2 X_1 = 11$	
00	00	10	10	01	0
01	10	01	01	11	0
10	00	10	10	01	1
11	10	01	01	11	1



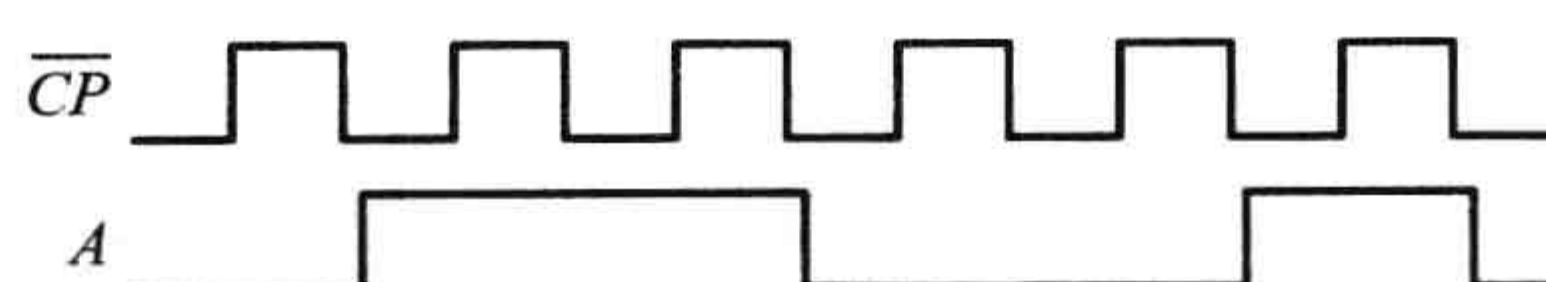
图题解 6. 1. 7

图题解 6. 1. 7(b) 示出在图题 6. 1. 7 所示波形激励下, Q_1 、 Q_0 的波形。这里,假定输入信号 X_1 、 X_2 的状态变化总是比时钟脉冲 CP 的上升沿滞后 t_{pd} , t_{pd} 为触发器的传输延迟时间。

6. 1. 8 已知转换表如表题 6. 1. 8 所示,若电路的初始状态为 $Q_1 Q_0 = 00$,输入信号 A 的波形如图题 6. 1. 8 所示,输出信号为 Z ,试画出 $Q_1 Q_0$ 的波形(设触发器为下降沿触发)。

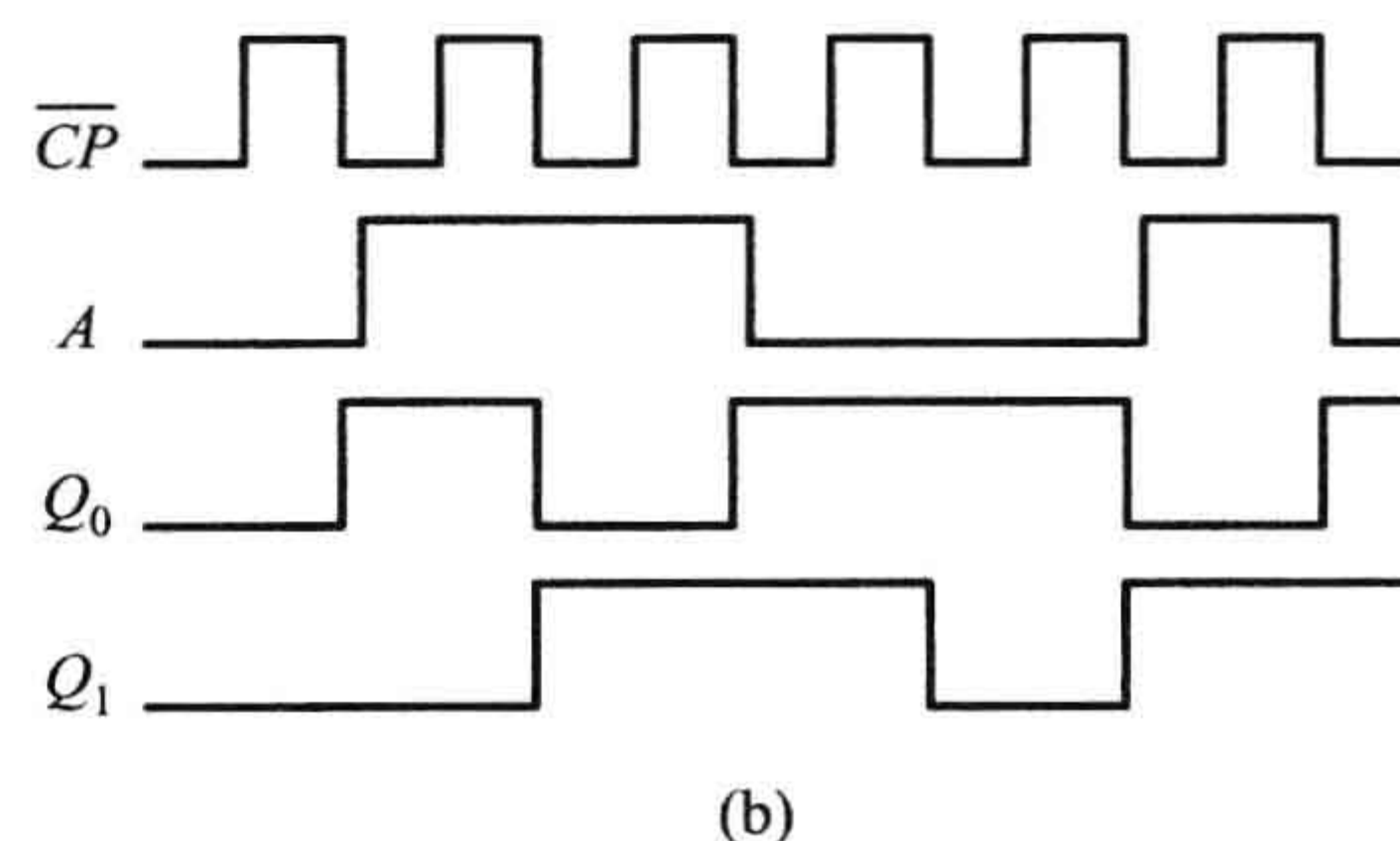
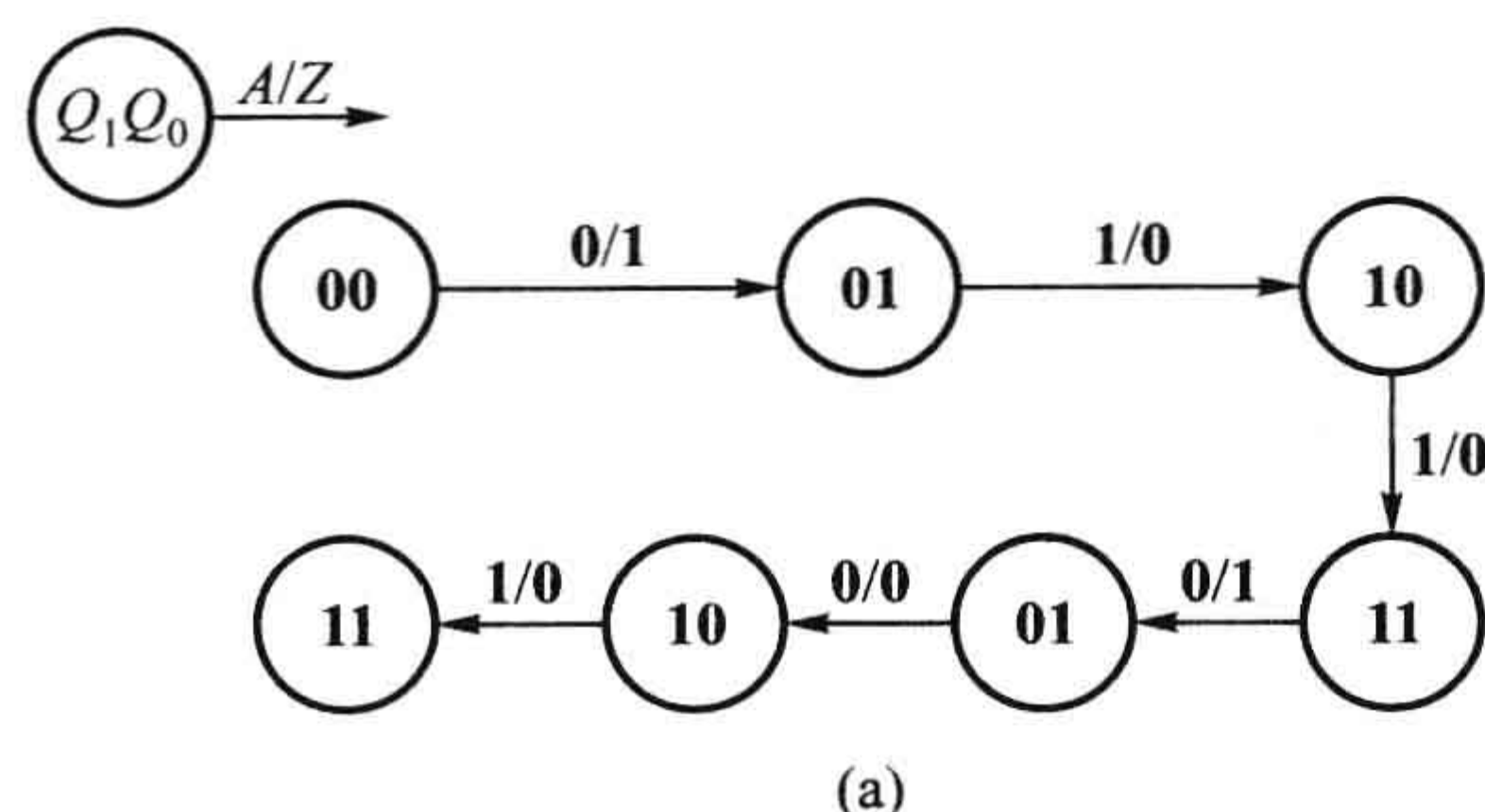
表题 6. 1. 8

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	$A = 0$	$A = 1$
0 0	0 1/1	1 1/1
0 1	1 0/0	1 0/0
1 0	1 0/0	1 1/0
1 1	0 1/1	0 0/1



图题 6.1.8

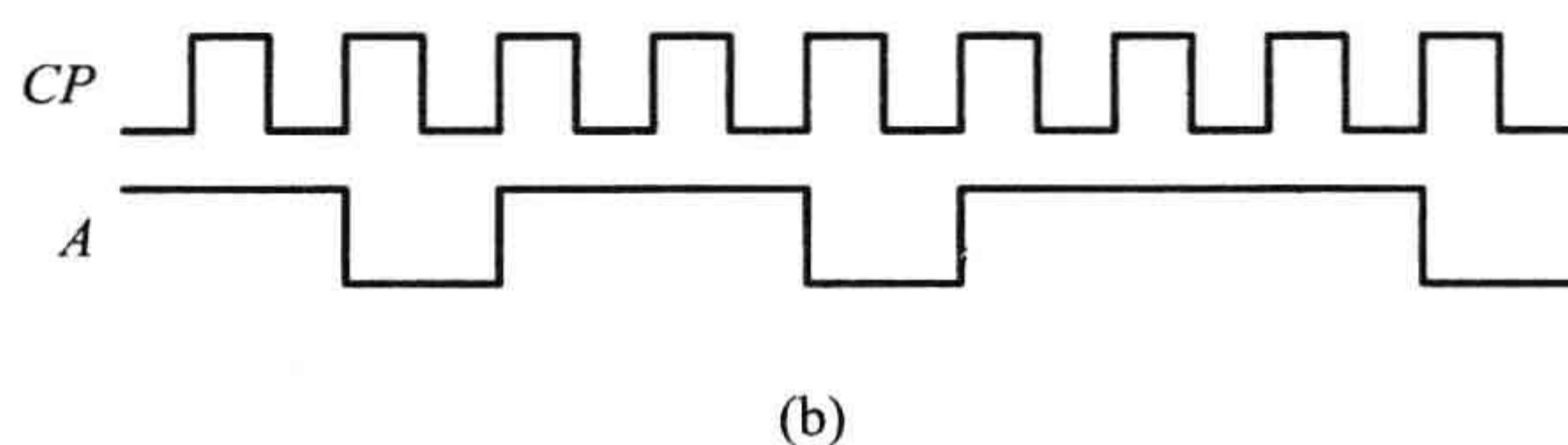
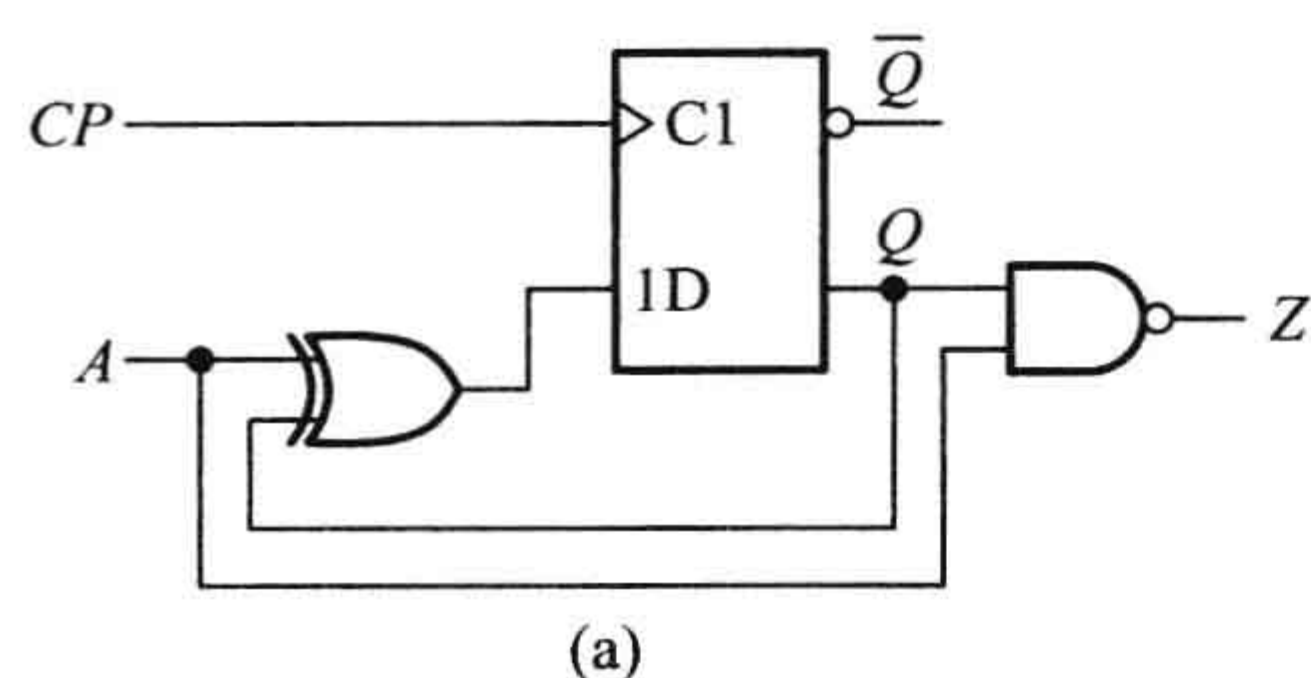
解:根据已知的转换表及输入信号 $A=011001$, 该电路将由初始状态 $Q_1Q_0=00$ 开始, 按图题解 6.1.8(a) 所示的状态顺序改变状态, 因而可画出 Q_1 、 Q_0 的波形图如图题解 6.1.8(b) 所示。



图题解 6.1.8

6.2 同步时序逻辑电路的分析

6.2.1 试分析图题 6.2.1(a) 所示时序电路, 列出转换表并画出状态图。设电路的初始状态为 0, 试画出在图题 6.2.1(b) 所示波形作用下, Q 和 Z 的波形图。



图题 6.2.1

解:由所给电路图可写出该电路的转换方程和输出方程, 分别为

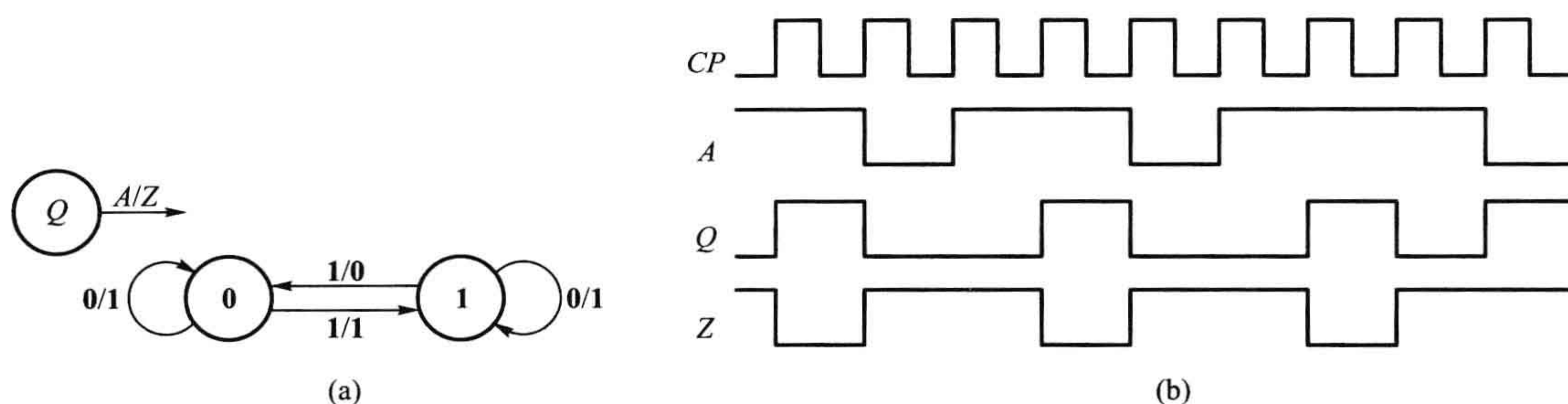
$$Q^{n+1} = A \oplus Q^n$$

$$Z = \overline{A}Q$$

其转换表如表题解 6.2.1 所示, 状态图如图题解 6.2.1(a) 所示, Q 和 Z 的波形图如图题解 6.2.1(b) 所示。这里, 假定输入信号 A 的状态变化总是比时钟脉冲 CP 的上升沿滞后 t_{pd} , t_{pd} 为触发器的传输延迟时间

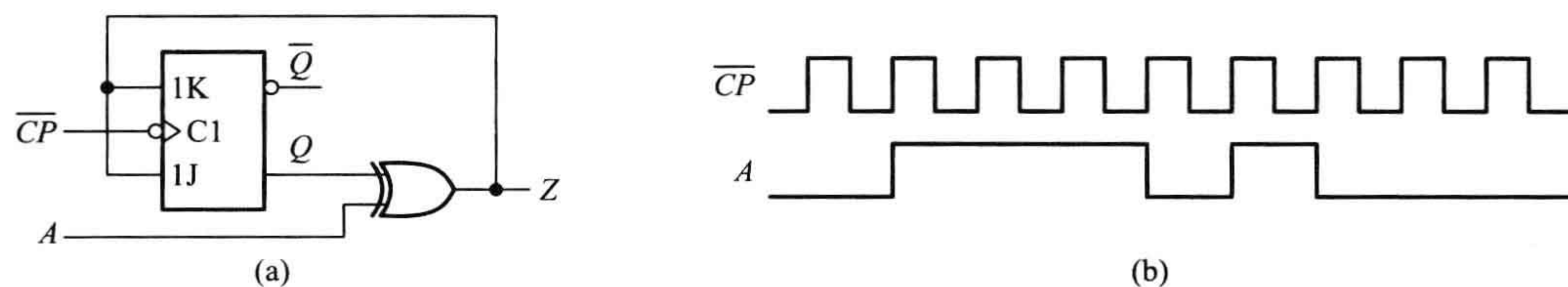
表题解 6.2.1

Q^n	Q^{n+1}/Z	
	$A=0$	$A=1$
0	0/1	1/1
1	1/1	0/0



图题解 6.2.1

6.2.2 试分析图题 6.2.2(a) 所示时序电路, 列出转换表并画出状态图。设电路的初始状态为 0, 画出在图题 6.2.2(b) 所示波形作用下, Q 和 Z 的波形图。



图题 6.2.2

解: 由所给电路图可写出该电路的转换方程和输出方程:

$$\begin{aligned}
 Q^{n+1} &= Z \bar{Q}^n + \bar{Z} Q^n \\
 &= (A \bar{Q}^n + \bar{A} Q^n) \bar{Q}^n + (A Q^n + \bar{A} \bar{Q}^n) Q^n \\
 &= A \bar{Q}^n + A Q^n \\
 &= A \\
 Z &= A \oplus Q
 \end{aligned}$$

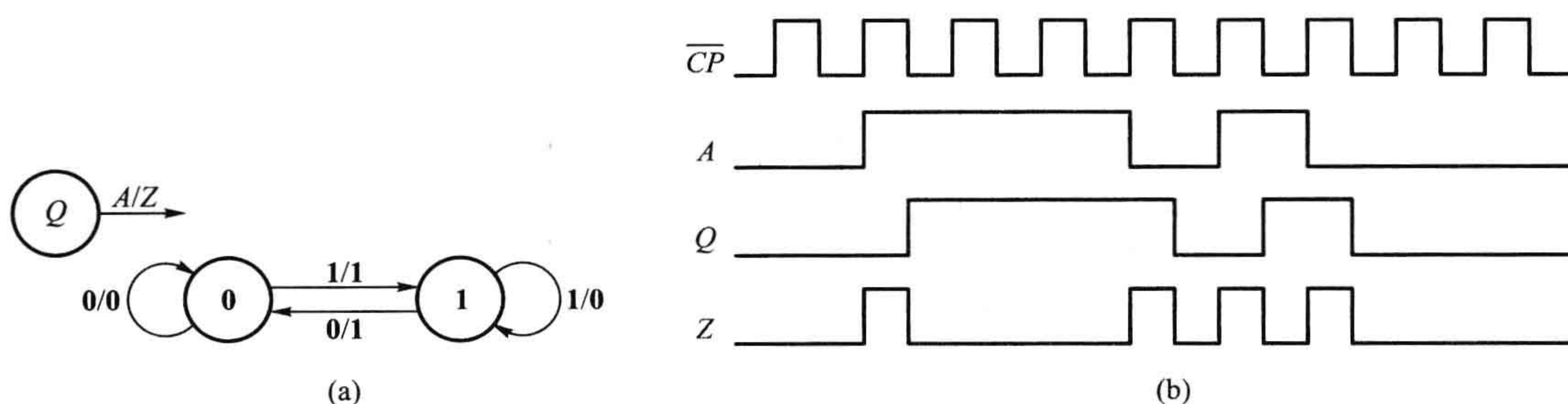
列出转换表如表题解 6.2.2 所示, 状态图如图题解 6.2.2(a) 所示, Q 和 Z 的波形图如图题解 6.2.2(b) 所示。

表题解 6.2.2

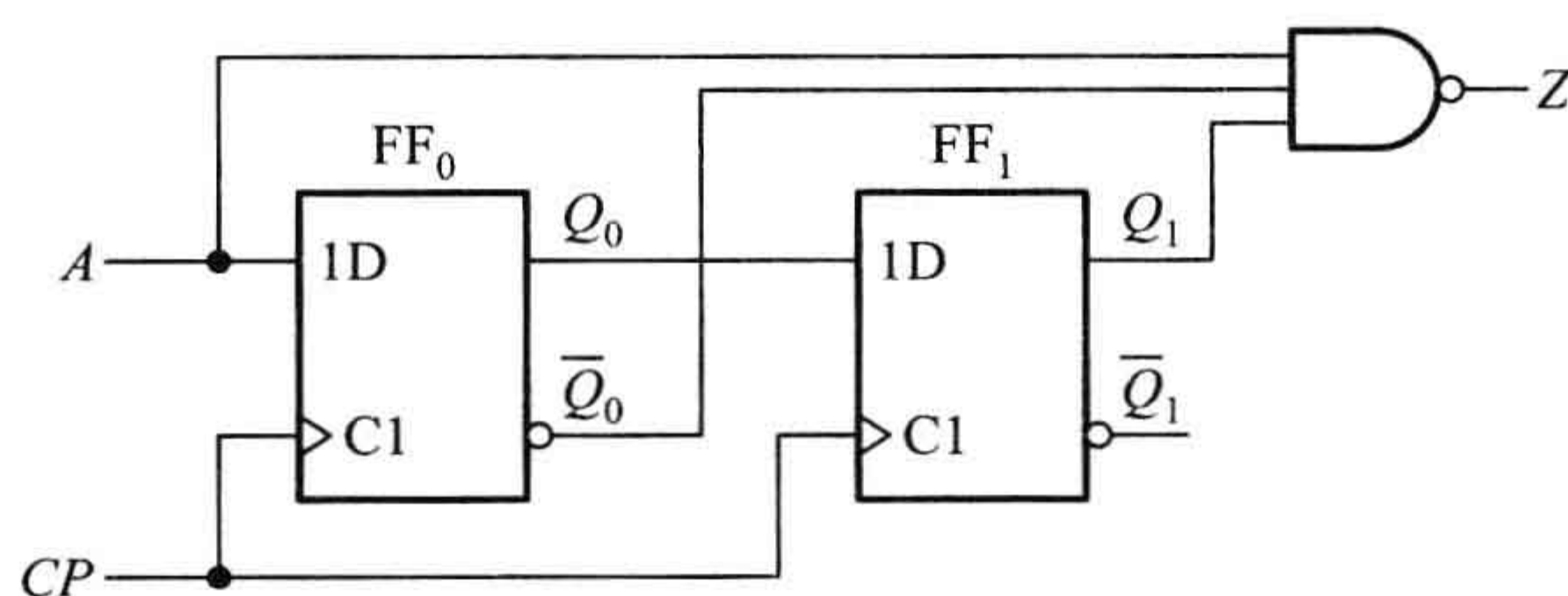
Q^n	Q^{n+1}/Z	
	$A=0$	$A=1$
0	0/0	1/1
1	0/1	1/0

6.2.3 试分析图题 6.2.3 所示同步时序电路, 画出状态图。

解: 由图题 6.2.3 所示电路可写出其转换方程组



图题解 6.2.2



图题 6.2.3

$$Q_1^{n+1} = Q_0^n$$

$$Q_0^{n+1} = A$$

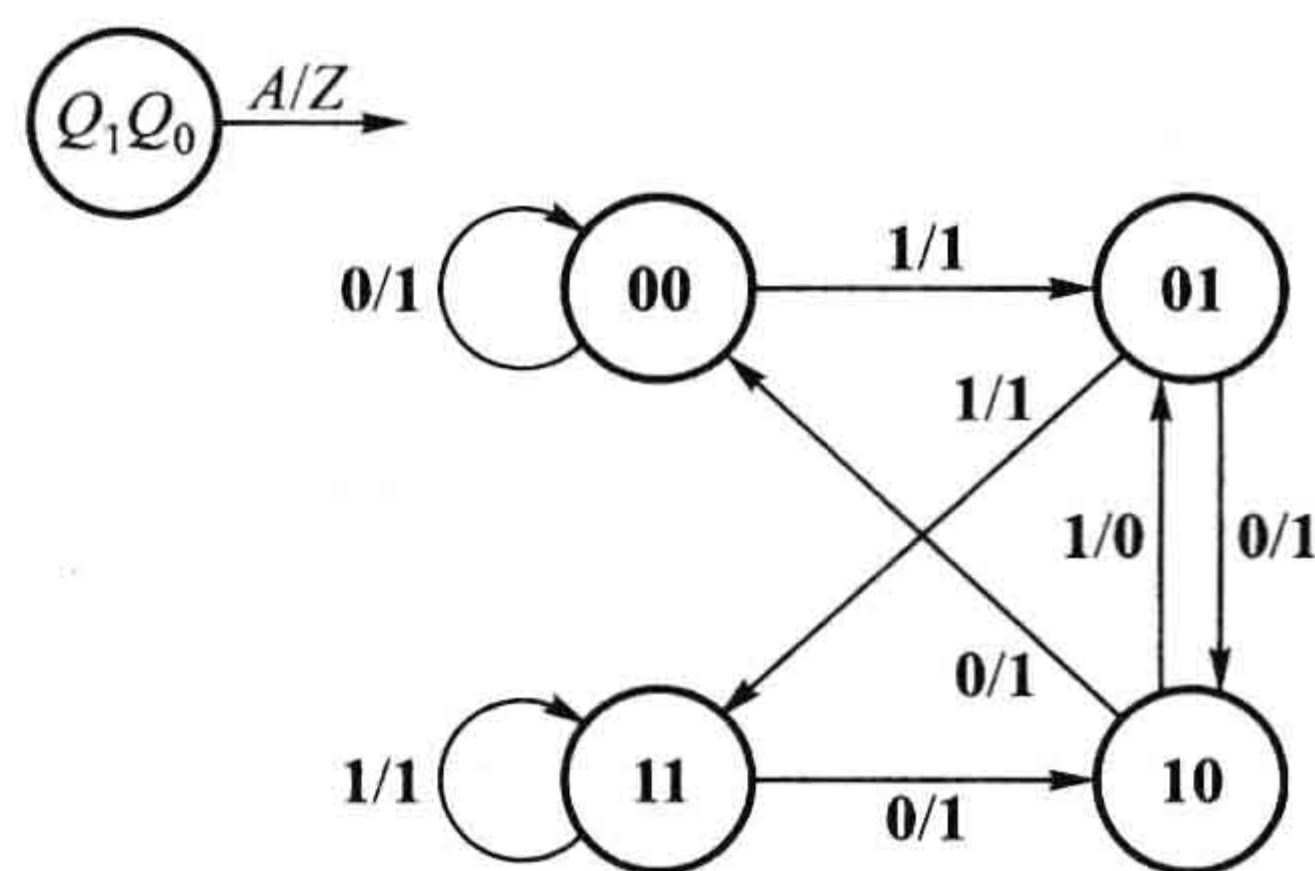
和输出方程

$$Z = A \oplus Q_1 \oplus \overline{Q_0}$$

可列出转换表如表题解 6.2.3 所示,画出状态图如图题解 6.2.3 所示。

表题解 6.2.3

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	$A = 0$	$A = 1$
0 0	00/1	01/1
0 1	10/1	11/1
1 0	00/1	01/0
1 1	10/1	11/1



图题解 6.2.3

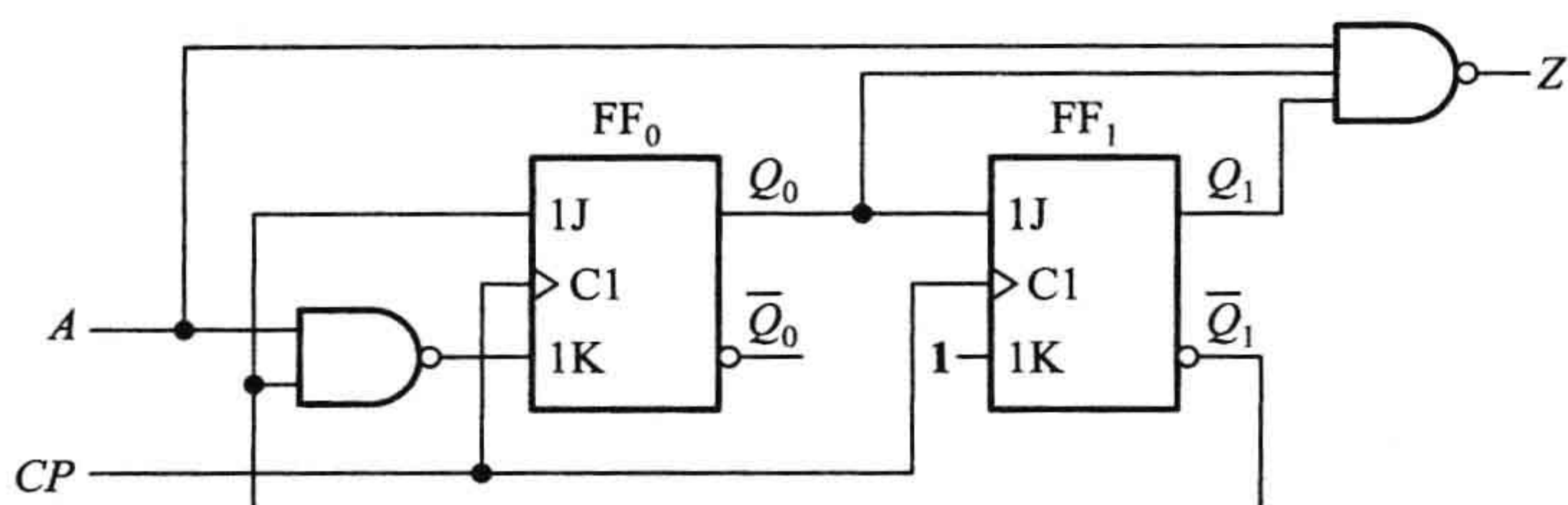
6.2.4 试分析图题 6.2.4 所示电路,写出它的激励方程组、转换方程组和输出方程,列出转换表并画出状态图。

解:该电路的激励方程组为

$$J_1 = Q_0 \quad K_1 = 1$$

$$J_0 = \overline{Q_1} \quad K_0 = A \overline{Q_1}$$

分别将激励方程代入 JK 触发器的特性方程,得到转换方程组为



图题 6.2.4

$$Q_1^{n+1} = \bar{Q}_1^n Q_0^n$$

$$Q_0^{n+1} = \bar{Q}_1^n \bar{Q}_0^n + A \bar{Q}_1^n Q_0^n = \bar{Q}_1^n (\bar{Q}_0^n + A)$$

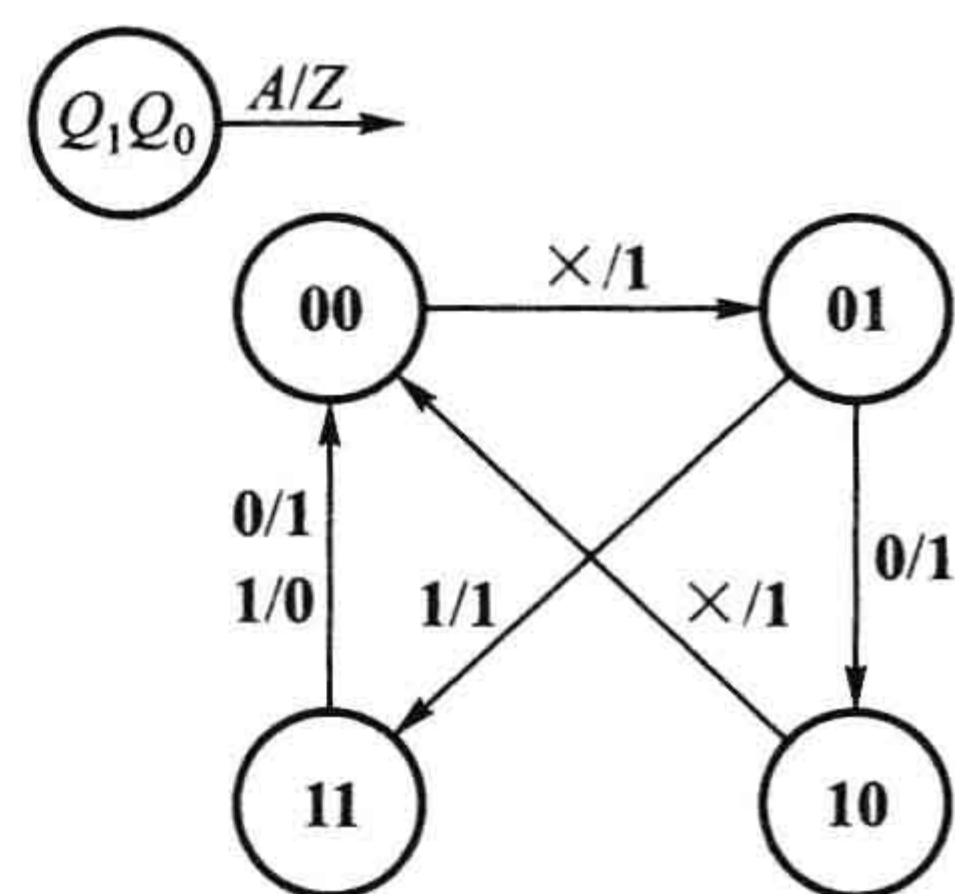
输出方程为

$$Z = A Q_1 Q_0$$

根据转换方程组和输出方程可列出转换表,如表题解 6.2.4 所示,状态图如图题解 6.2.4 所示。

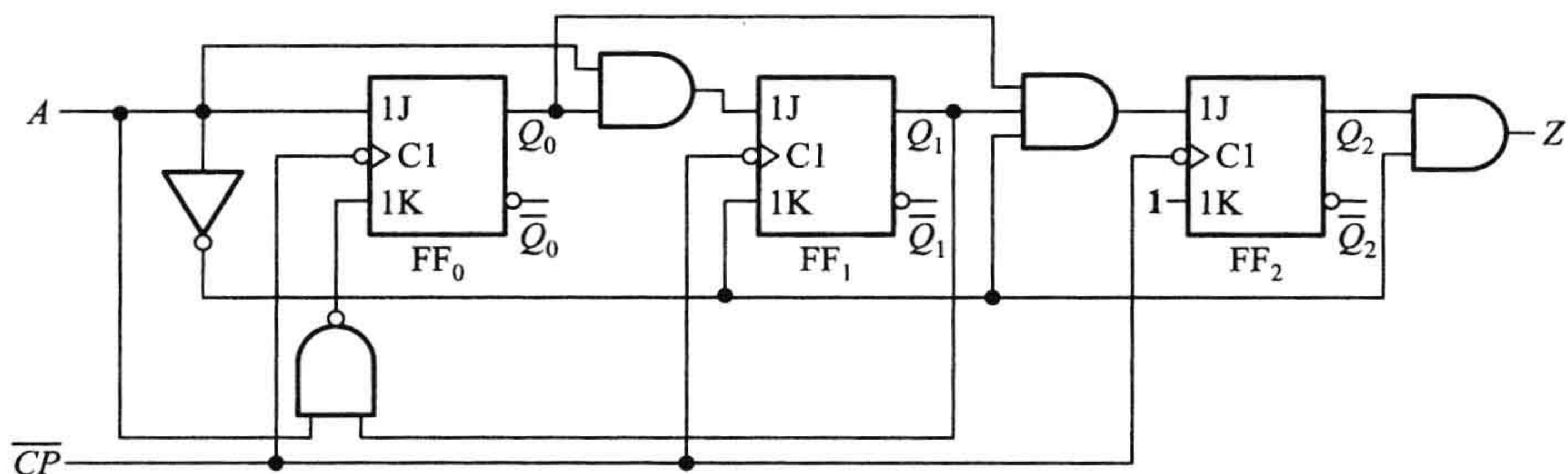
表题解 6.2.4

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	$A = 0$	$A = 1$
0 0	01/1	01/1
0 1	10/1	11/1
1 0	00/1	00/1
1 1	00/1	00/0



图题解 6.2.4

6.2.5 试分析图题 6.2.5 所示同步时序电路,写出各触发器的激励方程、电路的转换方程组和输出方程,列出转换表,画出状态图。



图题 6.2.5

解:由图题 6.2.5 所示电路可写出各触发器的激励方程为

$$J_2 = \bar{A} Q_1 Q_0 \quad K_2 = 1$$

$$J_1 = A Q_0 \quad K_1 = \bar{A}$$

$$J_0 = A \quad K_0 = \bar{A} Q_1$$

分别将激励方程代入 JK 触发器的特性方程,得到电路的转换方程组为

$$\begin{aligned} Q_2^{n+1} &= \overline{A} \overline{Q_2^n} Q_1^n Q_0^n \\ Q_1^{n+1} &= A \overline{Q_1^n} Q_0^n + A Q_1^n = A(Q_1^n + Q_0^n) \\ Q_0^{n+1} &= A \overline{Q_0^n} + A Q_1^n Q_0^n = A(Q_1^n + \overline{Q_0^n}) \end{aligned}$$

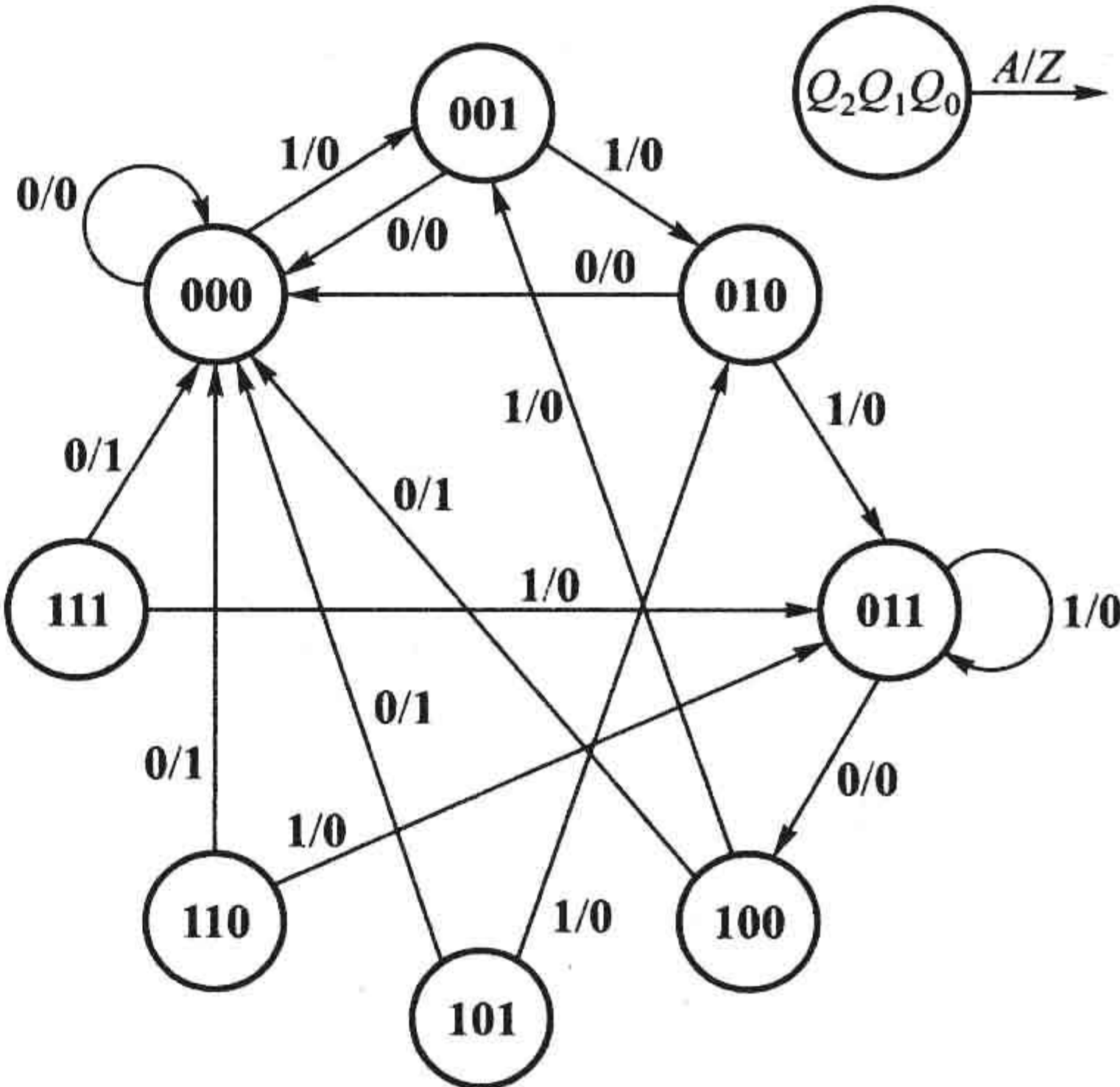
输出方程为

$$Z = \overline{A} Q_2$$

根据转换方程组和输出方程列出该电路的转换表,如表题解 6.2.5 所示,状态图如图题解 6.2.5 所示。

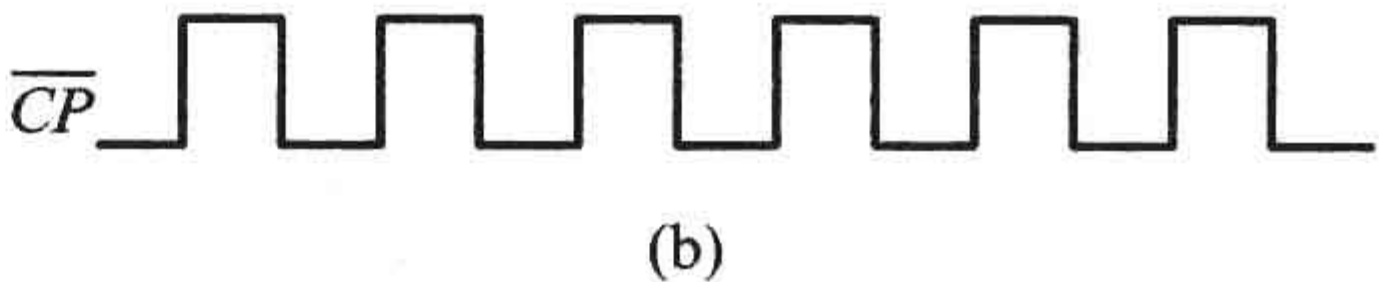
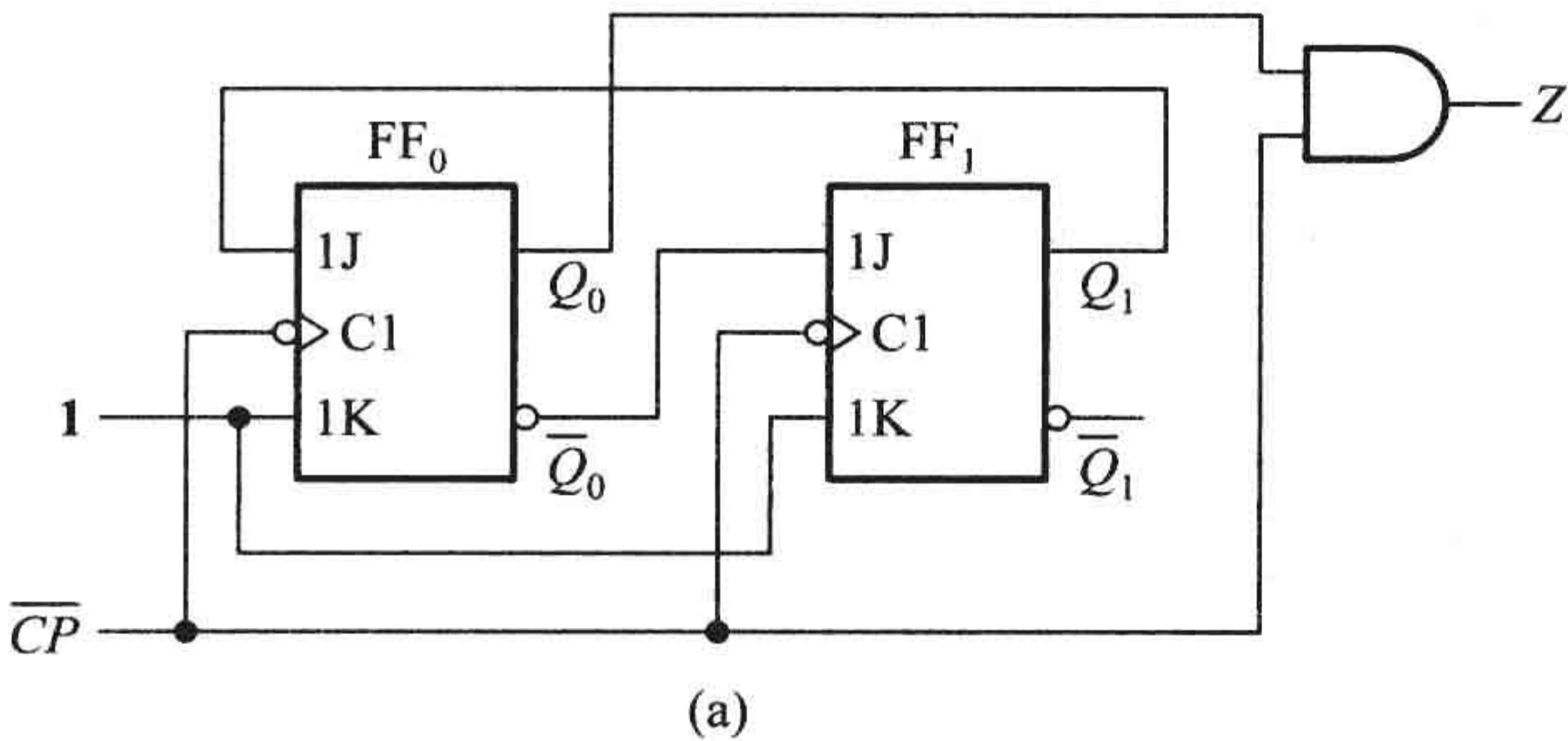
表题解 6.2.5

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} / Z$	
	$A = 0$	$A = 1$
0 0 0	0 0 0 / 0	0 0 1 / 0
0 0 1	0 0 0 / 0	0 1 0 / 0
0 1 0	0 0 0 / 0	0 1 1 / 0
0 1 1	1 0 0 / 0	0 1 1 / 0
1 0 0	0 0 0 / 1	0 0 1 / 0
1 0 1	0 0 0 / 1	0 1 0 / 0
1 1 0	0 0 0 / 1	0 1 1 / 0
1 1 1	0 0 0 / 1	0 1 1 / 0



图题解 6.2.5

6.2.6 试画出图题 6.2.6(a) 所示同步时序电路的状态图,并画出对应于 $\overline{CP}$ 的 Q_1 、 Q_0 波形,以及输出 Z 的波形,设电路的初始状态为 00 。



图题 6.2.6

解:该电路中的激励方程组为

$$\begin{aligned} J_1 &= \overline{Q_0} & K_1 &= 1 \\ J_0 &= Q_1 & K_0 &= 1 \end{aligned}$$

分别将激励方程代入 JK 触发器的特性方程,得到转换方程组

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_0^n}$$

$$Q_0^{n+1} = Q_1^n \overline{Q_0^n}$$

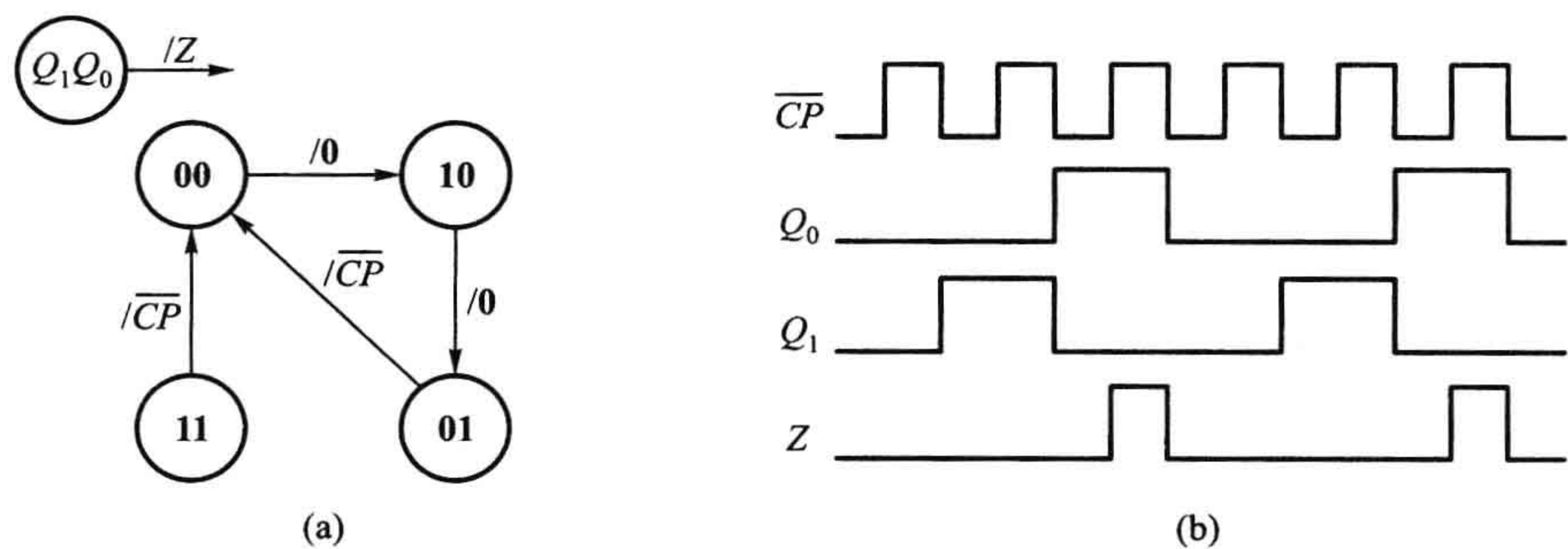
和输出方程

$$Z = Q_0 \overline{CP}$$

根据转换方程组和输出方程可列出该电路的转换表,如表题解 6.2.6 所示,状态图如图题解 6.2.6(a) 所示。图题解 6.2.6(b) 所示是 Q_1 、 Q_0 及 Z 的波形图。

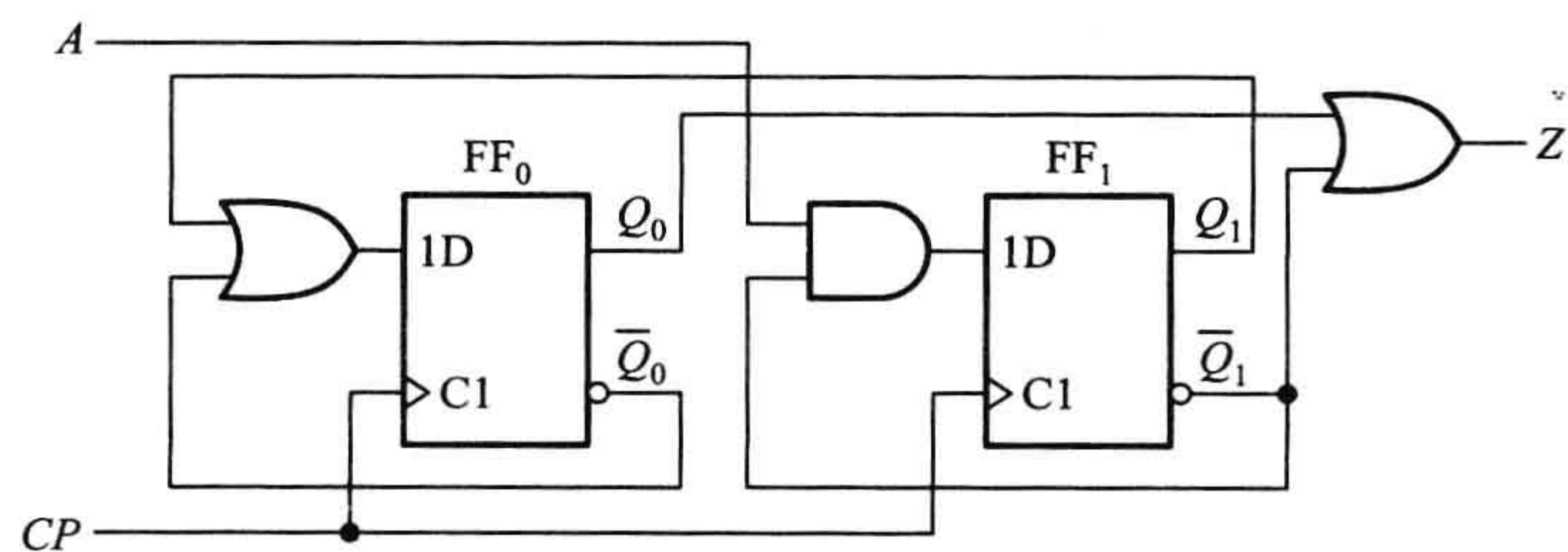
表题解 6.2.6

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$	Z
0 0	1 0	0
0 1	0 0	$\overline{CP}$
1 0	0 1	0
1 1	0 0	$\overline{CP}$



图题解 6.2.6

6.2.7 试分析图题 6.2.7 所示同步时序电路,写出激励方程组、转换方程组和输出方程,列出转换表并画出状态图。



图题 6.2.7

解:电路的激励方程组为

$$D_1 = A \overline{Q_1}$$
$$D_0 = Q_1 + \overline{Q_0}$$

转换方程组为

$$Q_1^{n+1} = A \overline{Q_1^n}$$
$$Q_0^{n+1} = Q_1^n + \overline{Q_0^n}$$

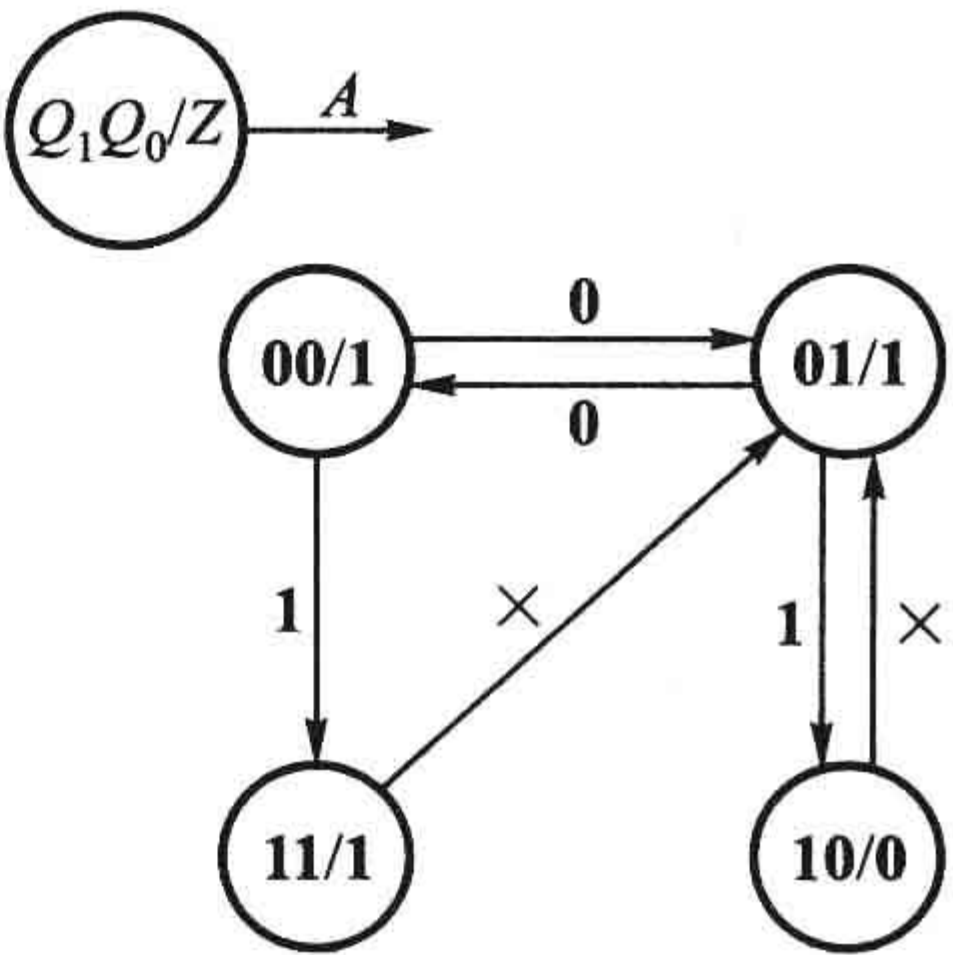
输出方程为

$$Z = \overline{Q_1} + Q_0$$

这是个穆尔型同步时序电路。根据转换方程组和输出方程可列出转换表,如表题解 6.2.7 所示。状态图如图题解 6.2.7 所示。

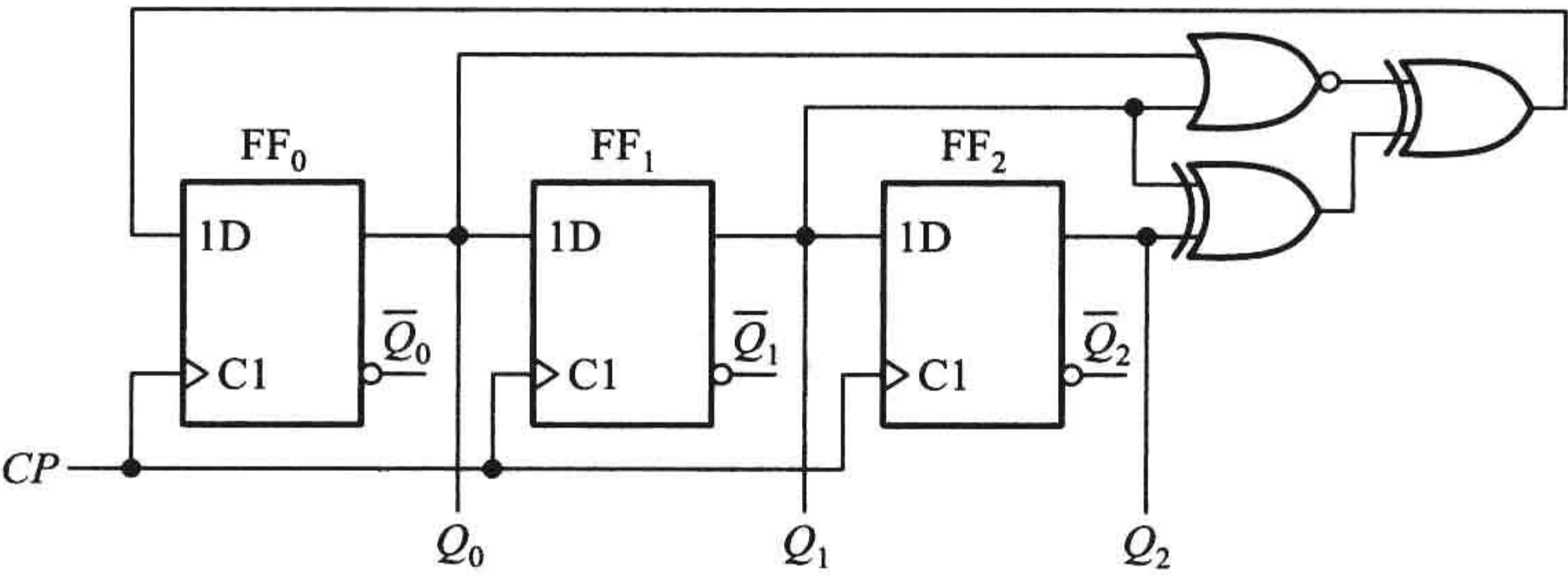
表题解 6.2.7

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$		Z
	$A = 0$	$A = 1$	
0 0	0 1	1 1	1
0 1	0 0	1 0	1
1 0	0 1	0 1	0
1 1	0 1	0 1	1



图题解 6.2.7

6.2.8 试分析图题 6.2.8 所示同步时序电路,写出激励方程组、转换方程组,列出转换表并画出状态图。



图题 6.2.8

解:电路的激励方程组为

$$D_2 = Q_1$$
$$D_1 = Q_0$$
$$D_0 = (Q_2 \oplus Q_1) \oplus \overline{Q_1} \overline{Q_0}$$

转换方程组为

$$Q_2^{n+1} = Q_1^n$$

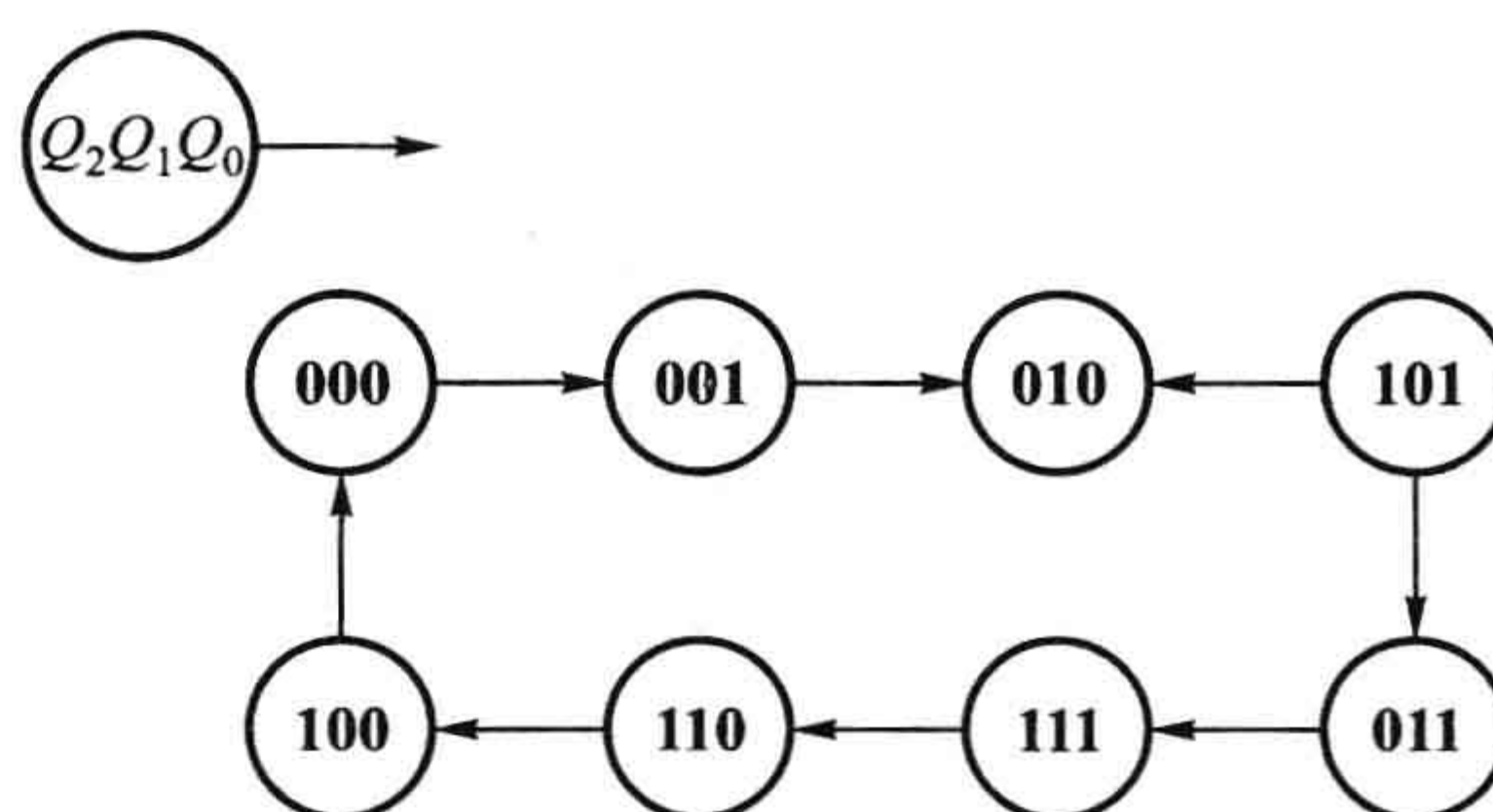
$$Q_1^{n+1} = Q_0^n$$

$$Q_0^{n+1} = (Q_2^n \oplus Q_1^n) \oplus \bar{Q}_1^n \bar{Q}_0^n$$

这是个穆尔型同步时序电路。根据转换方程组可列出转换表,如表题解 6.2.8 所示。状态图如图题解 6.2.8 所示。

表题解 6.2.8

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	1 0 1
0 1 1	1 1 1
1 0 0	0 0 0
1 0 1	0 1 1
1 1 0	1 0 0
1 1 1	1 1 0



图题解 6.2.8

6.3 同步时序逻辑电路的设计

6.3.1 用 JK 触发器设计一同步时序电路,其转换表如表题 6.3.1 所示。

表题 6.3.1

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A = 0$	$A = 1$
00	01/0	11/0
01	10/0	00/0
10	11/0	01/0
11	00/1	10/1

解:所要设计的电路有 4 个状态,需要用两个 JK 触发器实现。

(1) 列状态转换真值表和激励表

由表题 6.3.1 所给的转换表和 JK 触发器的激励表,可列出状态转换真值表和对各触发器的激励信号如表题解 6.3.1 所示。

(2) 求激励方程组和输出方程

由表题解 6.3.1 画出各触发器 J、K 信号和电路输出信号 Y 的卡诺图,如图题解 6.3.1(a) 所示。从而,得到化简的激励方程组

$$J_1 = K_1 = A \oplus Q_0$$

$J_0 = K_0 = 1$

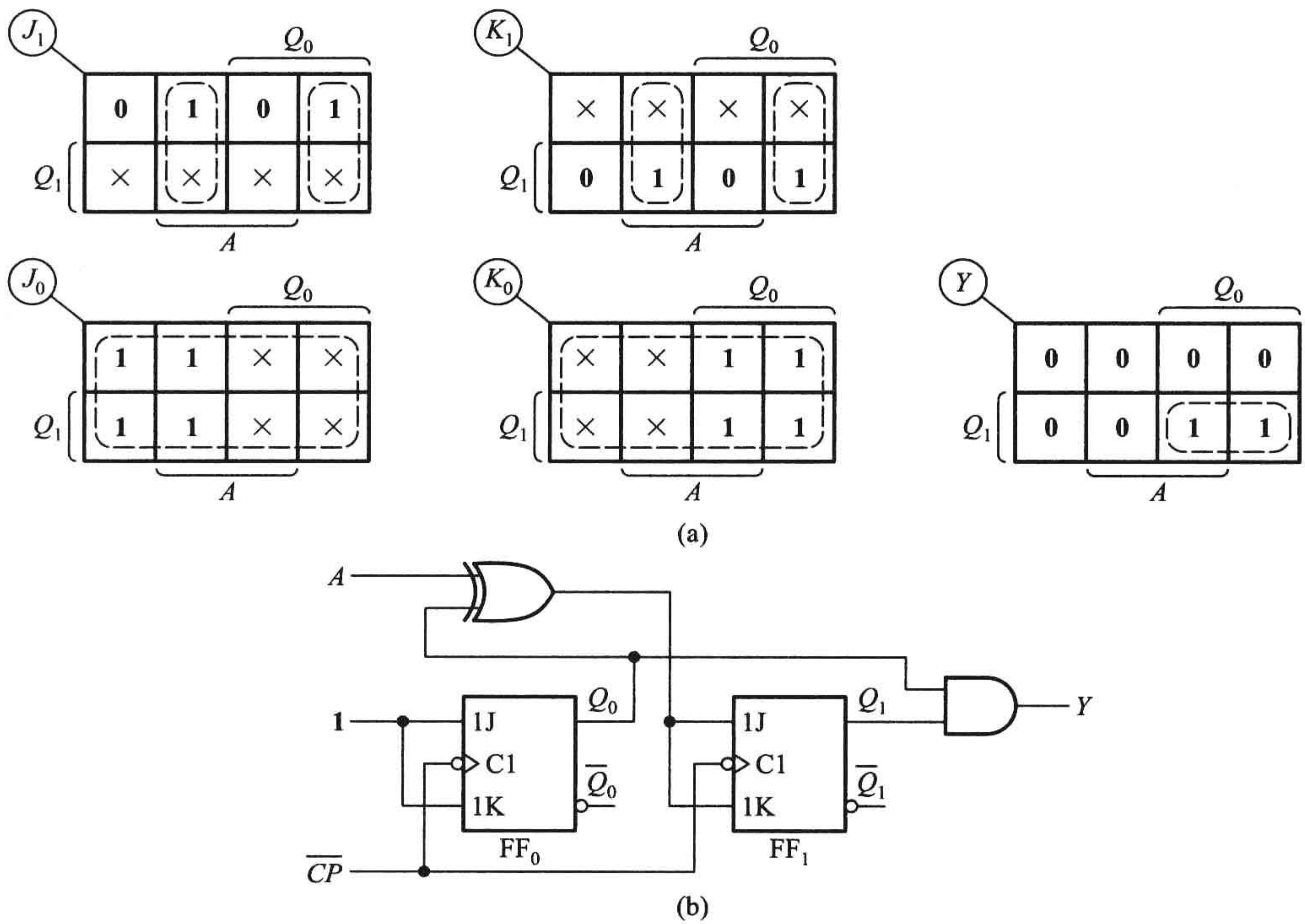
和输出方程

$Y = Q_1 Q_0$

表题解 6.3.1

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y	J_1	K_1	J_0	K_0
0	0	0	0	1	0	0	×	1	×
0	0	1	1	1	0	1	×	1	×
0	1	0	1	0	0	1	×	×	1
0	1	1	0	0	0	0	×	×	1
1	0	0	1	1	0	×	0	1	×
1	0	1	0	1	0	×	1	1	×
1	1	0	0	0	1	×	1	×	1
1	1	1	1	0	1	×	0	×	1

根据激励方程组和输出方程可画出电路图,如图题解 6.3.1(b)所示。



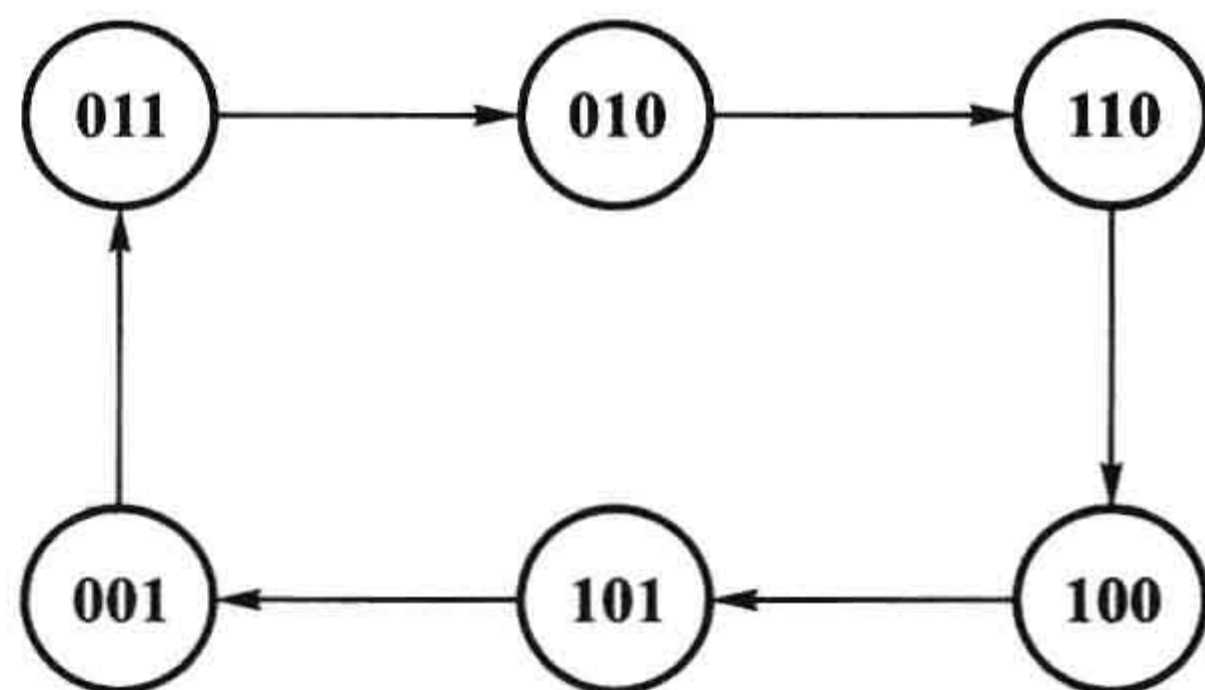
图题解 6.3.1

6.3.2 某同步时序电路的状态图如图题 6.3.2 所示,试写出用 D 触发器设计时的最简激励方程组。

解:由图题 6.3.2 所示状态图可知,实现该同步时序电路需要用三个 D 触发器。

(1) 根据状态图列出完全的状态转换真值表,如表题解 6.3.2 所示。其中,状态图中未包含的状态为不出现的状态,其次态可用无关项 $\times$ 表示。

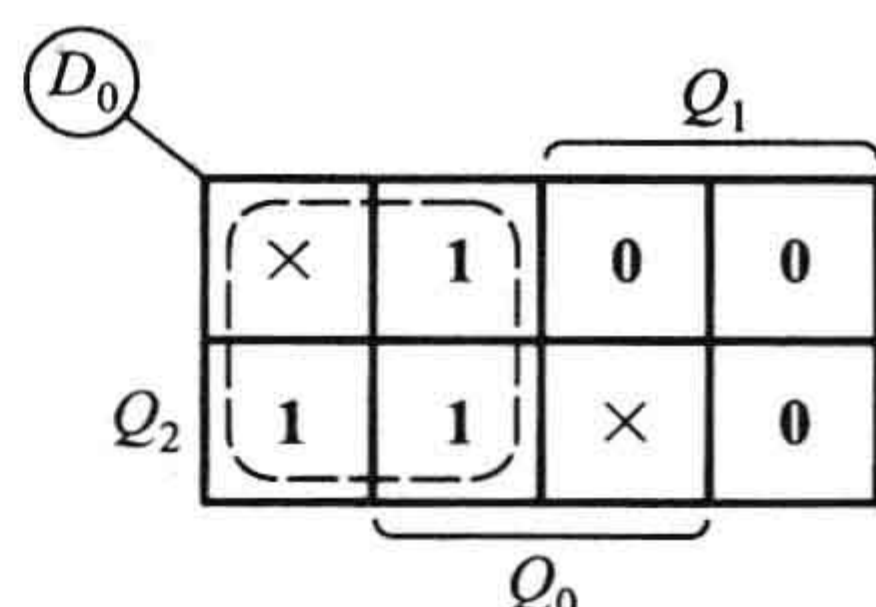
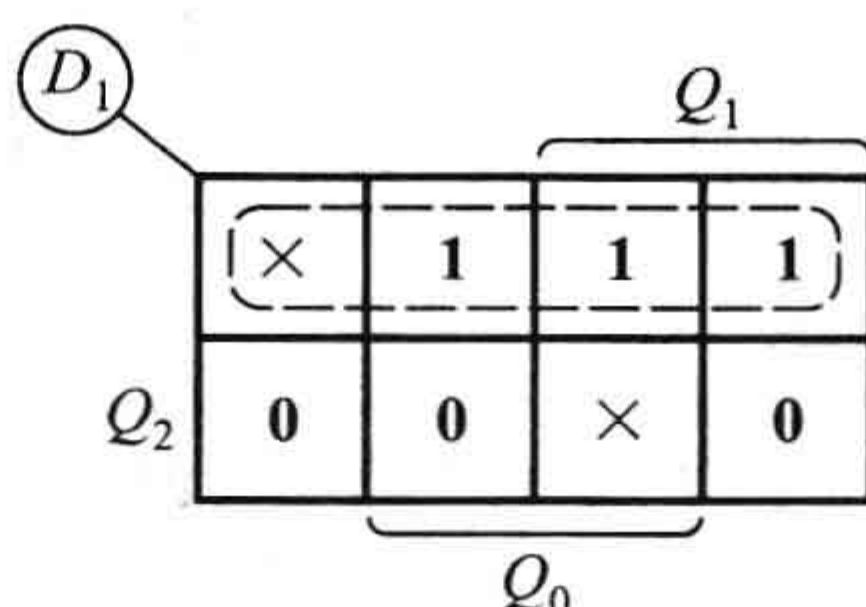
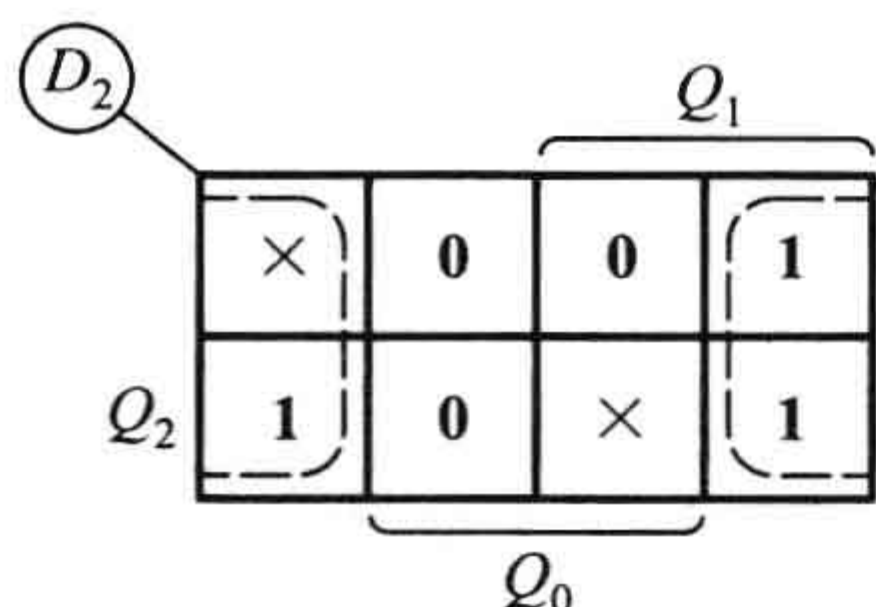
(2) 画出 3 触发器的激励信号 D_2 、 D_1 、 D_0 的卡诺图。由于 D 触发器的特性方程为 $Q^{n+1} = D$,所以可由状态转换真值表直接画出这 3 个卡诺图,如图题解 6.3.2 所示。



图题 6.3.2

表题解 6.3.2

Q_2^n	Q_1^n	Q_0^n	$Q_2^{n+1}(D_2)$	$Q_1^{n+1}(D_1)$	$Q_0^{n+1}(D_0)$
0	0	0	$\times$	$\times$	$\times$
0	0	1	0	1	1
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	$\times$	$\times$	$\times$



图题解 6.3.2

(3) 由卡诺图得到最简激励方程组

$$D_2 = \overline{Q_0}$$

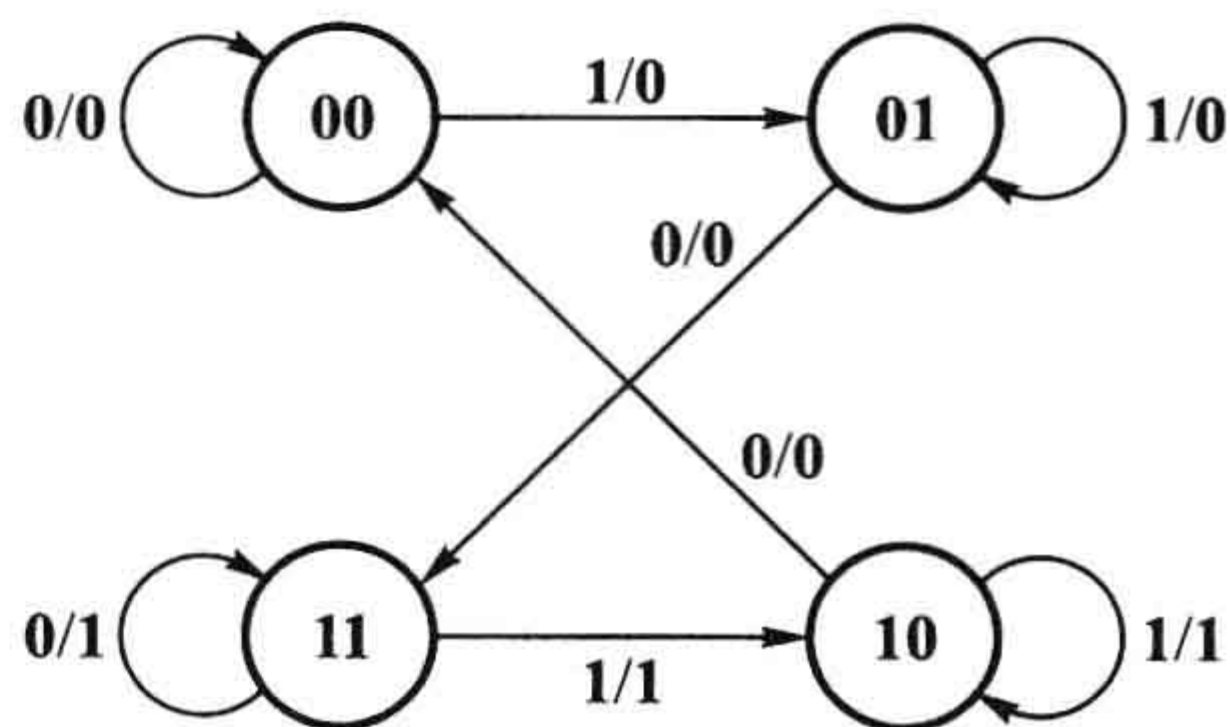
$$D_1 = \overline{Q_2}$$

$$D_0 = \overline{Q_1}$$

6.3.3 试用上升沿触发的 JK 触发器设计一同步时序电路,其状态图如图题 6.3.3 所示,要求电路使用的门电路最少。

解:图题 6.3.3 所示的状态图有 00、01、10、11 四个状态,可用两个上升沿触发的 JK 触发器实现。设两个触发器的输出为 Q_1 、 Q_0 ,输入信号为 A ,输出信号为 Y 。

(1) 根据图题 6.3.3 所示状态图和 JK 触发器的激励表,可直接列出相应的状态转换真值表和激励信号如表题解 6.3.3 所示。



图题 6.3.3

表题解 6.3.3

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y	激励信号			
						J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	×	0	×
0	0	1	0	1	0	0	×	1	×
0	1	0	1	1	0	1	×	×	0
0	1	1	0	1	0	0	×	×	0
1	0	0	0	0	0	×	1	0	×
1	0	1	1	0	1	×	0	0	×
1	1	0	1	1	1	×	0	×	0
1	1	1	1	0	1	×	0	×	1

(2) 画出激励信号的卡诺图,如图题解 6.3.3(a)所示。

(3) 由卡诺图得到最简激励方程组

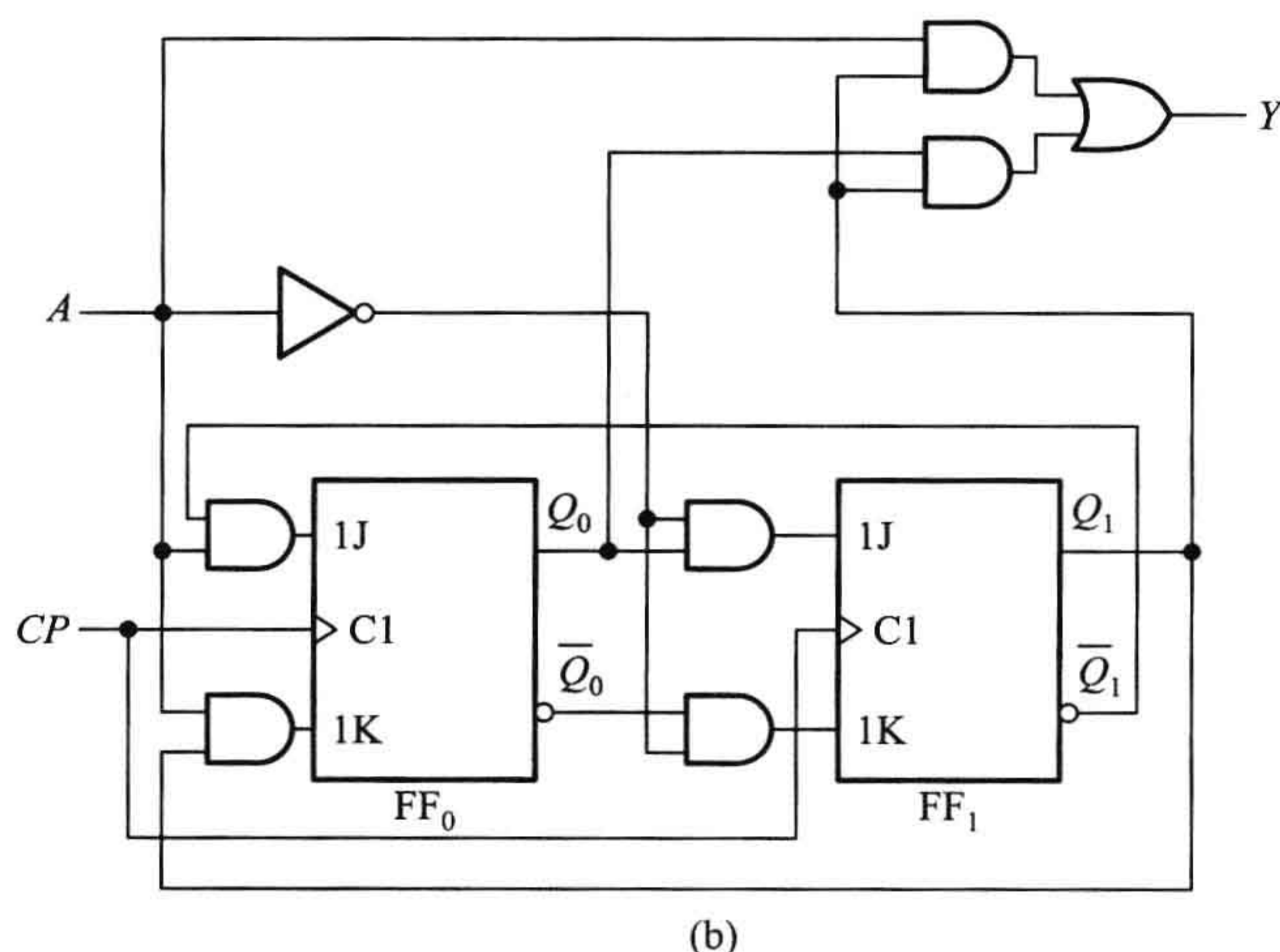
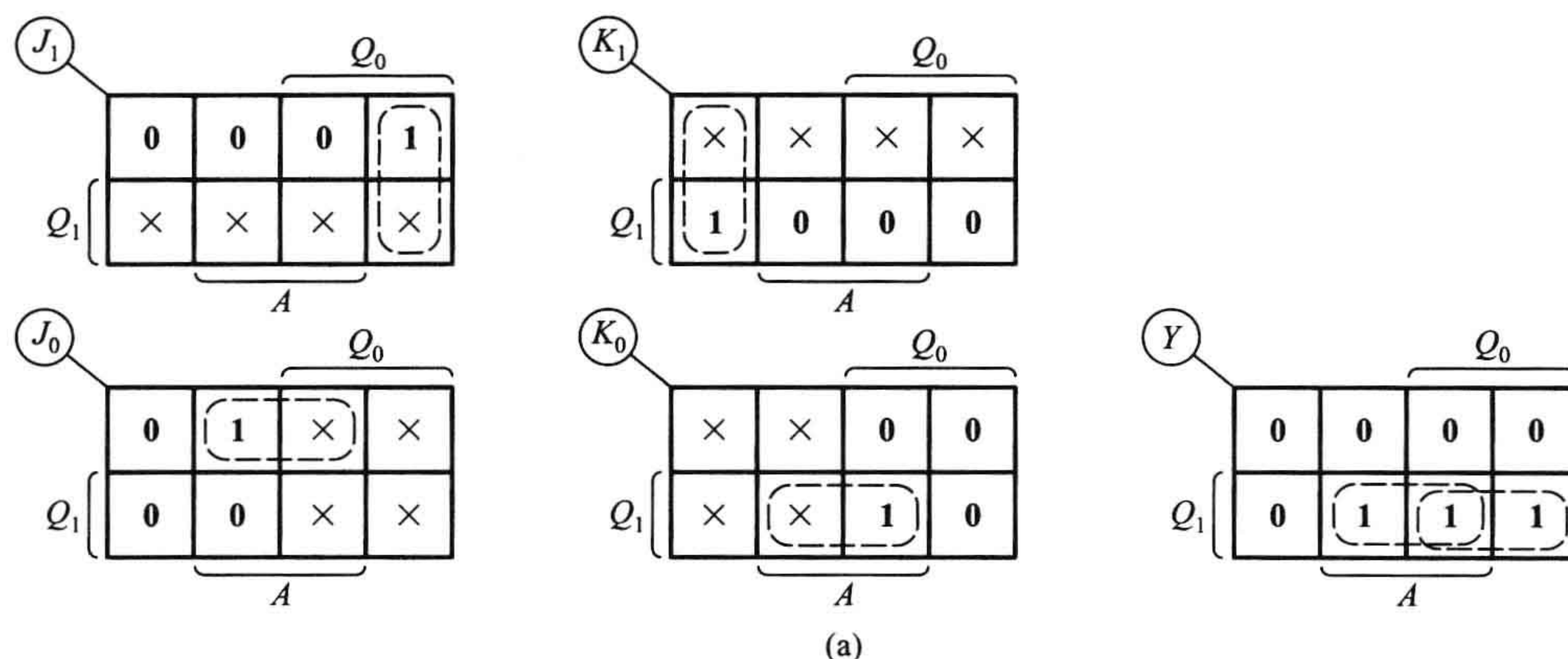
$$J_1 = \bar{A}Q_0 \quad K_1 = \bar{A}\bar{Q}_0$$

$$J_0 = A\bar{Q}_1 \quad K_0 = AQ_1$$

和输出方程

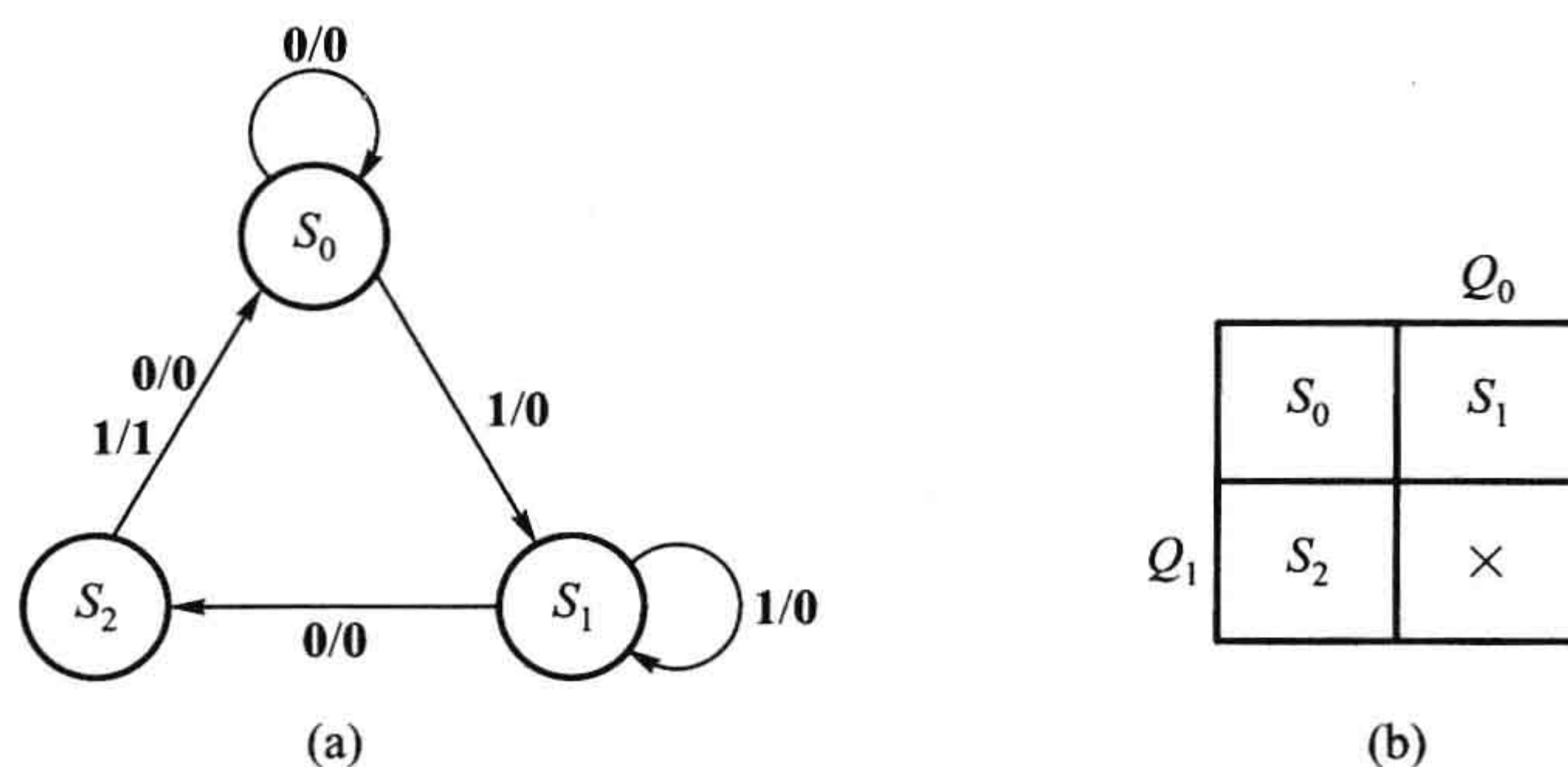
$$Y = AQ_1 + Q_1Q_0$$

(4) 根据激励方程组和输出方程画出逻辑电路图,如图题解 6.3.3(b)所示。



图题解 6.3.3

6.3.4 试用下降沿触发的 D 触发器设计一同步时序电路,其状态图如图题 6.3.4(a)所示, S_0 、 S_1 、 S_2 的编码如图题 6.3.4(b)所示。



图题 6.3.4

解: 电路有 3 个状态,图题 6.3.4(b)以两个触发器输出状态的卡诺图方式表达出所要求的状态编码方案,即 $S_0 = 00$, $S_1 = 01$, $S_2 = 10$, S_3 为无效状态。设两个触发器的输出为 Q_1 、 Q_0 , 输入信号为 A , 输出信号为 Y 。

(1) 由状态图可直接列出转换表,如表题解 6.3.4 所示。无效的次态可用无关项 $\times$ 表示。

(2) 画出激励信号和输出信号的卡诺图。由于 D 触发器的特性方程为 $Q^{n+1} = D$, 所以可由转换表直接画出两个激励信号 D_1 、 D_2 的卡诺图,以及输出 Y 的卡诺图,如图题解 6.3.4(a)所示。

表题解 6.3.4

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A = 0$	$A = 1$
0 0	00/0	01/0
0 1	10/0	01/0
1 0	00/0	00/1
1 1	$\times \times / \times$	$\times \times / \times$

(3) 由卡诺图得到最简激励方程组

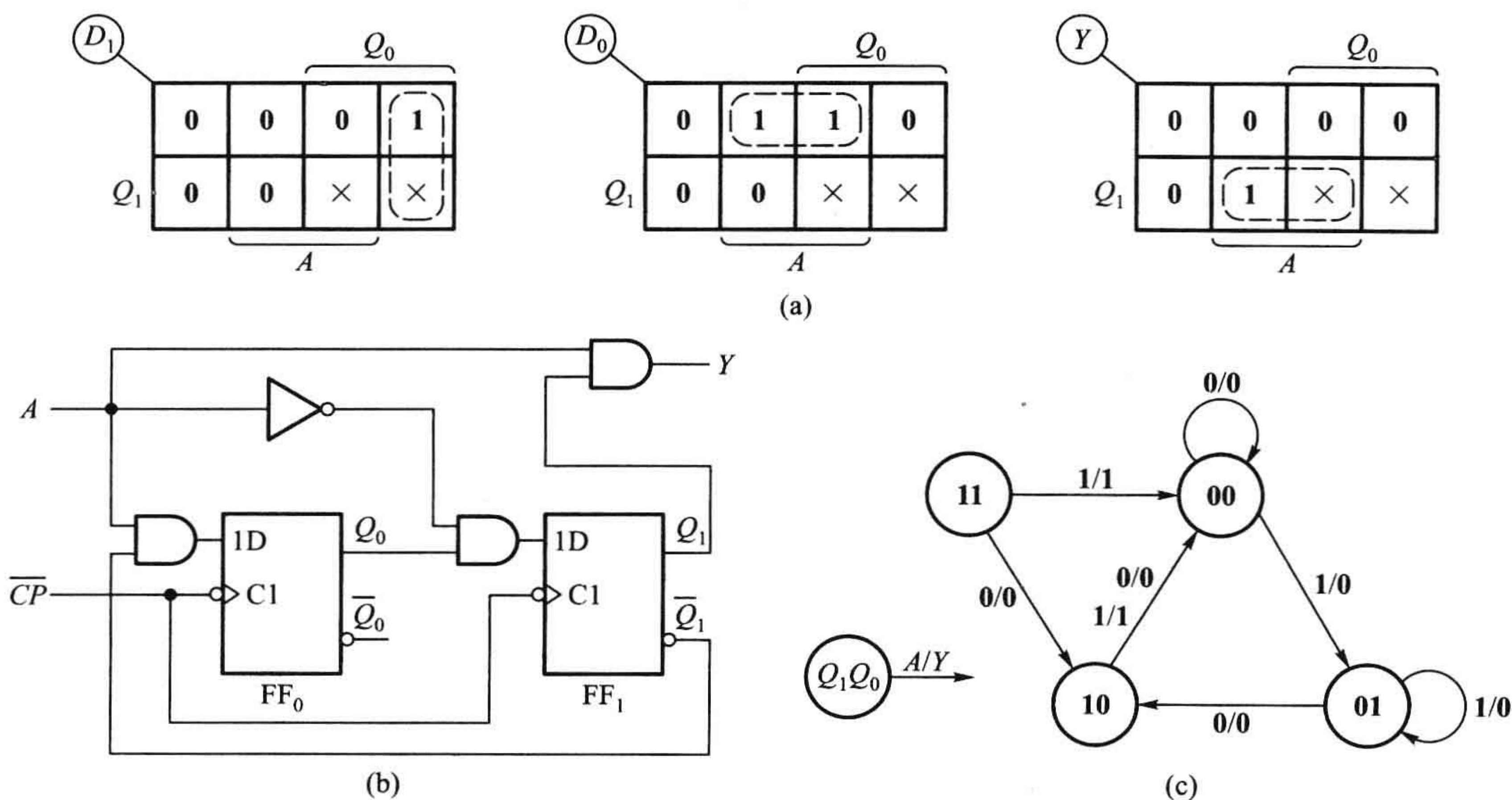
$$D_1 = \bar{A} Q_0$$

$$D_0 = A \bar{Q}_1$$

和输出方程

$$Y = A Q_1$$

(4) 根据激励方程组和输出方程画出逻辑电路图,如图题解 6.3.4(b)所示。



图题解 6.3.4

(5) 检查电路是否能自校正。

将无效状态 **11** 代入转换方程组

$$Q_1^{n+1} = \bar{A}Q_0^n$$

$$Q_0^{n+1} = A\bar{Q}_1^n$$

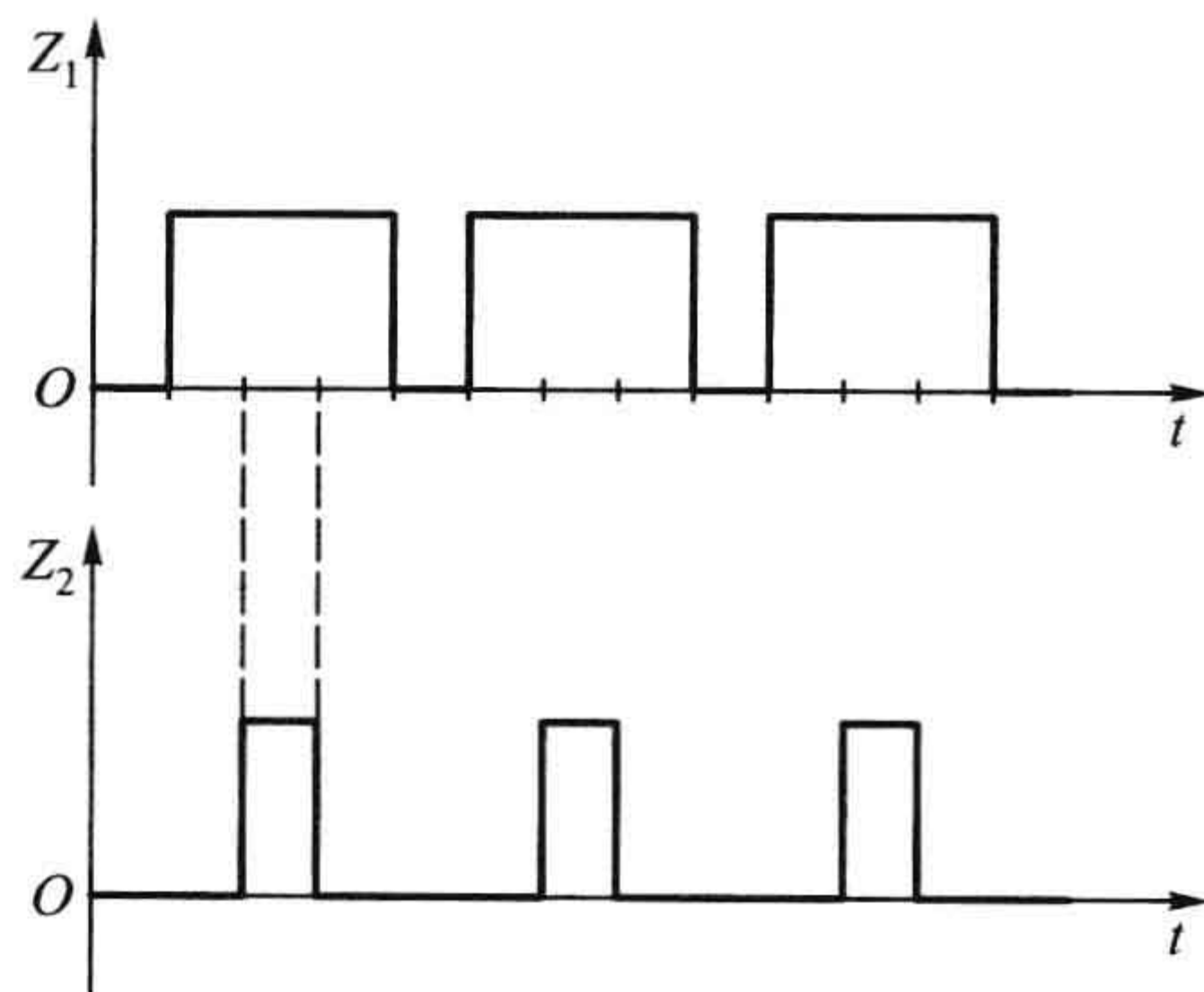
求其次态:当 $A=0$ 时,次态为 **10**,输出 $Y=0$;当 $A=1$ 时,次态为 **00**,输出 $Y=1$ 。于是,可得电路的完全状态图,如图题解 6.3.4(c)所示。倘若电路启动时进入无效状态 **11**,经过一个时钟周期便自校正为有效状态。

如果要求电路启动时直接进入指定状态,可在电路中另设置 **0** 置 **1** 电路,请读者自行设计,不再赘述。

6.3.5 试用下降沿触发的 JK 触发器和最少的门电路,实现图题 6.3.5 所示的 Z_1 和 Z_2 输出波形。

解:从图题 6.3.5 所示输出波形图可以看出,对于每一个 Z_1 或 Z_2 周期,可等分为 4 段时间间隔相等的状态,即 $Z_2Z_1=00$ 、 $Z_2Z_1=01$ 、 $Z_2Z_1=11$ 和 $Z_2Z_1=10$ 。因此,该电路可设定为 4 个状态:**00**、**01**、**10**、**11**,用两个下降沿触发的 JK 触发器实现。设两个触发器的状态为 Q_1 、 Q_0 ,输出信号为 Z_1 、 Z_2 。

(1) 由设定的 4 种状态可直接列出状态转换真值表,并根据 JK 触发器的激励条件推出激励信号如表题解 6.3.5 所示。



图题 6.3.5

表题解 6.3.5

Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z_2	Z_1	J_1	K_1	J_0	K_0
0	0	0	1	0	0	0	×	1	×
0	1	1	0	0	1	1	×	×	1
1	0	1	1	1	1	×	0	1	×
1	1	0	0	0	1	×	1	×	1

(2) 由表题解 6.3.5 可得化简的激励方程组

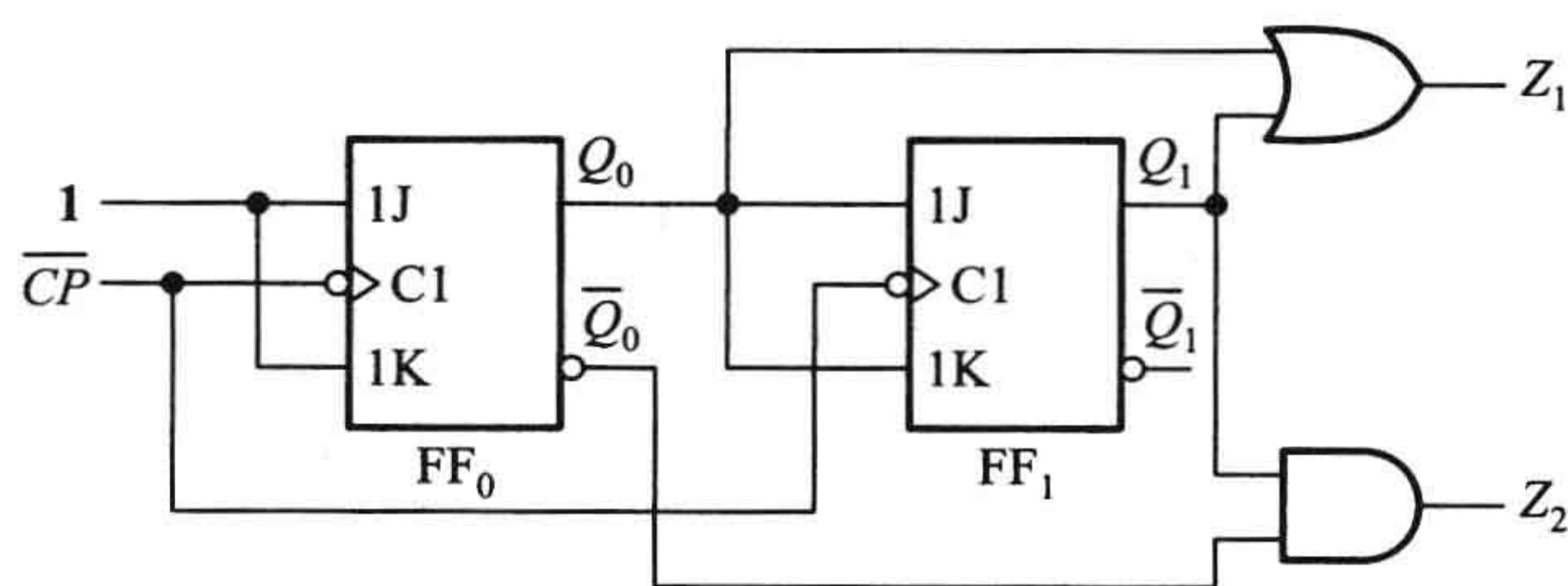
$$J_1 = K_1 = Q_0$$

$$J_0 = K_0 = 1$$

和输出方程组

$$Z_2 = Q_1 \bar{Q}_0$$

$$Z_1 = Q_1 + Q_0$$



图题解 6.3.5

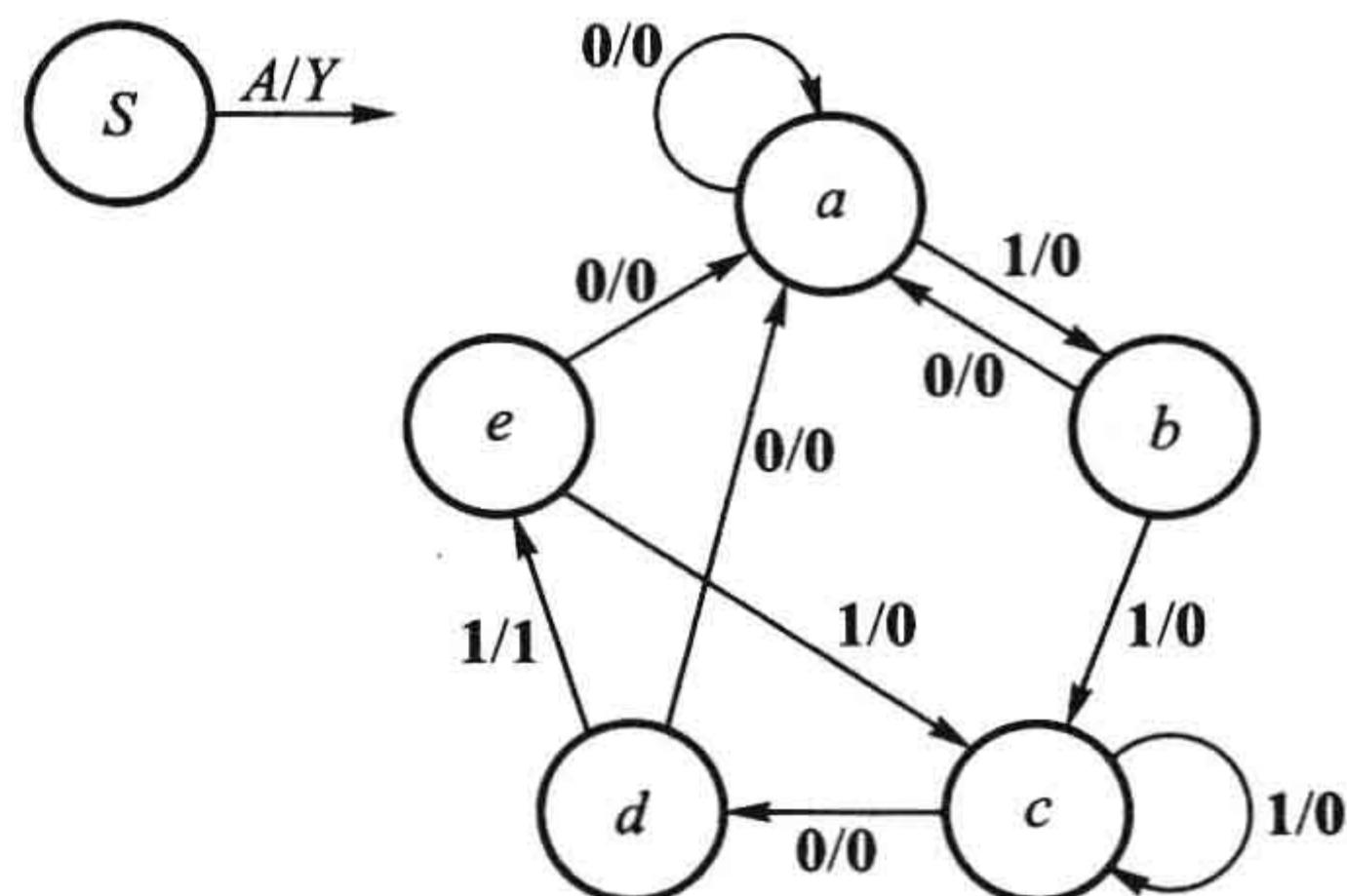
(3) 根据激励方程组和输出方程组画出逻辑电路图,如图题解 6.3.5 所示。

6.3.6 试用上升沿触发的 D 触发器设计一个 **1101** 序列检测器,输入为串行编码序列,输出为检出信号。

解:(1) 由给定的逻辑功能建立原始状态图和原始状态表

设输入端为 A , 输出端为 Y 。由题目要求可知, 电路功能是对输入信号 A 的编码序列进行检测, 一旦检测到信号 A 出现连续编码为 **1101** 序列时, 输出为 **1**, 否则为 **0**。

设电路的初始状态为 a 。在此状态下, 电路输出 $Y=0$, 这时可能的输入有 $A=0$ 和 $A=1$ 两种情况。若 $A=0$, 则是收到 **0**, 下一状态应保持在状态 a 不变; 若 $A=1$, 则转向状态 b , 表示电路收到一个 **1**。在状态 b 下, 若输入 $A=0$, 则表明连续输入编码为 **10**, 则应回到初始状态 a , 重新开始检测; 若 $A=1$, 则进入状态 c , 表示已连续收到两个 **1**。在状态 c 下, 若 $A=1$, 表明已收到序列编码为 **111**, 应当停留在状态 c , 等待下一个编码是否为 **0**; 若在状态 c 下 $A=0$, 表明已收到序列编码 **110**, 则进入状态 d 。在状态 d 下, 若 $A=0$, 说明收到的序列是 **1100**, 应回到状态 a 重新开始检测; 若此时输入 $A=1$, 表明收到的编码序列为 **1101**, 只有在这时输出 $Y=1$, 并进入状态 e 。在状态 e 下, 若输入 $A=0$, 则应回到状态 a , 重新开始检测; 若 $A=1$, 电路应转向状态 c , 表示在收到 **1101** 之后又重新收到一个 **1**, 即连续两个 **1**, 表明已进入下一轮检测, 看下一个编码是否为 **0**。根据上述分析, 可以得出如图题解 6.3.6(a) 所示的原始状态图, 进而可列出其原始状态表, 如表题解 6.3.6(a) 所示。



图题解 6.3.6(a)

表题解 6.3.6(a)

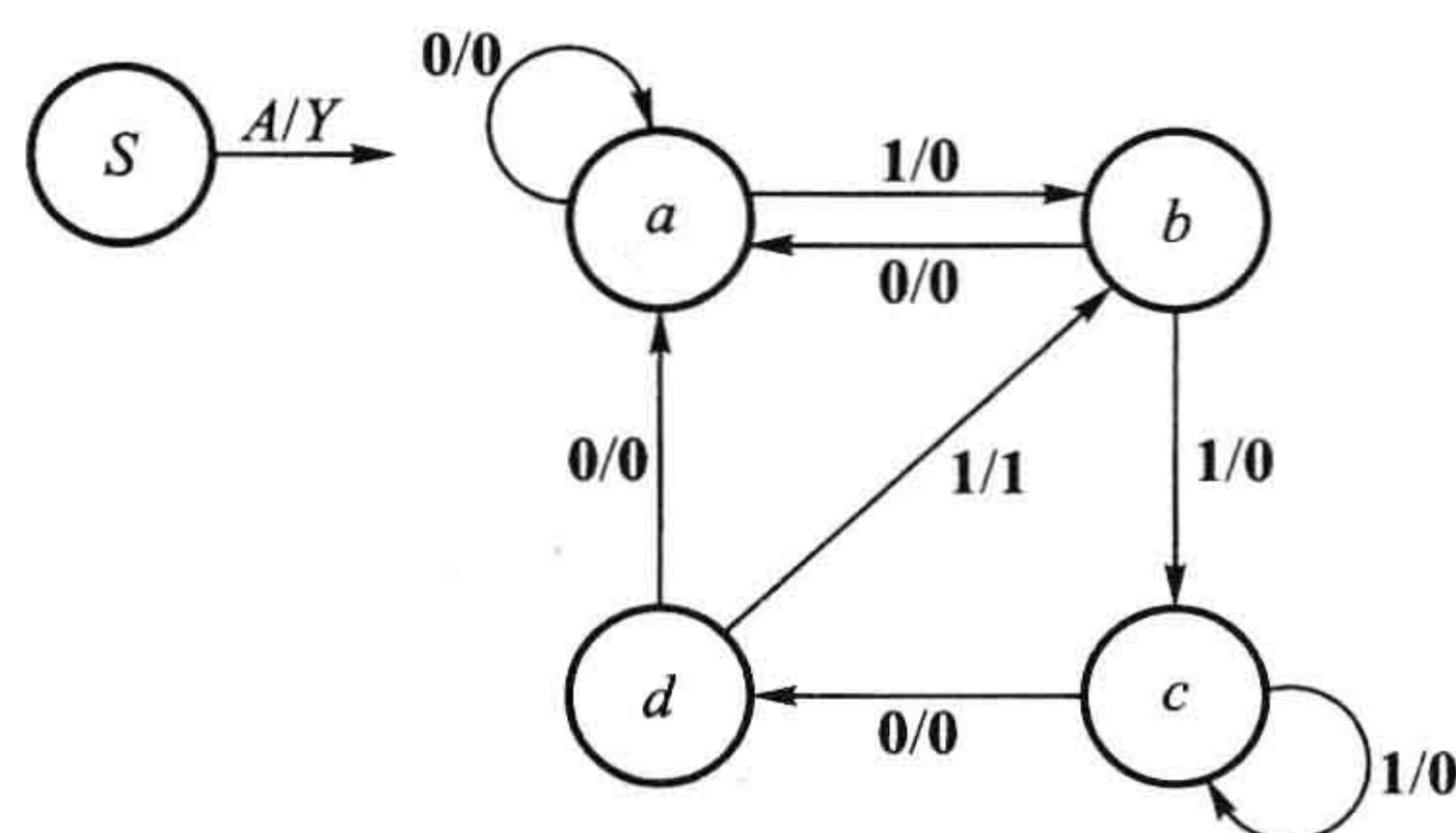
S^n	S^{n+1}/Y	
	$A=0$	$A=1$
a	$a/0$	$b/0$
b	$a/0$	$c/0$
c	$d/0$	$c/0$
d	$a/0$	$e/1$
e	$a/0$	$c/0$

(2) 状态化简

观察表题解 6.3.6(a) 发现, 状态 e 、 b 是等价状态, 可以合并。表题解 6.3.6(b) 所示为化简的结果: 将状态 e 一行去除, 并用状态 b 替换表题解 6.3.6(a) 中 S^{n+1}/Y 栏中的状态 e , 于是得到最简状态表, 如表题解 6.3.6(b) 所示。

表题解 6.3.6(b)

S^n	S^{n+1}/Y	
	$A=0$	$A=1$
a	$a/0$	$b/0$
b	$a/0$	$c/0$
c	$d/0$	$c/0$
d	$a/0$	$b/1$



图题解 6.3.6(b)

(3) 状态分配

观察图题解 6.3.6(b) 的状态图, 如果以自然二进制码进行状态分配, 取 $a=00$, $b=01$, $c=10$, $d=11$, 则状态转换的顺序有部分与二进制编码值的递增顺序一致, 按这种状态分配方案构成的时序电路, 其组合电路将可能相对简单一些。把状态表中的 S^n 和 S^{n+1} 分别替换为触发器的现态 $Q_1^n Q_0^n$ 和次态 $Q_1^{n+1} Q_0^{n+1}$, 把各状态名替换为状态赋值, 于是得到转换表如表题解 6.3.6(c) 所示。

表题解 6.3.6(c)

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
00	00/0	01/0
01	00/0	10/0
10	11/0	10/0
11	00/0	01/1

(4) 确定激励方程组和输出方程

由于使用 D 触发器, $Q^{n+1} = D$, 所以可直接从表题解 6.3.6(c) 所示的转换表得到两个触发器的激励信号 D_1 、 D_0 的表达式:

$$D_1 = A \overline{Q_1} Q_0 + \overline{A} Q_1 \overline{Q_0} + A Q_1 \overline{Q_0}$$

$$D_0 = A \overline{Q_1} \overline{Q_0} + \overline{A} Q_1 \overline{Q_0} + A Q_1 Q_0$$

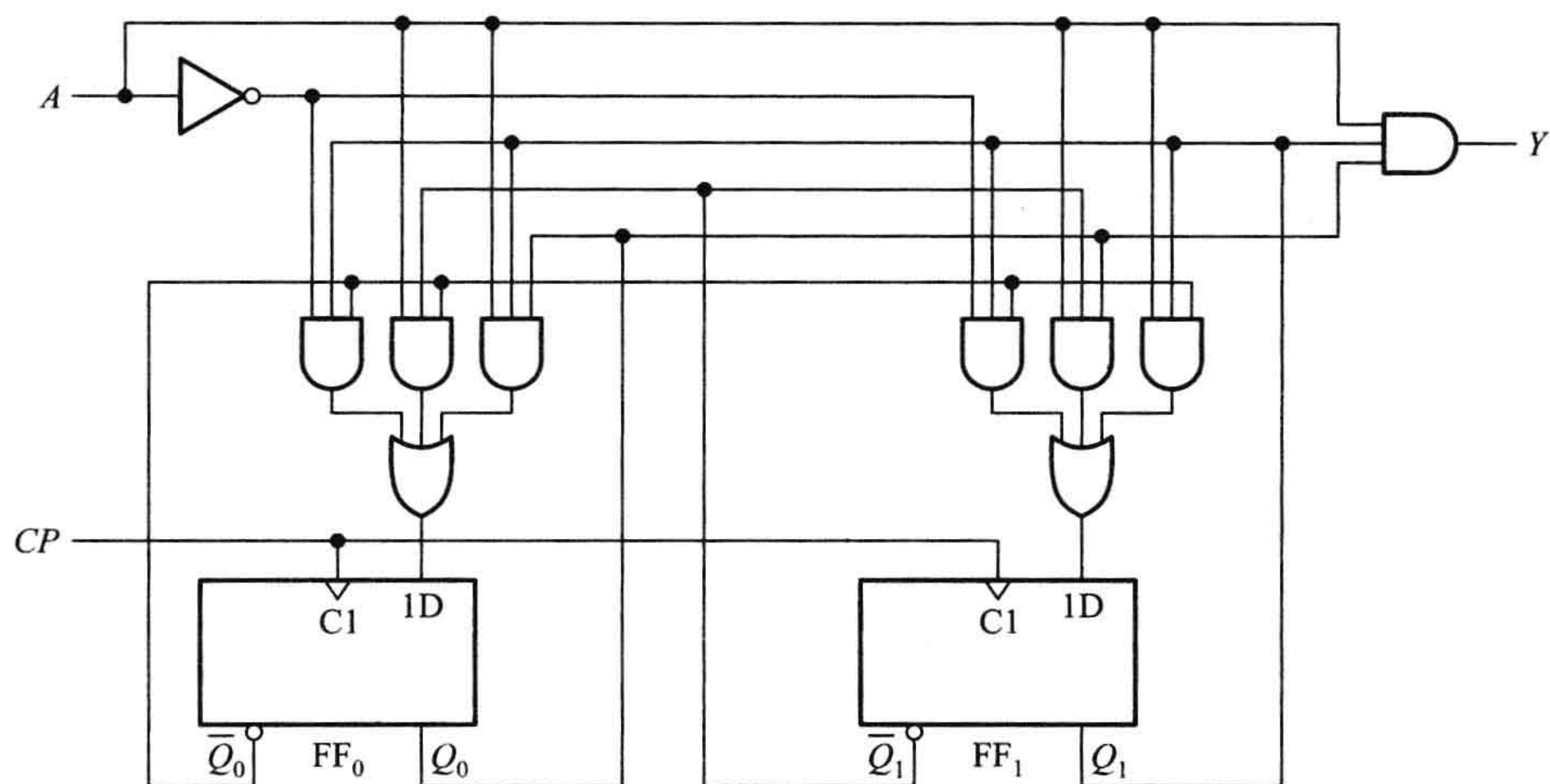
同理可得输出方程

$$Y = A Q_1^n Q_0^n$$

这里对最小项没有进行任何化简是因为考虑到实际电路的简化: 可以用两个相同的与-或逻辑实现两个触发器的激励电路。如果合并了最小项, 反而未必能使实际电路得到简化。

(5) 画出逻辑图

由激励方程组和输出方程即可画出逻辑电路图, 如图题解 6.3.6(c) 所示。



图题解 6.3.6(c)

6.3.7 试用 D 触发器设计一同步时序电路, 其状态表如表题 6.3.7 所示。

表题 6.3.7

S^n	S^{n+1}		Z
	$A=0$	$A=1$	
a	b	d	0
b	c	b	0
c	b	a	1
d	b	c	0

解: 由于给出了状态表, 所以可直接进行状态分配。

(1) 状态分配

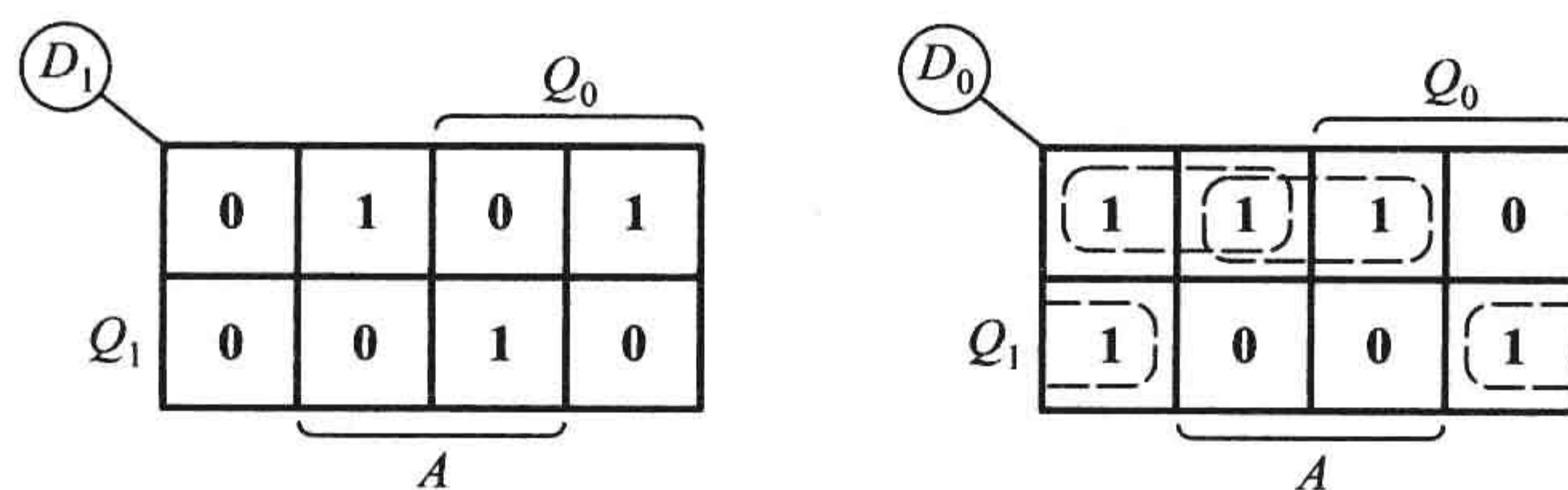
令 $a=00$, $b=01$, $c=10$, $d=11$, 于是得到转换表如表题解 6.3.7 所示。

表题解 6.3.7

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$		Z
	$A=0$	$A=1$	
0 0	0 1	1 1	0
0 1	1 0	0 1	0
1 0	0 1	0 0	1
1 1	0 1	1 0	0

(2) 确定激励方程组和输出方程

由于使用 D 触发器, $Q^{n+1} = D$, 可以直接从表题解 6.3.7 所示的转换表得到两个触发器的激励信号 D_1 、 D_0 的卡诺图, 如图题解 6.3.7(a) 所示。



图题解 6.3.7(a)

由卡诺图可确定电路的激励方程组

$$D_1 = A \bar{Q}_1 \bar{Q}_0 + \bar{A} \bar{Q}_1 Q_0 + A Q_1 Q_0$$

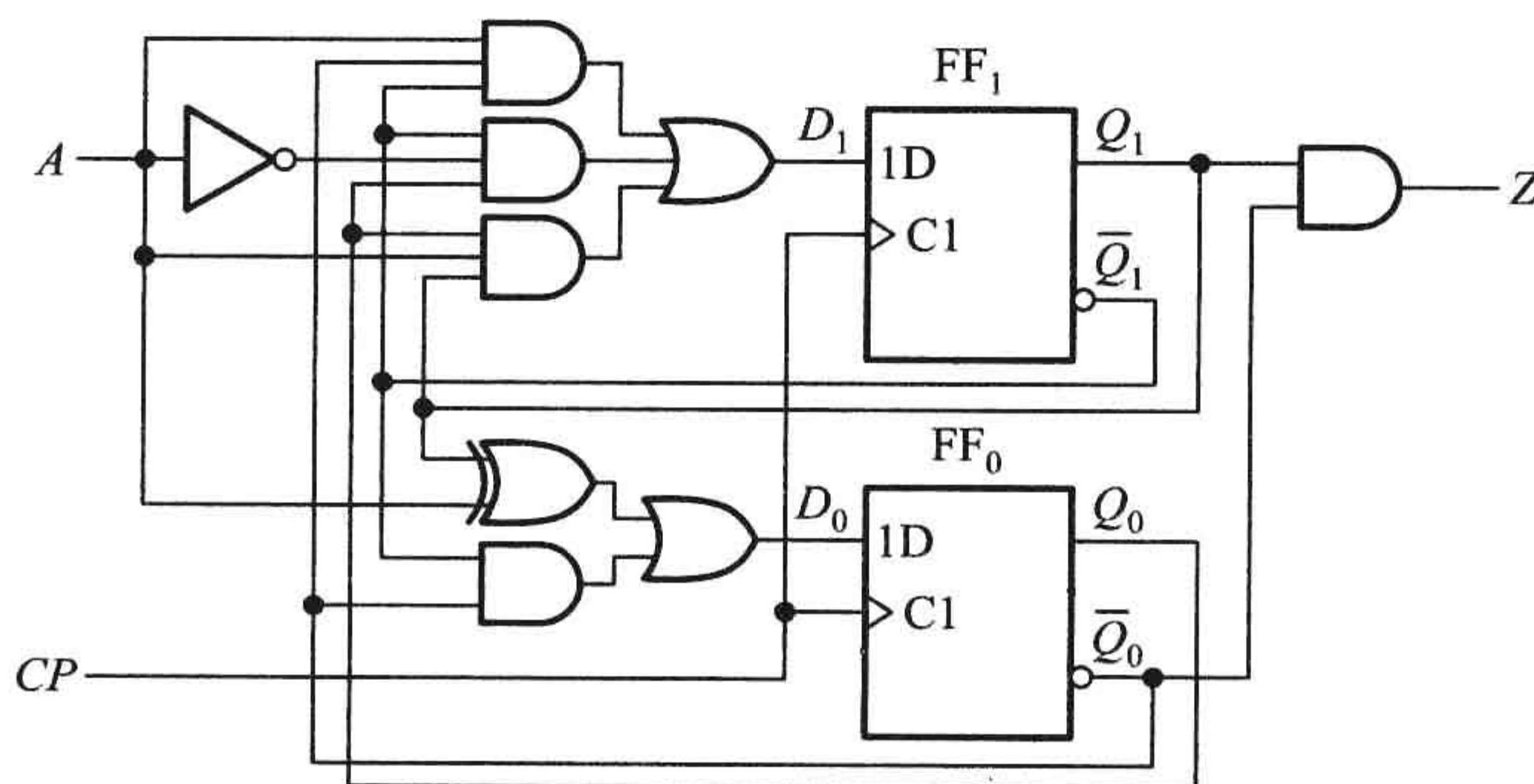
$$D_0 = \bar{Q}_1 \bar{Q}_0 + \bar{A} Q_1 + A \bar{Q}_1 = \bar{Q}_1 \bar{Q}_0 + (A \oplus Q_1)$$

输出方程可从转换表直接得到

$$Z = Q_1 \bar{Q}_0$$

(3) 画出逻辑图

根据激励方程组和输出方程画出逻辑电路图, 如图题解 6.3.7(b) 所示。



图题解 6.3.7(b)

除了上述状态分配方案外, 读者还可尝试一下其他状态分配方案, 例如令 $a = 00$, $b = 01$, $c =$

11, $d=10$, 则得到电路的激励方程组

$$D_1 = A \bar{Q}_0 + \bar{A} \bar{Q}_1 Q_0$$

$$D_0 = \bar{A} + Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0 = \bar{A} + (Q_1 \oplus Q_0)$$

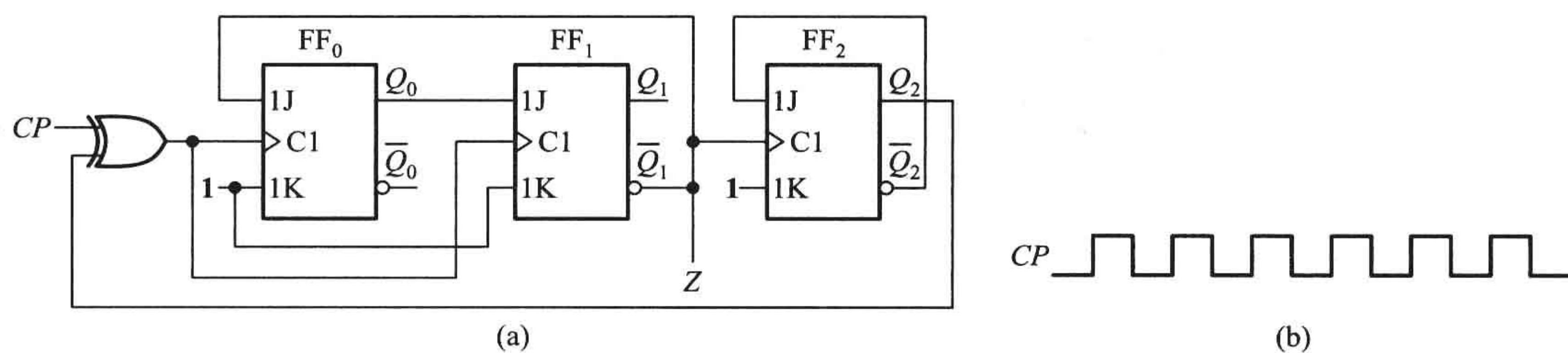
和输出方程

$$Z = Q_1 Q_0$$

电路结构会有所不同。在某些情况下,例如,门电路的类型或引线数目选择受到限制时,后一种状态分配方案也许实现起来更方便。

6.4 异步时序逻辑电路的分析

6.4.1 一时序电路如图题 6.4.1(a)所示,试画出在 CP 作用下, Q_0 、 Q_1 、 Q_2 和 Z 端的波形,设各触发器的初始状态均为 0。



图题 6.4.1

解: 图题 6.4.1 所示电路是异步时序电路。

(1) 列出各逻辑方程组

① 根据逻辑图列出各触发器时钟信号的逻辑表达式

$$CP_0 = CP_1 = CP \oplus Q_2$$

(当 $Q_2=0$ 时,对于每个 CP 上升沿, $cp_0=cp_1=1$; 当 $Q_2=1$ 时,对于每个 CP 下降沿, $cp_0=cp_1=1$)

$$CP_2 = \bar{Q}_1 \quad (\text{对于 } \bar{Q}_1 \text{ 上升沿, } cp_2=1)$$

② 输出方程

$$Z = \bar{Q}_1$$

③ 激励方程组

$$J_2 = \bar{Q}_2 \quad K_2 = 1$$

$$J_1 = Q_0 \quad K_1 = 1$$

$$J_0 = \bar{Q}_1 \quad K_0 = 1$$

④ 转换方程组

$$Q_2^{n+1} = (J_2 \bar{Q}_2^n + \bar{K}_2 Q_2^n) cp_2 + Q_2^n \bar{cp}_2 = \bar{Q}_2^n cp_2 + Q_2^n \bar{cp}_2$$

$$Q_1^{n+1} = (J_1 \bar{Q}_1^n + \bar{K}_1 Q_1^n) cp_1 + Q_1^n \bar{cp}_1 = \bar{Q}_1^n Q_0^n cp_1 + Q_1^n \bar{cp}_1$$

$$Q_0^{n+1} = (J_0 \bar{Q}_0^n + \bar{K}_0 Q_0^n) cp_0 + Q_0^n \bar{cp}_0 = \bar{Q}_1^n \bar{Q}_0^n cp_0 + Q_0^n \bar{cp}_0$$

(2) 列出转换表,画出状态图

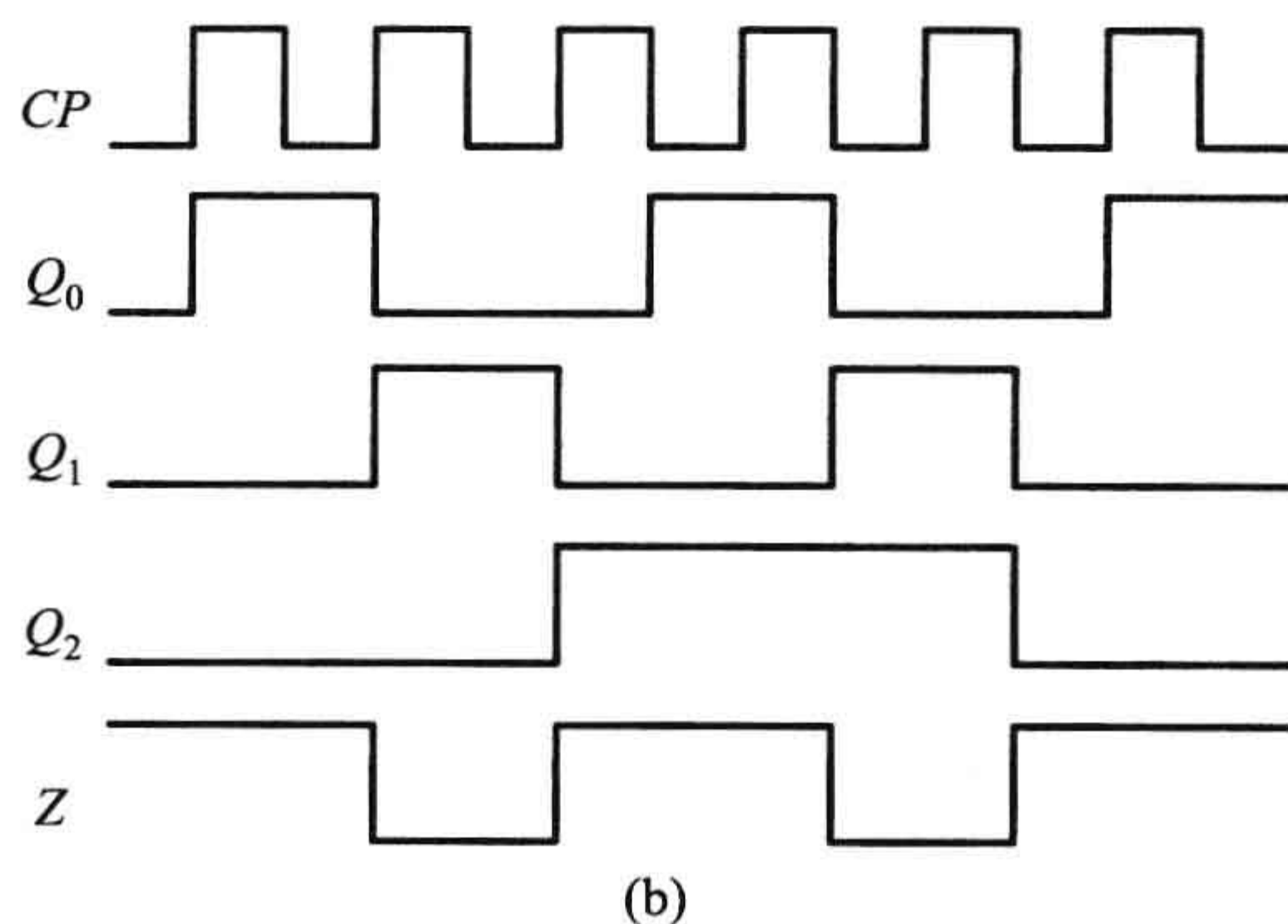
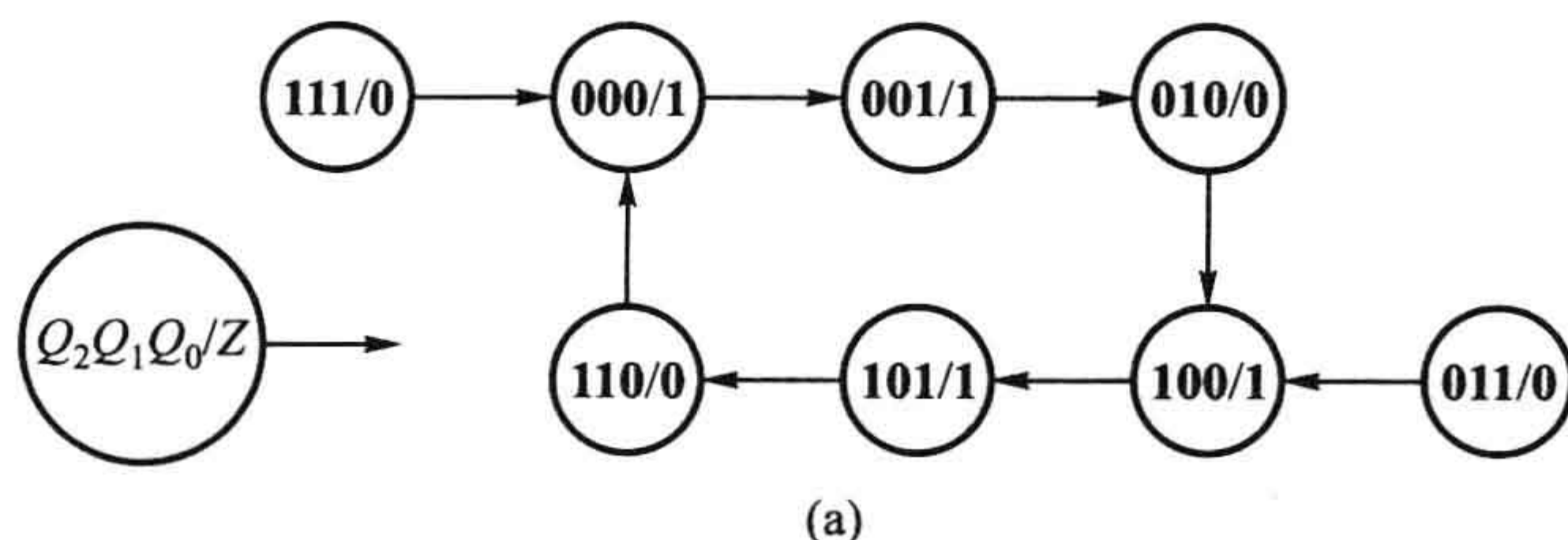
根据转换方程组、输出方程及各触发器的 CP 表达式可列出该电路的转换表,如表题解 6.4.1 所示。具体推导方法如下:由于 $CP_0 = CP_1 = CP \oplus Q_2$,所以当 $Q_2 = 0$ 时,对应于每个 CP 上升沿, $cp_0 = cp_1 = 1$;当 $Q_2 = 1$ 时,对应于每个 CP 下降沿, $cp_0 = cp_1 = 1$ 。而 cp_2 对应于 $\bar{Q}_1$ 上升沿,即对应于 Q_1 由 1 变 0 时为 1。对表中的每一行,首先由 $Q_1^n Q_0^n$ 推导出 $Q_1^{n+1} Q_0^{n+1}$,然后根据 Q_1 是否从 1 跳变到 0 来确定 cp_2 是否为 1,再决定 Q_2^{n+1} 。最后,根据 Q_1 决定 Z 。逐行类推,得到包括所有现态和次态的转换表。然后按照表中状态的变化顺序,画出含有全部状态的状态图如图题解 6.4.1(a) 所示。由于输出 Z 只取决于 Q_1 ,故写入圆圈内。

表题解 6.4.1

$Q_2^n Q_1^n Q_0^n$	cp_2	cp_1	cp_0	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	Z
0 0 0	0	1	1	0 0 1	1
0 0 1	0	1	1	0 1 0	1
0 1 0	1	1	1	1 0 0	0
0 1 1	1	1	1	1 0 0	0
1 0 0	0	1	1	1 0 1	1
1 0 1	0	1	1	1 1 0	1
1 1 0	1	1	1	0 0 0	0
1 1 1	1	1	1	0 0 0	0

(3) 画出波形图

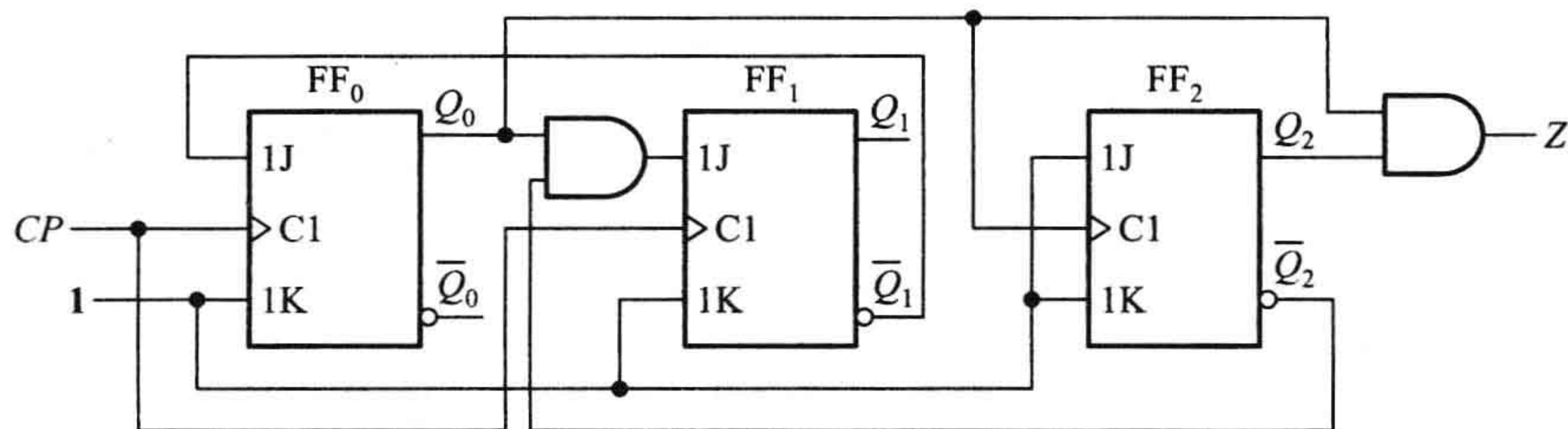
可按状态图的变化顺序,画出 Q_2 、 Q_1 、 Q_0 和 Z 对应于图题 6.4.1(b) 所示 CP 的波形图,如图题解 6.4.1(b) 所示。这里需要特别注意:因为 $CP_0 = CP_1 = CP \oplus Q_2$,因此,要根据 Q_2 的逻辑值正确确定状态变化所对应的 CP 脉冲沿。



图题解 6.4.1

6.4.2 分析图题 6.4.2 所示时序电路[CP 脉冲同图题 6.4.1(b)]。

- (1) 写出各触发器的 CP 信号表达式和激励方程；
- (2) 写出电路的转换方程组和输出方程；
- (3) 列出转换表并画出状态图；
- (4) 画出电路的时序图。



图题 6.4.2

解:(1) 根据逻辑图写出各触发器的 CP 信号表达式和激励方程组

① 各触发器的时钟信号表达式

$$CP_0 = CP_1 = CP \quad (\text{对于每个 } CP \text{ 上升沿, } cp_0 = cp_1 = 1)$$

$$CP_2 = Q_0 \quad (\text{对于 } Q_0 \text{ 上升沿, } cp_2 = 1)$$

② 激励方程组

$$J_2 = K_2 = 1$$

$$J_1 = \bar{Q}_2 Q_0 \quad K_1 = 1$$

$$J_0 = \bar{Q}_1 \quad K_0 = 1$$

(2) 写出电路的转换方程组和输出方程

① 转换方程组

$$Q_2^{n+1} = (J_2 \bar{Q}_2^n + \bar{K}_2 Q_2^n) cp_2 + Q_2^n \bar{cp}_2 = \bar{Q}_2^n cp_2 + Q_2^n \bar{cp}_2$$

$$Q_1^{n+1} = (J_1 \bar{Q}_1^n + \bar{K}_1 Q_1^n) cp_1 + Q_1^n \bar{cp}_1 = \bar{Q}_2^n \bar{Q}_1^n Q_0^n cp_1 + Q_1^n \bar{cp}_1$$

$$Q_0^{n+1} = (J_0 \bar{Q}_0^n + \bar{K}_0 Q_0^n) cp_0 + Q_0^n \bar{cp}_0 = \bar{Q}_1^n \bar{Q}_0^n cp_0 + Q_0^n \bar{cp}_0$$

② 输出方程

$$Z = Q_2 Q_0$$

(3) 列出转换表,画出状态图

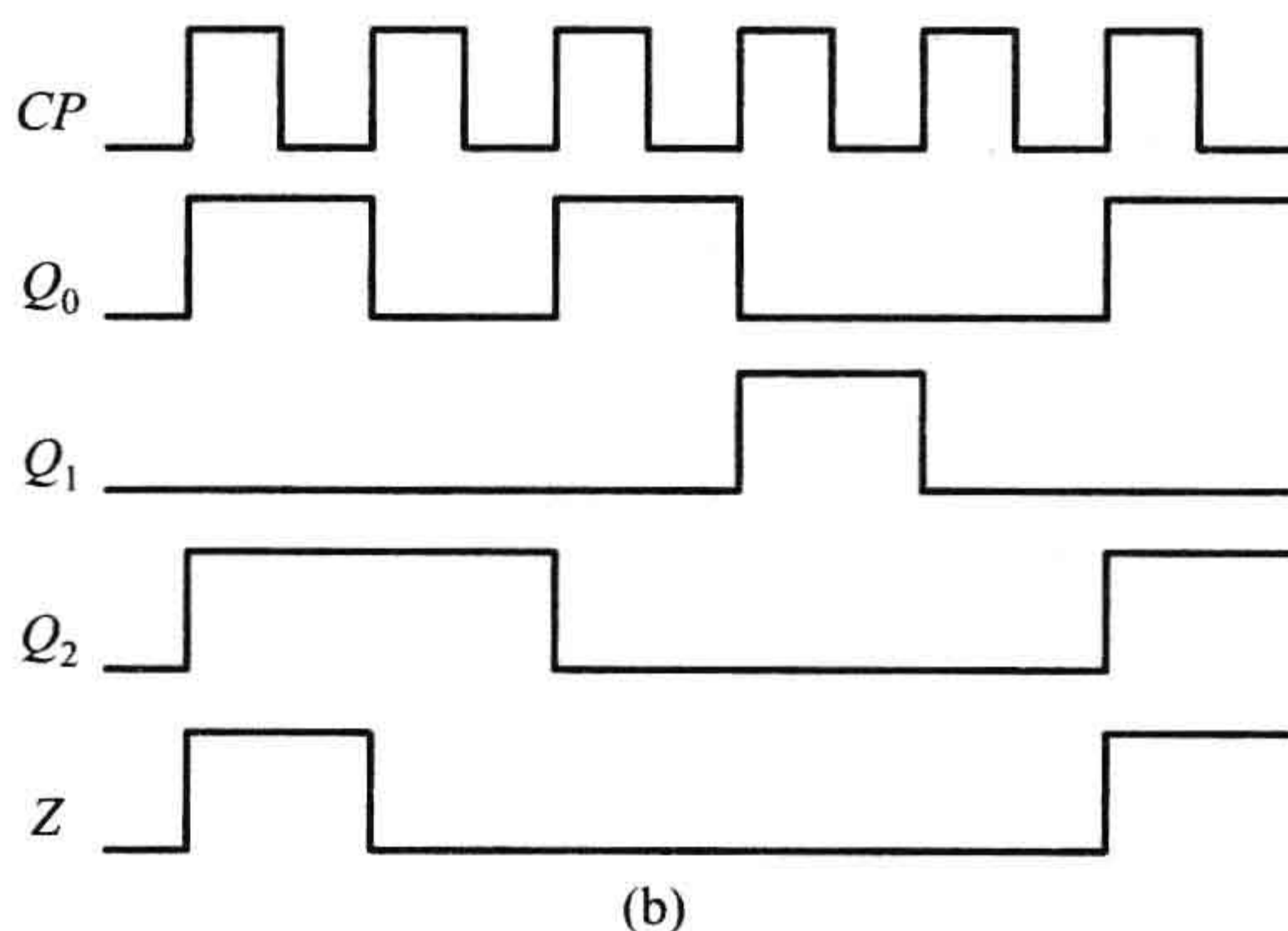
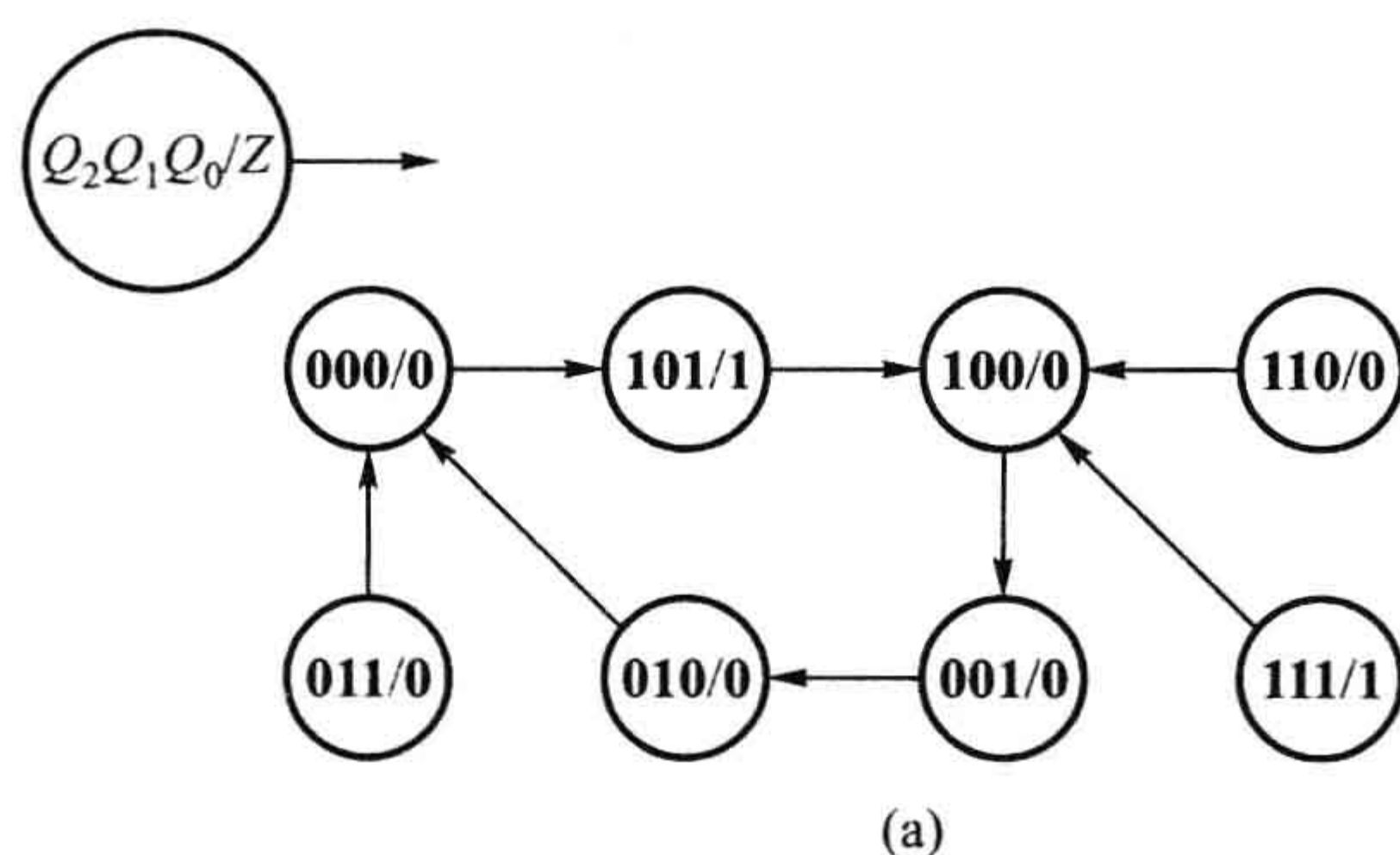
根据转换方程组、输出方程及各触发器时钟信号作用标志 cp_n 可列出该电路的转换表,如表题解 6.4.2 所示。具体方法如下:由于相应于每个 CP 上升沿 $cp_0 = cp_1 = 1$,所以对表中的每一行,首先由 $Q_2^n Q_1^n Q_0^n$ 推导出 $Q_1^{n+1} Q_0^{n+1}$,然后根据 Q_0 是否从 0 跳变到 1 来确定 cp_2 是否为 1,再决定 Q_2^{n+1} ,最后确定 Z 。逐行类推,得到包括所有现态和次态的转换表。可以看出,表中状态的变化顺序为 $000 \rightarrow 101 \rightarrow 100 \rightarrow 001 \rightarrow 010 \rightarrow 000$,据此画出含有电路全部状态的完全状态图,如图题解 6.4.2(a) 所示。由于输出 Z 只取决于 $Q_2 Q_0$,故写入圆圈内。

(4) 画出电路的时序图

可按状态图的变化顺序,画出 Q_2 、 Q_1 、 Q_0 和 Z 对应于图题 6.4.1(b) 所示 CP 的时序图,如图题解 6.4.2(b) 所示。

表题解 6.4.2

$Q_2^n Q_1^n Q_0^n$	cp_2	cp_1	cp_0	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	Z
0 0 0	1	1	1	1 0 1	0
0 0 1	0	1	1	0 1 0	0
0 1 0	0	1	1	0 0 0	0
0 1 1	0	1	1	0 0 0	0
1 0 0	1	1	1	0 0 1	0
1 0 1	0	1	1	1 0 0	1
1 1 0	0	1	1	1 0 0	0
1 1 1	0	1	1	1 0 0	1



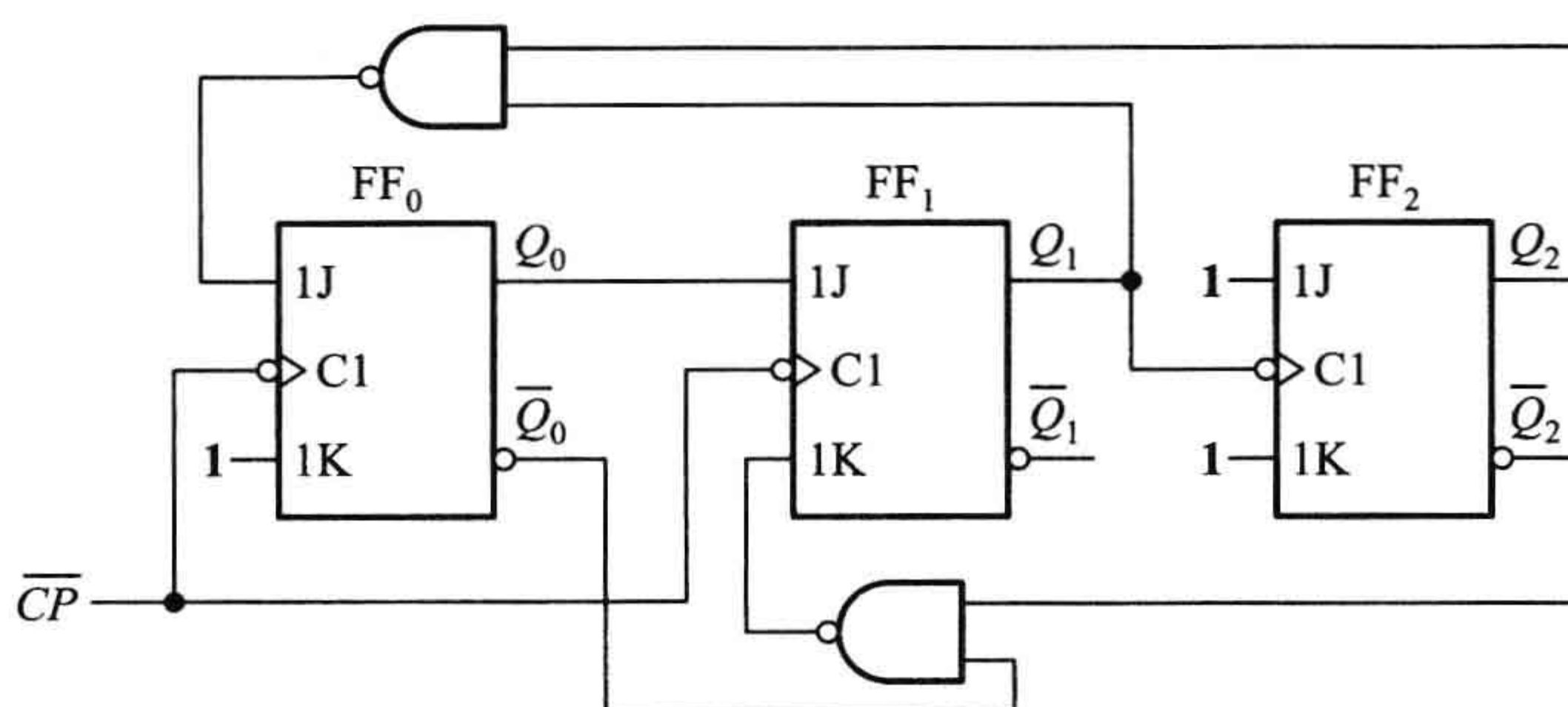
图题解 6.4.2

6.4.3 试分析图题 6.4.3 所示时序电路的逻辑功能。

解:(1) 根据逻辑图写出各逻辑表达式和方程组

① 各触发器的时钟信号表达式

$$\overline{CP_0} = \overline{CP_1} = \overline{CP} \quad (\text{对于每个 } \overline{CP} \text{ 下降沿, } cp_0 = cp_1 = 1)$$



图题 6.4.3

$$\overline{CP}_2 = Q_1 \quad (\text{对于 } Q_1 \text{ 下降沿, } cp_2 = 1)$$

② 激励方程组

$$J_2 = K_2 = 1$$

$$J_1 = Q_0 \quad K_1 = \overline{Q_2} \overline{Q_0}$$

$$J_0 = \overline{Q_2} Q_1 \quad K_0 = 1$$

③ 转换方程组

$$Q_2^{n+1} = (J_2 \overline{Q_2}^n + K_2 Q_2^n) cp_2 + Q_2^n \overline{cp_2} = \overline{Q_2}^n cp_2 + Q_2^n \overline{cp_2}$$

$$Q_1^{n+1} = (J_1 \overline{Q_1}^n + K_1 Q_1^n) cp_1 + Q_1^n \overline{cp_1} = (\overline{Q_1}^n Q_0^n + \overline{Q_2}^n Q_1^n \overline{Q_0}^n) cp_1 + Q_1^n \overline{cp_1}$$

$$Q_0^{n+1} = (J_0 \overline{Q_0}^n + K_0 Q_0^n) cp_0 + Q_0^n \overline{cp_0} = \overline{Q_2}^n Q_1^n \overline{Q_0}^n cp_0 + Q_0^n \overline{cp_0}$$

(2) 列出转换表

根据转换方程组及各触发器时钟信号 cp_n 可列出该电路的转换表如表题解 6.4.3 所示。具体方法如下: 由于相应于每个 $\overline{CP}$ 下降沿 $cp_0 = cp_1 = 1$, 所以对表中的每一行, 首先由 $Q_2^n Q_1^n Q_0^n$ 推导出 $Q_1^{n+1} Q_0^{n+1}$, 然后根据 Q_1 是否从 1 跳变到 0 来确定 cp_2 是否为 1, 再决定 Q_2^{n+1} 。逐行类推, 得到包含所有现态和次态的转换表。

表题解 6.4.3

$Q_2^n Q_1^n Q_0^n$	cp_2	cp_1	cp_0	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0	1	1	0 0 1
0 0 1	0	1	1	0 1 0
0 1 0	0	1	1	0 1 1
0 1 1	1	1	1	1 0 0
1 0 0	0	1	1	1 0 1
1 0 1	0	1	1	1 1 0
1 1 0	1	1	1	0 0 0
1 1 1	1	1	1	0 0 0

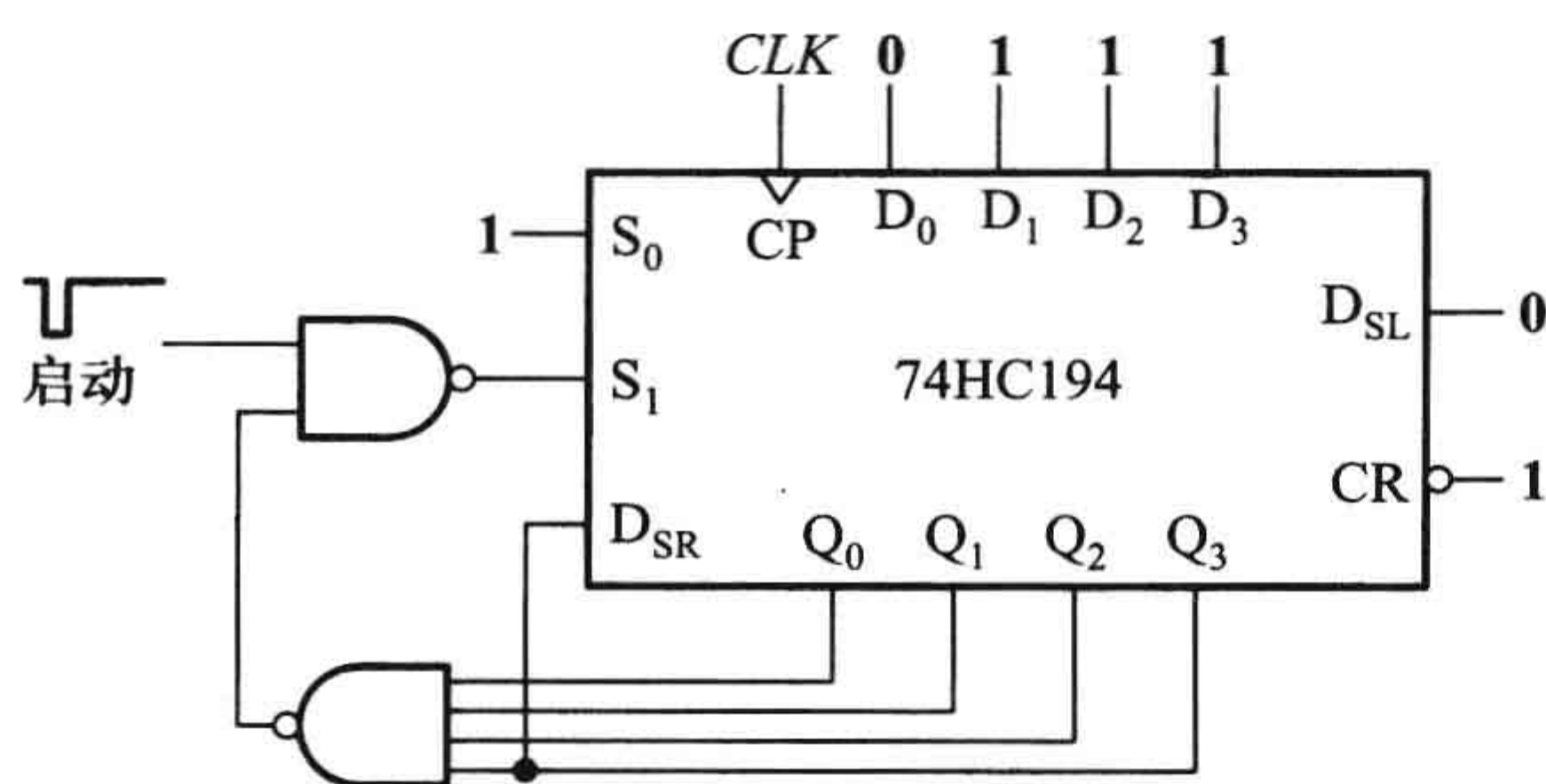
观察表题解 6.4.3 所示的转换表, 如果从 $Q_2 Q_1 Q_0 = 000$ 开始, 状态转换的顺序为 $000 \rightarrow 001 \rightarrow$

010→011→100→101→110→000, 共有 7 个状态, 编码序列从 000 开始, 在序列时钟脉冲 $\overline{CP}$ 作用下, 按自然二进制数递增, 直到 110 后的下一状态回到 000, 从而完成一次循环。因此, 图题 6.4.3 所示电路为异步模 7 计数器。当电路落入 111 的无效状态时, 在一次 $\overline{CP}$ 作用后便能回到有效状态 000, 所以该电路具有自校正能力。

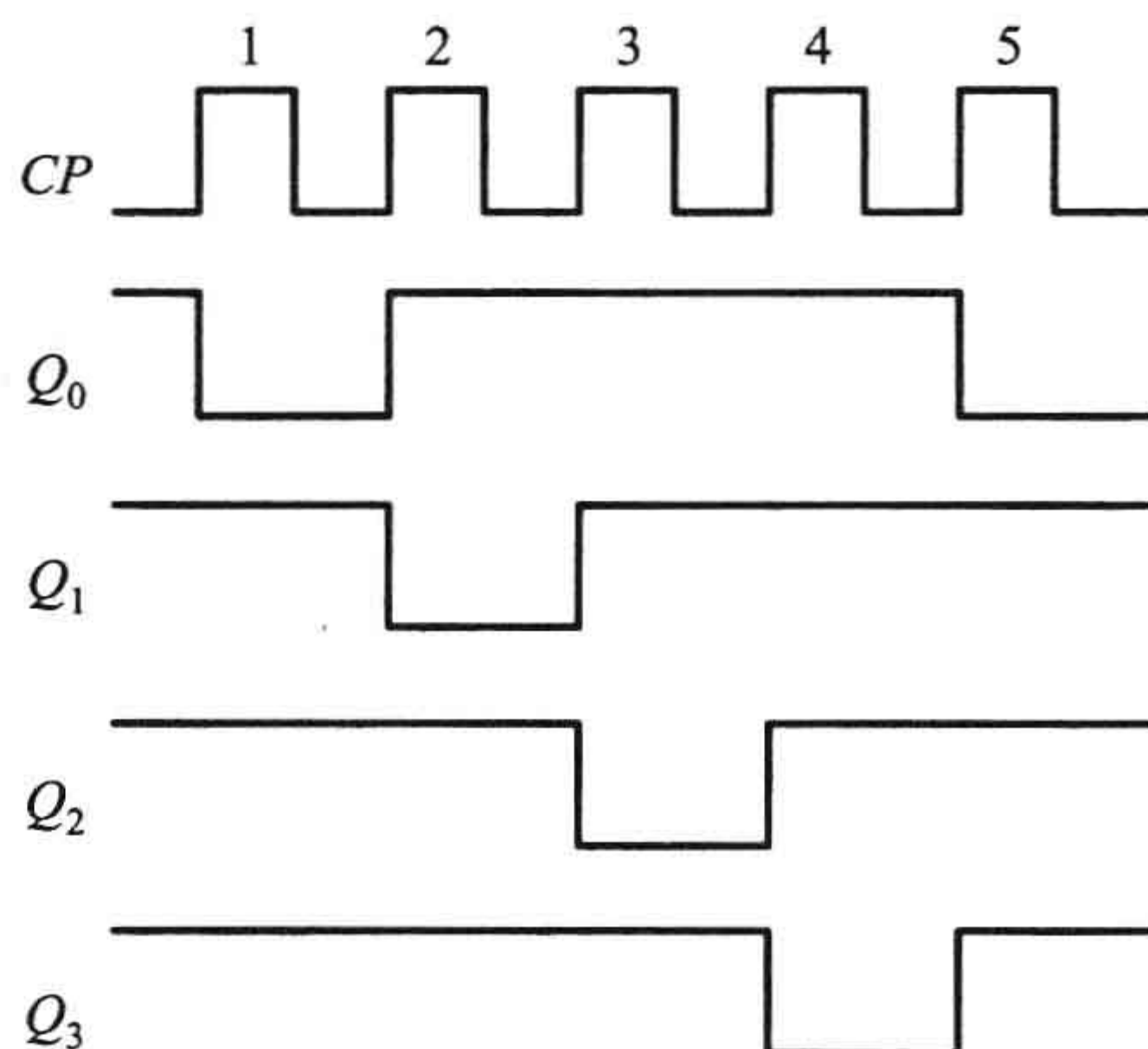
6.5 若干典型的时序逻辑电路

6.5.1 试画出图题 6.5.1 所示电路的输出 ($Q_3 \sim Q_0$) 波形, 并分析该电路的逻辑功能。

解: 当启动信号端输入一低电平时, 使 $S_1=1$, 这时有 $S_0=S_1=1$, 移位寄存器 74HC194 执行并行输入功能, $Q_3Q_2Q_1Q_0=D_3D_2D_1D_0=1110$ 。启动信号恢复为 1 后, 由于 $Q_0=0$, 经两级与非门, 使 $S_1=0$, 这时有 $S_1S_0=01$, 移位寄存器开始执行右移操作。电路接通电源后, 若恰巧出现 $Q_3Q_2Q_1Q_0=1111$ 的状态, 于是使 $S_1=1$, 则电路无须启动信号, 在一个时钟脉冲触发之后, 自动会将 1110 置入, 然后在时钟信号 CLK 作用下执行右移操作。在移位过程中, 因为 $Q_3、Q_2、Q_1、Q_0$ 中总有一个为 0, 因而能够维持 $S_1S_0=01$ 状态, 使右移操作持续进行下去。其移位情况如图题解 6.5.1 所示。



图题 6.5.1



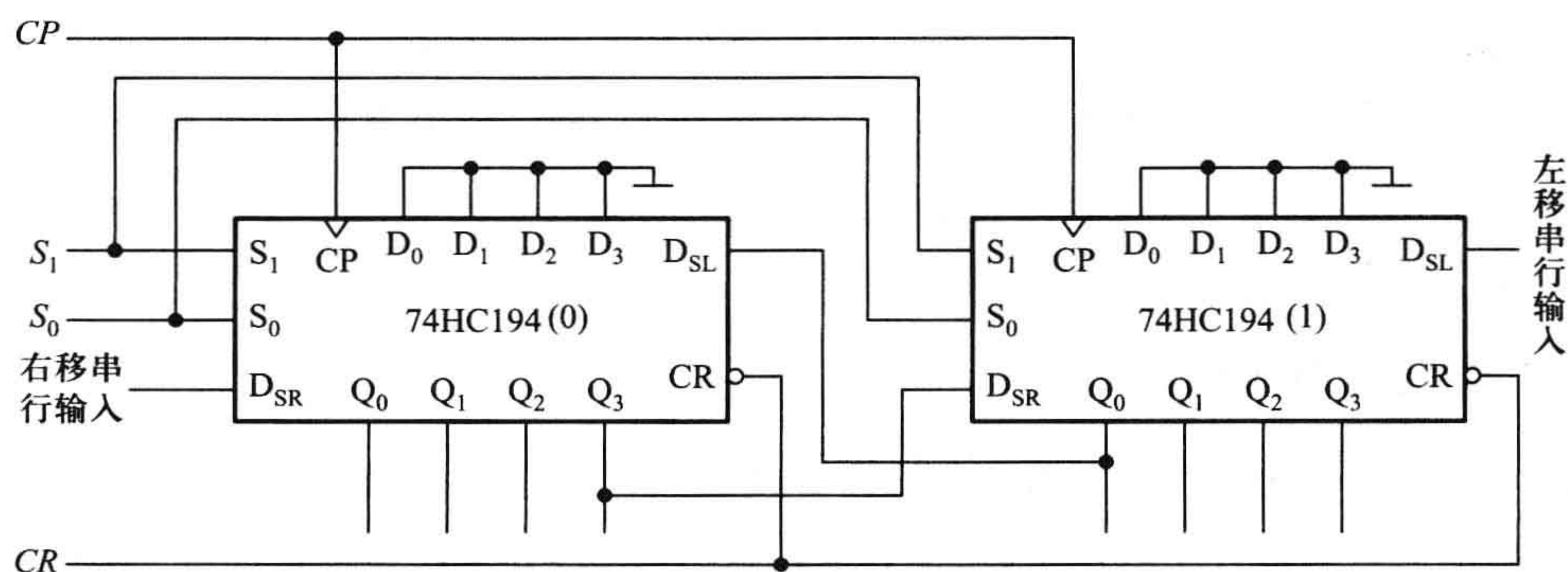
图题解 6.5.1

由图可知, 该电路能按固定的时序输出低电平脉冲, 是一个四相时序脉冲产生电路。

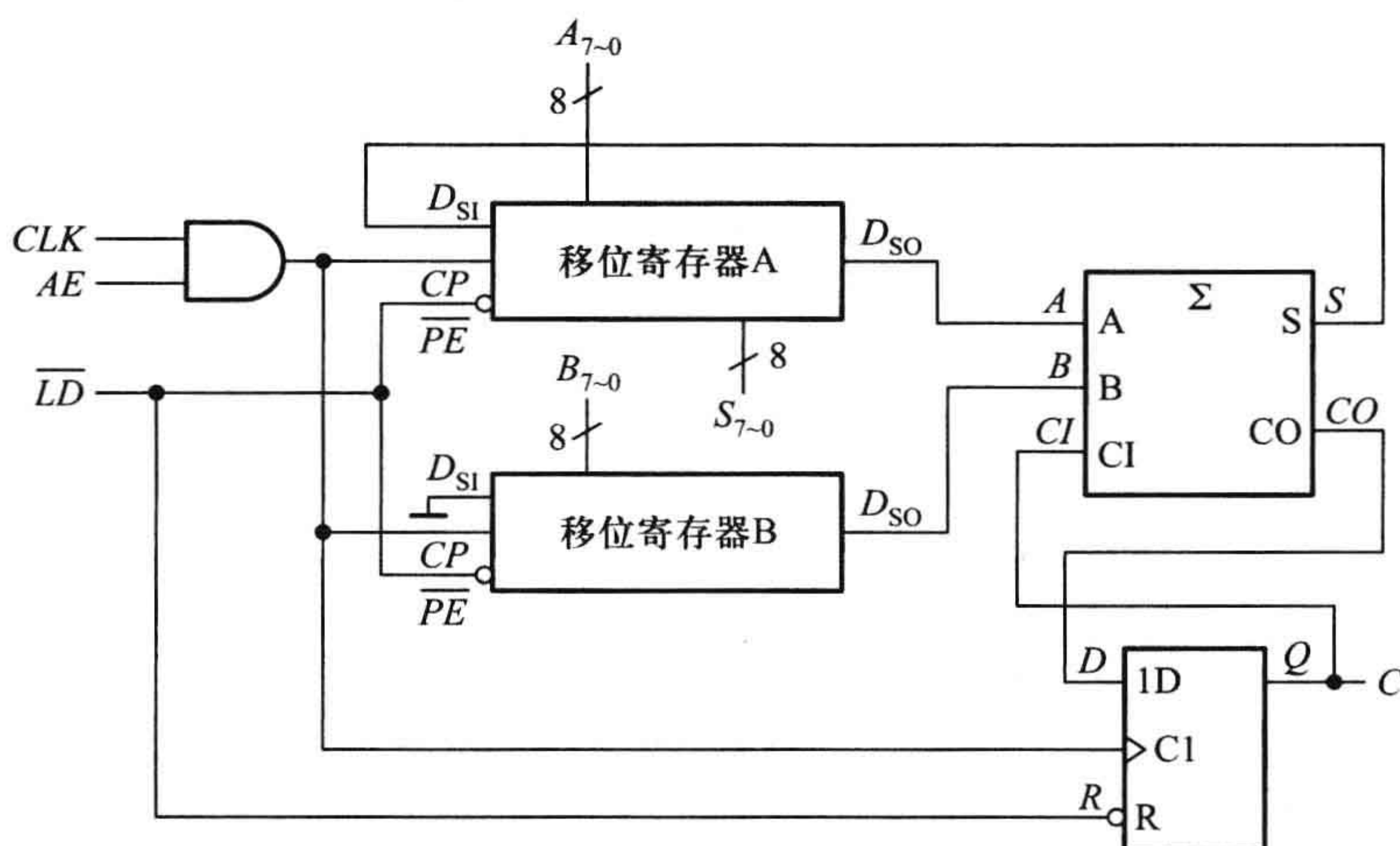
6.5.2 试用两片 74HC194 构成 8 位双向移位寄存器。

解: 用两片 74HC194 组成 8 位双向移位寄存器时, 只需将低位芯片的 Q_3 接至高位芯片的右移串行输入端 D_{SR} , 而将高位芯片的 Q_0 接到低位芯片的左移串行输入端 D_{SL} , 同时把两芯片的 $S_1、S_0、CP、CR$ 分别连接在一起作为相应信号输入端。其电路如图题解 6.5.2 所示。

6.5.3 用一个全加器和一个 D 触发器及两个 8 位移位寄存器 A、B 构成的 8 位串行加法电路如图题 6.5.3 所示。图中, CLK 为时钟输入端; $\overline{LD}$ 为置数控制输入端, 当 $\overline{LD}=0$ 时, 8 位被加数 A_{7-0} 和 8 位加数 B_{7-0} 将分别进入移位寄存器 A 和 B; AE 为加运算控制端, 当 $AE=1$ 时, 进行串行加法运算, 输入 8 个时钟脉冲后恢复为 0; S_{7-0} 为 8 位和输出端; C 为进位输出端。移位寄存器 A、B 的 CP 端为时钟输入端, $\overline{PE}$ 端为并行置数控制端, D_{SI} 和 D_{SO} 端分别为串行数据输入端、输出端。试分析电路的工作原理。



图题解 6.5.2



图题 6.5.3

解:该电路可实现两个 8 位二进制数的加法运算。移位寄存器 A、B 均为右移寄存器。电路工作过程如下:

(1) 置数

首先令 $AE=0$, 禁止时钟脉冲 CLK 输入, 将 8 位被加数 $A_{7\sim0}$ 和 8 位加数 $B_{7\sim0}$ 以低位在右、高位在左的形式分别置于移位寄存器 A、B 的并行数据输入端, 然后令 $\overline{LD}$ 产生短暂的低电平脉冲, 于是 $A_{7\sim0}$ 和 $B_{7\sim0}$ 进入两个移位寄存器, 完成置数过程, 同时将 D 触发器置零。

(2) 加法运算

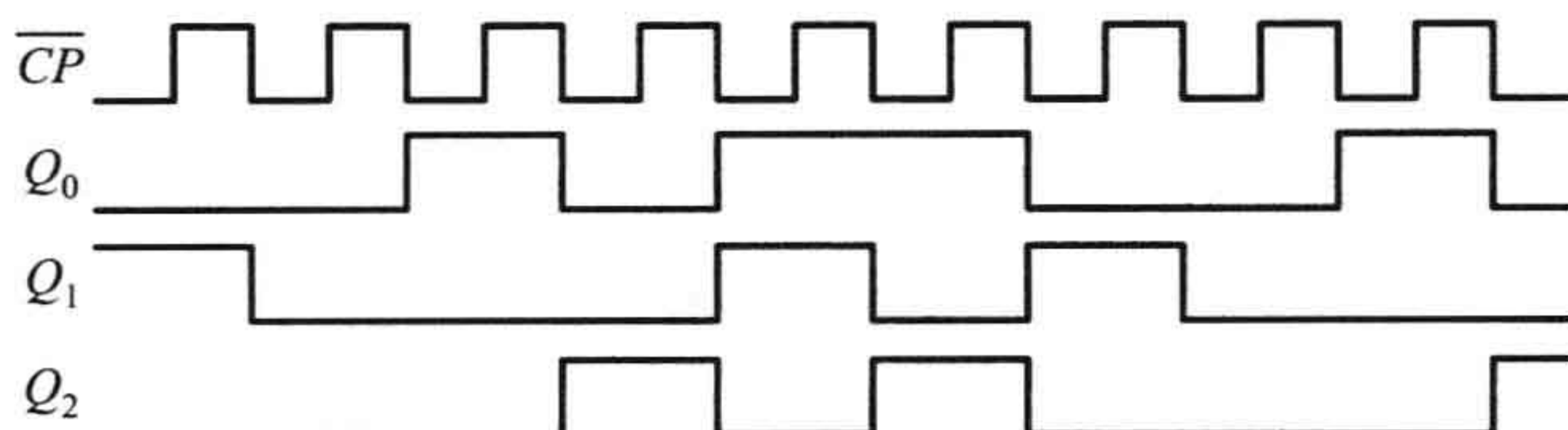
这时由于 D 触发器 $Q=0$, 因此全加器的进位输入端 $CI=0$ 。全加器的 A、B 输入端分别为加数和被加数的最低位 A_0 和 B_0 , 于是在它的 S 端得到 $S_0=A_0+B_0+0$, 在 CO 端得到 A_0 和 B_0 相加后的进位值 C_0 , 为 D 触发器的输入信号: $D=C_0$ 。这时将 AE 置 1, CLK 信号输入到两个移位寄存器和 D 触发器的时钟输入端。当 CLK 信号的第一个上升沿到达时, C_0 寄存在 D 触发器, 即 $CI=Q=C_0$ 。同时两个移位寄存器均进行右移操作, S_0 移入移位寄存器 A 的最高位, 而 A_1 和 B_1 分别出现在全加器的 A、B 输入端。于是, 在 S 端得到 A_1 、 B_1 和 C_0 这 3 个 1 位二进制数相加的和 $S_1=A_1+B_1+C_0$, 而 $CO=C_1$, 为该位相加后向高一位的进位值。在下一个时钟脉冲沿到达后, 重复上述

过程。8 个时钟脉冲之后, AE 置 0, 一次 8 位二进制加法运算结束。

(3) 读出和值

运算结束后, 两个 8 位二进制数之和 S_{7-0} 已全部移入移位寄存器 A, 从它的 8 位并行输出端 Q_{7-0} 可读出串行加法运算的结果 S_{7-0} 。从 D 触发器 $Q=C$ 的输出状态可判断加法运算是否溢出。如果 $C=0$, 则说明从 S_{7-0} 读出的和是正确的; 若 $C=1$, 则两个 8 位数之和大于 255, 加法运算溢出。

6.5.4 在某计数器的输出端观察到如图题 6.5.4 所示的波形, 试确定该计数器的模。

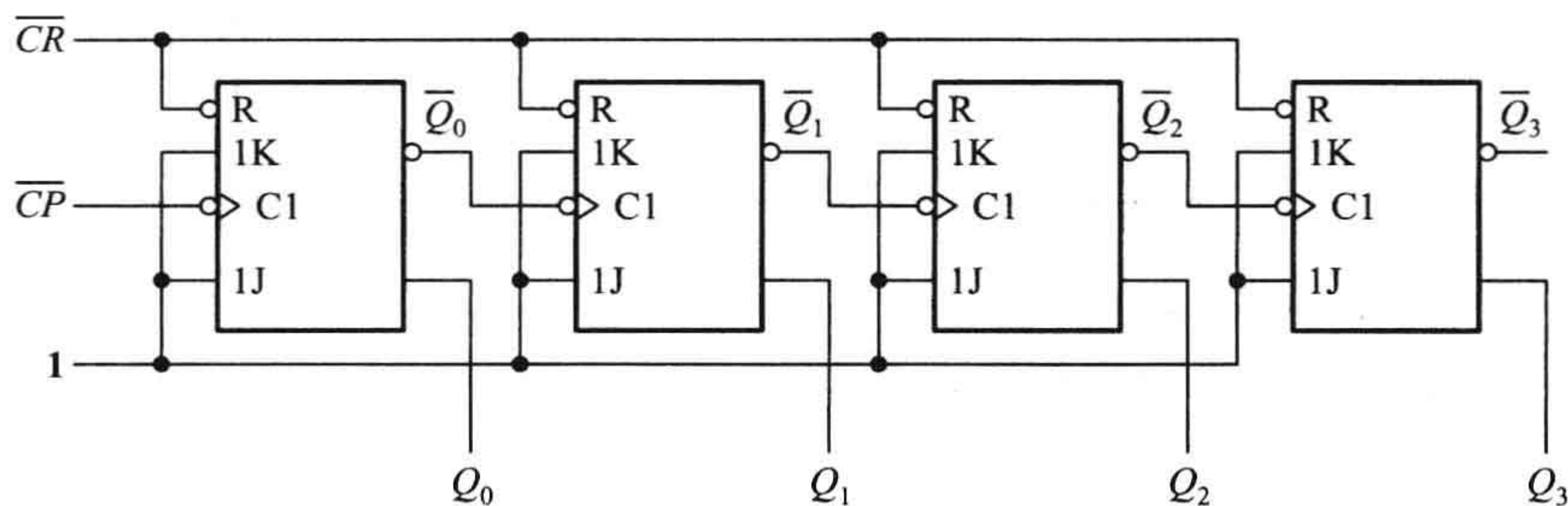


图题 6.5.4

解: 由图题 6.5.4 所示波形可知, 该计数器计数过程中, 在连续出现 010、000、001、100、011、101 六个不同状态后, 又按原来顺序变换了四个状态, 故计数器的模可能为 6。

6.5.5 试用下降沿触发的 JK 触发器组成 4 位异步二进制递减计数器, 画出逻辑图。

解: n 位二进制计数器需要用 n 个触发器组成, 因此 4 位异步二进制递减计数器需要用 4 个触发器组成。当用 JK 触发器组成时, 首先应将各 JK 触发器接成计数工作状态, 即将各触发器的 J、K 端均接至高电平。然后决定级间连接方式, 即按照二进制数序列递减计数规则: 当低位触发器的 Q 端已经为 0 时, 再输入一个计数脉冲, Q 端应翻转为 1, 同时向高一位发出借位信号, 使高一位触发器翻转。因为使用下降沿触发的触发器组成的计数器, 所以要将低位触发器的 $\bar{Q}$ 端接至高一位触发器的时钟输入端。这样, 当低位的 Q 端由 0 变为 1 时, 它的 $\bar{Q}$ 端由 1 变为 0, 正好作为高一位触发器的时钟信号。按照上述步骤用下降沿触发的 JK 触发器组成的 4 位异步二进制递减计数器电路如图题解 6.5.5 所示。

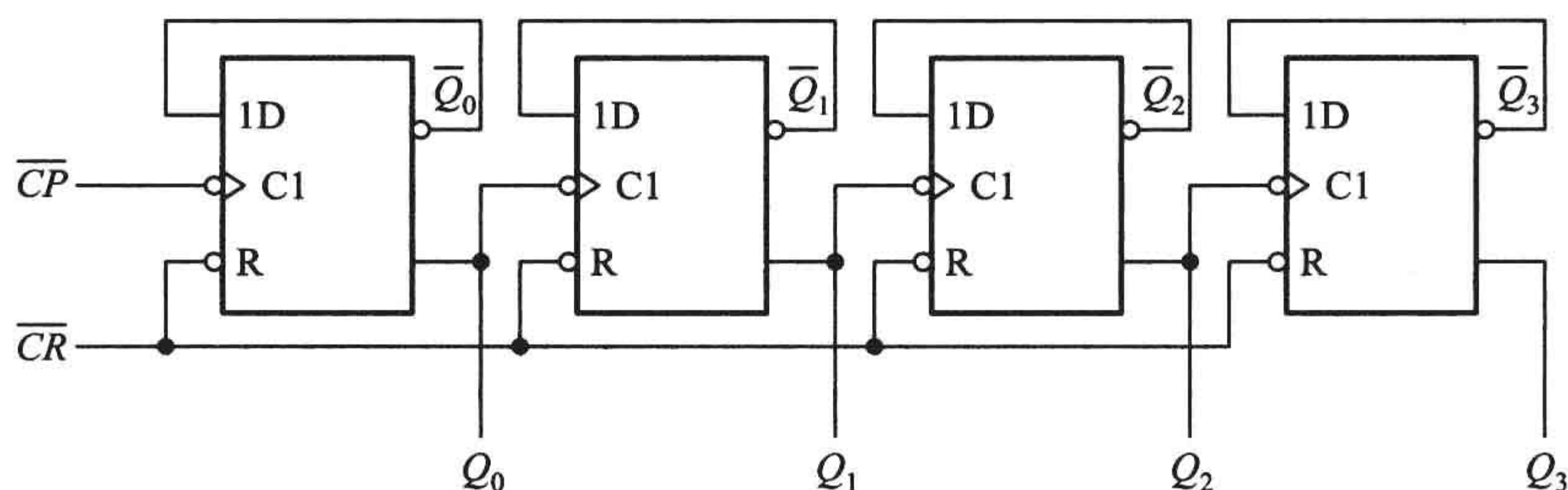


图题解 6.5.5

6.5.6 试用下降沿触发的 D 触发器组成 4 位异步二进制递增计数器, 画出逻辑图。

解: 首先将 4 个触发器接成计数工作状态, 即将各触发器的 D 端与其 $\bar{Q}$ 端相连接。然后决定级间连接方式, 即按照二进制数序列递增计数规则: 当低位触发器的 Q 端已经为 1 时, 再输入一个计数脉冲后 Q 端应翻转为 0, 同时向高一位触发器发出进位信号, 使高一位翻转。因为是用下降沿触发的触发器, 所以只要将低位触发器的 Q 端接至高一位触发器的时钟输入端, 当低位的 Q

端由 1 变为 0 时,正好作为高一位的时钟信号。按照上述步骤用下降沿触发的 D 触发器组成的 4 位异步二进制递增计数器电路如图题解 6.5.6 所示。



图题解 6.5.6

6.5.7 试用上升沿触发的 D 触发器及门电路组成 3 位同步二进制递增计数器,画出逻辑图。

解: 3 位二进制计数器需要用 3 个触发器。因是同步计数器,故各触发器的 CP 端接同一时钟脉冲源。

(1) 列转换表

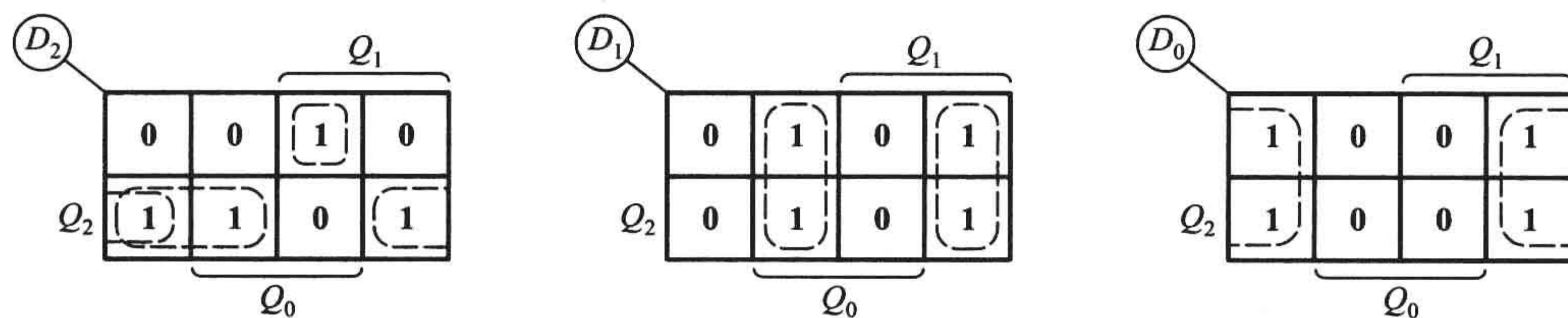
计数器的转换表如表题解 6.5.7 所示。由于 D 触发器的特性方程为 $Q^{n+1} = D$,故每个触发器的次态也就是对激励信号的要求。

表题解 6.5.7

Q_2^n	Q_1^n	Q_0^n	$Q_2^{n+1}(D_2)$	$Q_1^{n+1}(D_1)$	$Q_0^{n+1}(D_0)$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

(2) 用卡诺图化简,求激励方程组

根据转换表得到的卡诺图如图题解 6.5.7(a) 所示。



图题解 6.5.7(a)

于是导出激励方程组

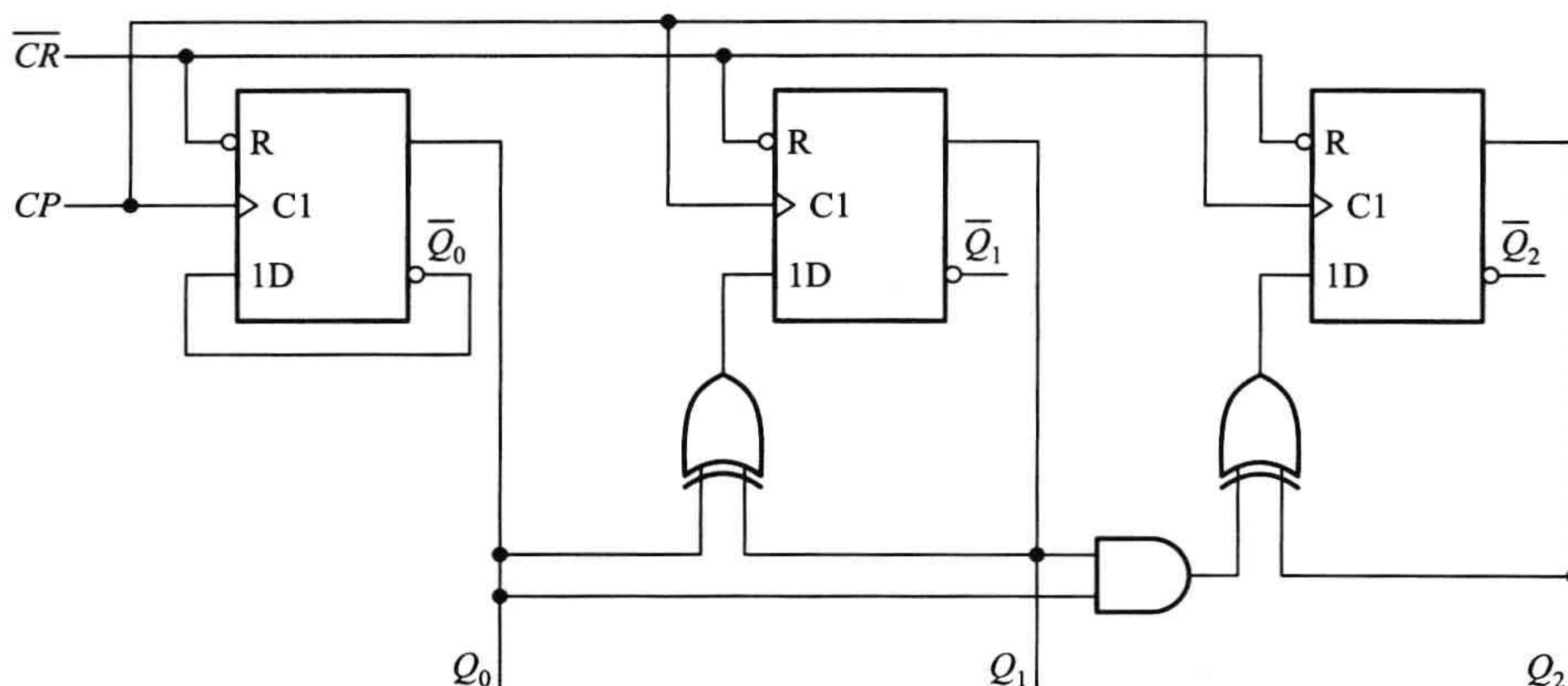
$$D_2 = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0 = Q_2 \oplus (Q_1 Q_0)$$

$$D_1 = \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0 = Q_1 \oplus Q_0$$

$$D_0 = \bar{Q}_0$$

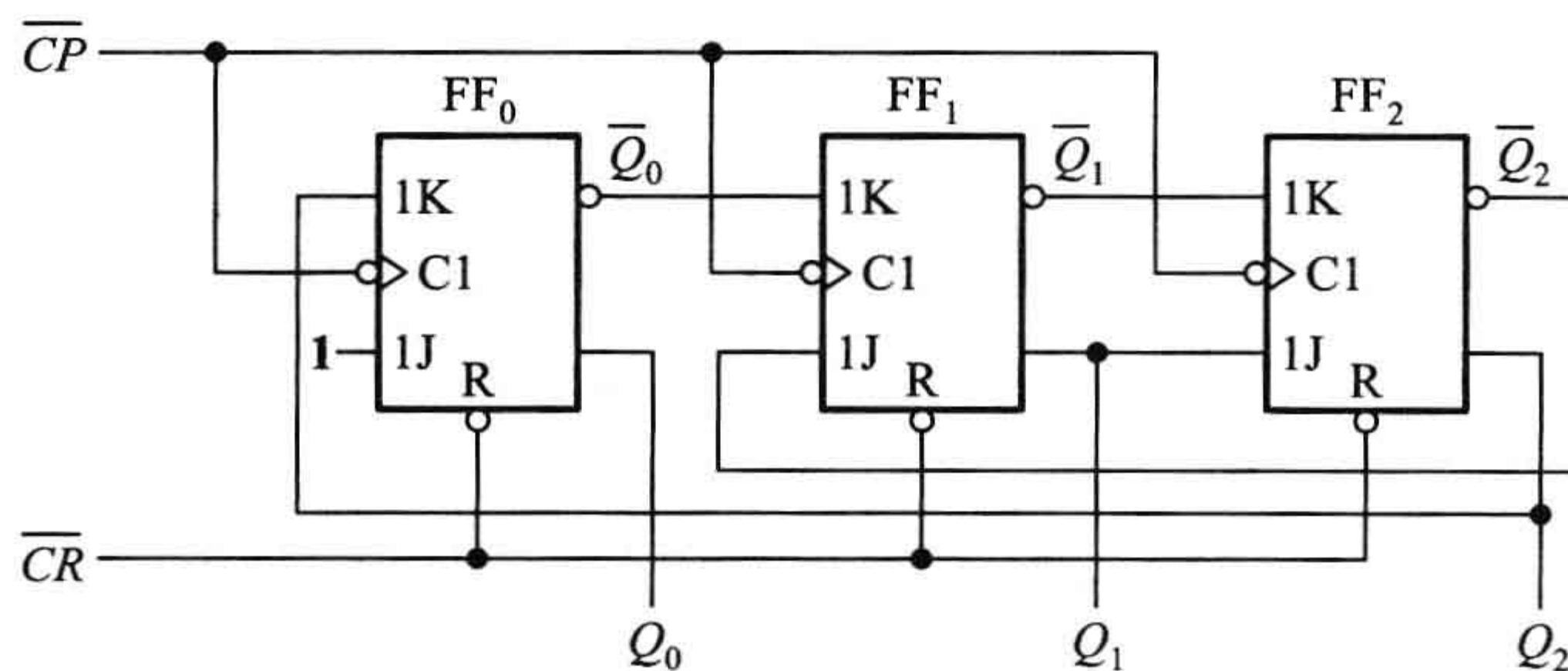
(3) 画出逻辑图

按照激励方程组可画出逻辑图如图题解 6.5.7(b) 所示。



图题解 6.5.7(b)

6.5.8 试分析图题 6.5.8 所示计数器的模,画出各触发器输出端的波形图。



图题 6.5.8

解:由图题 6.5.8 可写出各触发器的激励方程组和转换方程组,即激励方程组

$$J_2 = Q_1 \quad K_2 = \bar{Q}_1$$

$$J_1 = \bar{Q}_2 \quad K_1 = \bar{Q}_0$$

$$J_0 = 1 \quad K_0 = Q_2$$

将激励方程分别代入相应 JK 触发器的特性方程,于是得到转换方程组

$$Q_2^{n+1} = \bar{Q}_2^n Q_1^n + Q_2^n \bar{Q}_1^n = Q_1^n$$

$$Q_1^{n+1} = \bar{Q}_2^n \bar{Q}_1^n + Q_2^n Q_1^n$$

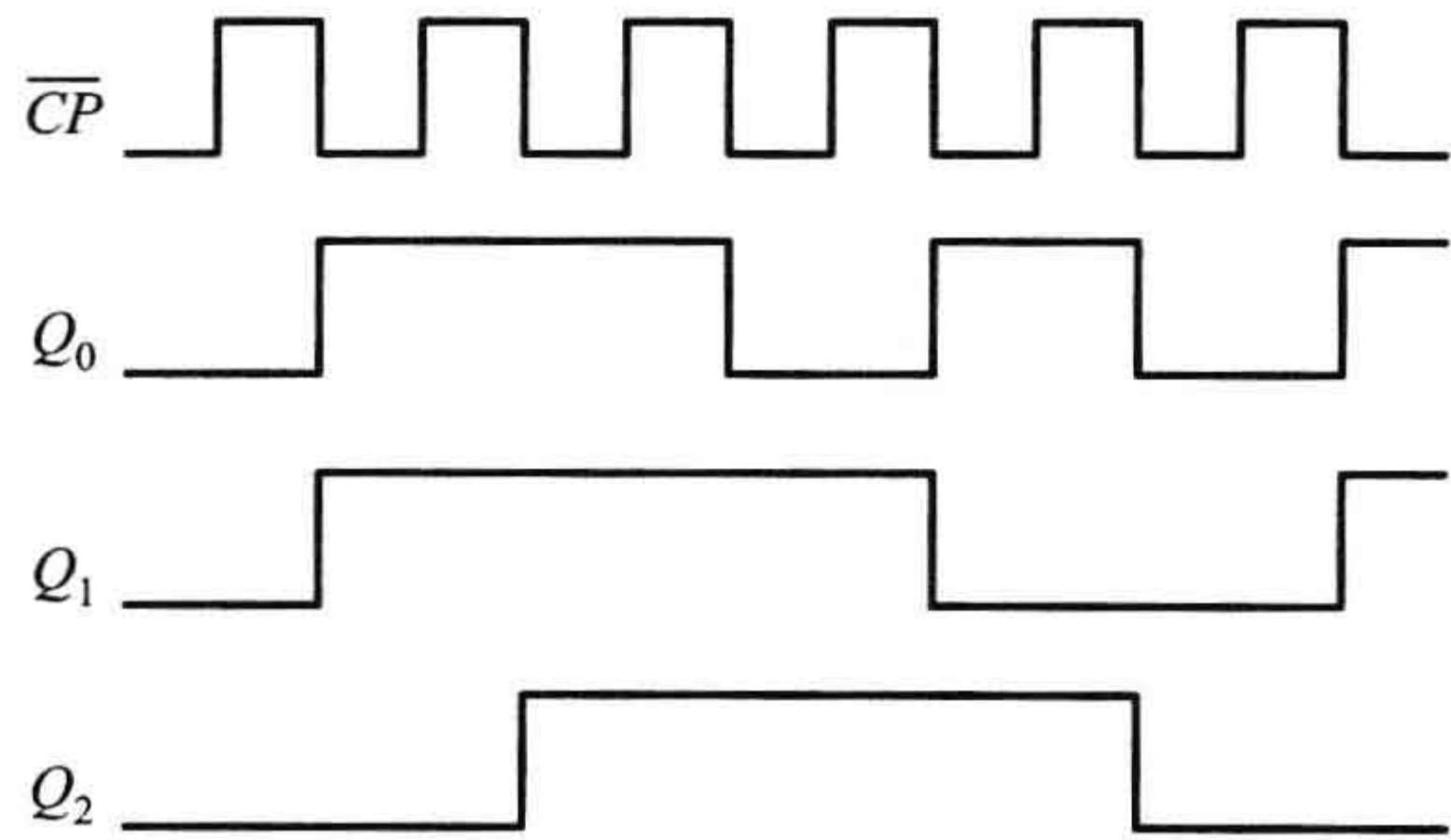
$$Q_0^{n+1} = \bar{Q}_0^n + Q_2^n Q_0^n$$

根据转换方程组可列出转换表如表题解 6.5.8 所示。

表题解 6.5.8

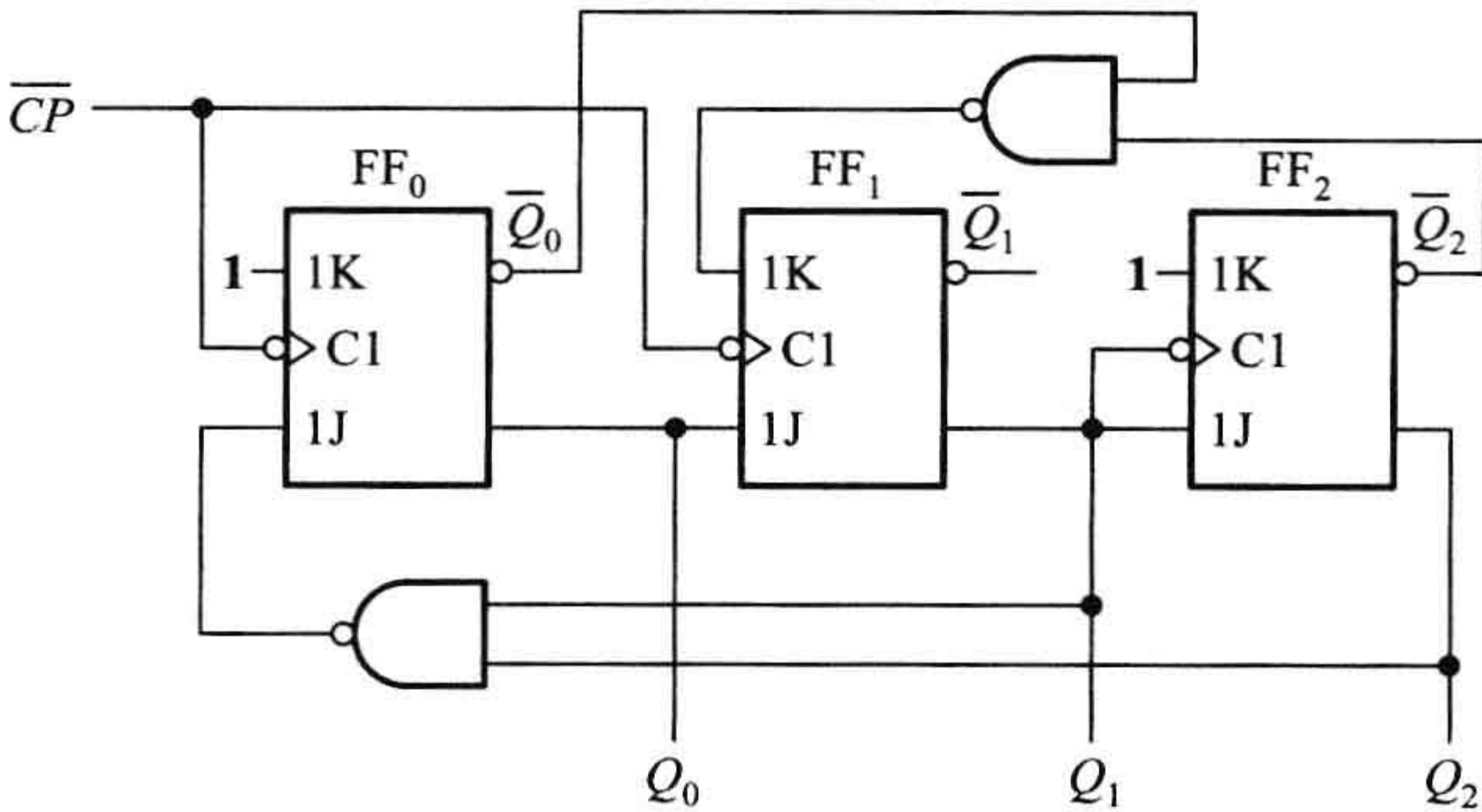
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	1
1	0	1	0	0	0

由转换表可知,该电路是一个模 5 计数器,其输出波形图如图题解 6.5.8 所示。



图题解 6.5.8

6.5.9 计数器电路如图题 6.5.9 所示,试画出它的状态图,并确定它的模。



图题 6.5.9

解:这是用 3 个下降沿触发的 JK 触发器构成的异步计数器。设 FF_0 、 FF_1 和 FF_2 3 个触发器的时钟信号作用状态分别为 cp_0 、 cp_1 和 cp_2 。触发器 FF_0 和 FF_1 直接由 $\overline{CP}$ 脉冲的下降沿触发,因此对每一个 $\overline{CP}$ 下降沿 $cp_0 = cp_1 \equiv 1$; 触发器 FF_2 由 Q_1 的下降沿触发,只有当 Q_1 出现下降沿时 cp_2 才为 1。由图题 6.5.9 可写出各触发器的激励方程组和该电路的转换方程组,即

激励方程组

$$\begin{aligned} J_2 &= Q_1 & K_2 &= 1 \\ J_1 &= Q_0 & K_1 &= \overline{Q_2} \overline{Q_0} \\ J_0 &= \overline{Q_2} Q_1 & K_0 &= 1 \end{aligned}$$

将激励方程分别代入相应 JK 触发器的特性方程,于是得到转换方程组

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n cp_2 + Q_2^n \overline{cp_2}$$

$$Q_1^{n+1} = (\overline{Q_1^n} Q_0^n + \overline{Q_2^n} Q_1^n \overline{Q_0^n}) cp_1 + Q_1^n \overline{cp_1}$$

$$Q_0^{n+1} = \overline{Q_2^n} Q_1^n \overline{Q_0^n} cp_0 + Q_0^n \overline{cp_0}$$

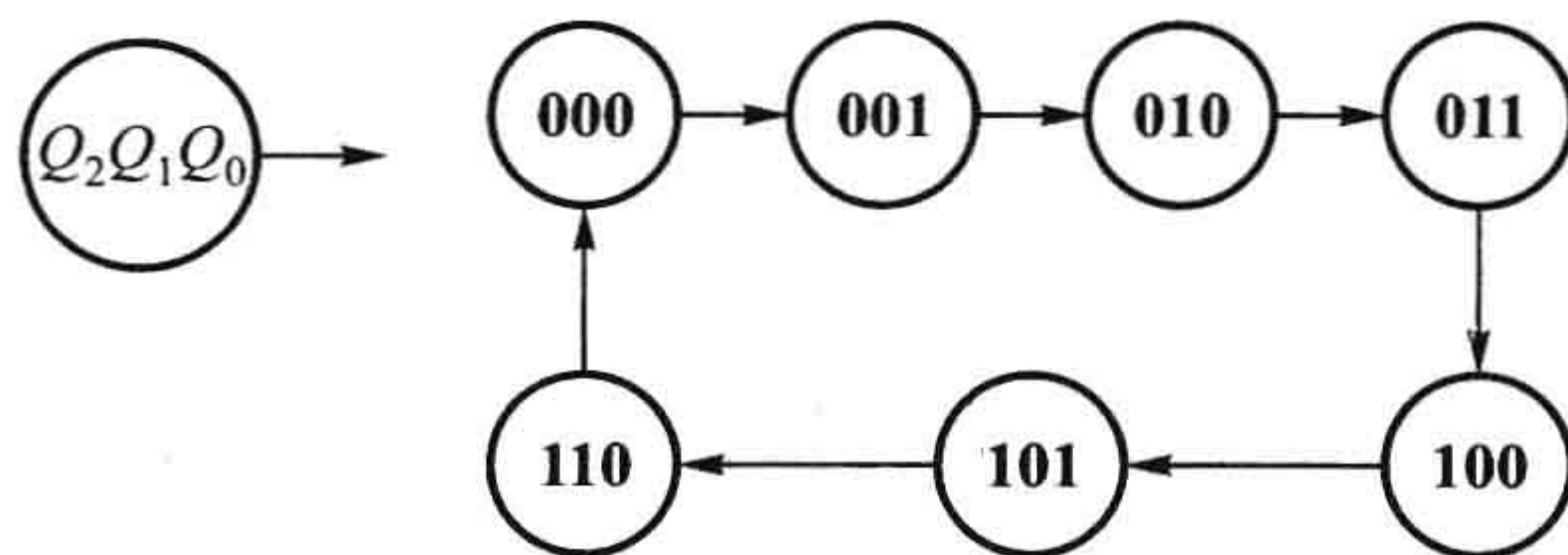
令 $Q_2^n = Q_1^n = Q_0^n = 0$, 首先将 Q_2^n, Q_1^n, Q_0^n 和 cp_0, cp_1 (因为对每一个 $\overline{CP}$ 下降沿 $cp_0 = cp_1 \equiv 1$) 的值分别代入转换方程 Q_0^{n+1} 和 Q_1^{n+1} , 求出其次态 Q_0^{n+1} 和 Q_1^{n+1} , 然后根据 Q_1 是否出现下降沿来确定 cp_2 的值, 求出 Q_2^{n+1} 。下一步则以前面求出的 Q_2^{n+1}, Q_1^{n+1} 和 Q_0^{n+1} 作为新的现态, 按上述方法求出其新的次态。依此类推, 直到出现重复的状态为止。于是可以得到转换表如表题解 6.5.9 所示。

根据转换表可画出状态图, 如图题解 6.5.9 所示。

从转换表和状态图都可以看出, 图题 6.5.9 所示电路是一个异步模 7 计数器。

表题解 6.5.9

$Q_2^n Q_1^n Q_0^n$	cp_2	cp_1	cp_0	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0	1	1	0 0 1
0 0 1	0	1	1	0 1 0
0 1 0	0	1	1	0 1 1
0 1 1	1	1	1	1 0 0
1 0 0	0	1	1	1 0 1
1 0 1	0	1	1	1 1 0
1 1 0	1	1	1	0 0 0



图题解 6.5.9

6.5.10 试用上升沿触发的 D 触发器和门电路设计一个同步模 3 递减计数器。

解: 模 3 计数器有 3 个状态, $3 < 2^2$, 因此需要 2 个触发器。

(1) 列出转换表

转换表如表题解 6.5.10 所示。由于 D 触发器的特性方程为 $Q^{n+1} = D$, 故每个触发器的次态也就是对激励信号的要求。

表题解 6.5.10

Q_1^n	Q_0^n	$Q_1^{n+1}(D_1)$	$Q_0^{n+1}(D_0)$
0	0	1	1
1	1	1	0
1	0	0	0
0	1	×	×

(2) 画出卡诺图, 求激励方程组

根据表题解 6.5.11 画出激励信号的卡诺图, 如图题解 6.5.11(a) 所示, 由此得到激励方程组

$$\begin{aligned} J_2 &= Q_1 Q_0 & K_2 &= Q_0 \\ J_1 &= \overline{Q_2} Q_0 & K_1 &= Q_0 \\ J_0 &= 1 & K_0 &= 1 \end{aligned}$$

(3) 画出逻辑图

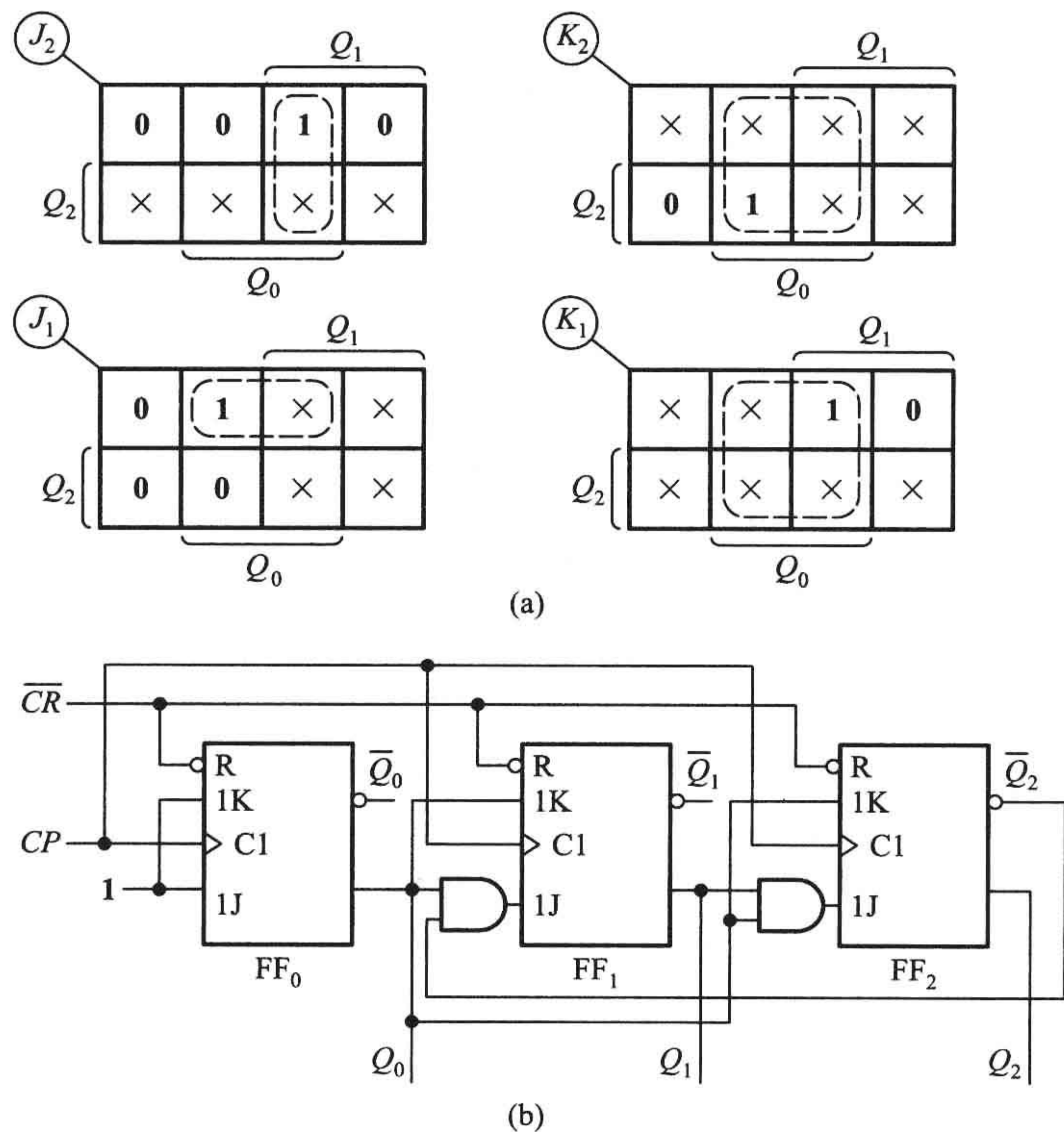
根据激励方程组画出逻辑图, 如图题解 6.5.11(b) 所示。

(4) 检查自校正能力。

当该计数器进入无效状态 **110** 时, 在 CP 脉冲作用下, 电路的状态将按以下顺序变化:

$$110 \rightarrow 111 \rightarrow 000$$

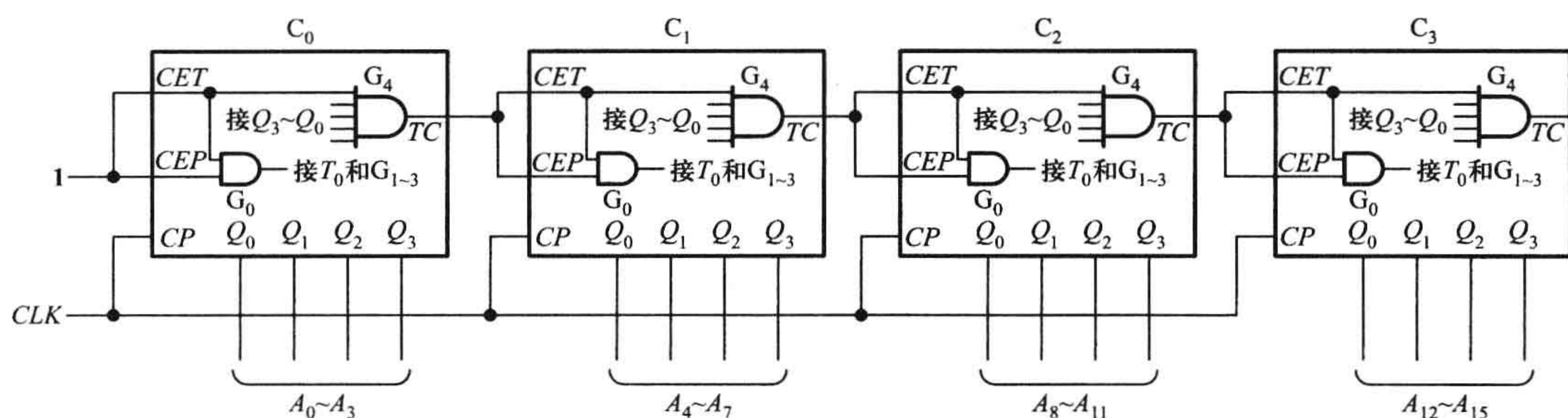
显然, 当进入无效状态 **110** 或 **111** 后, 计数器能够自校正。



图题解 6.5.11

6.5.12 图题 6.5.12 所示为一个模 2^{16} 递增计数器的进位原理图, 试与图 6.5.13 所示的计数器进位方式进行比较, 估计它们的激励电路传输延迟时间的最大值 $t_{COMpd(max)}$ (以等效逻辑门的平均延迟时间 t_{Gpd} 为单位时间)。

解: 图题 6.5.12 所示模 2^{16} 递增计数器以 4 位同步二进制计数器为一组, 组间进位采用纯串行进位方式, C_1, C_2, C_3 的 CET 和 CEP 是分别相连后再与相邻低位组的 TC 端相接。在 C_0 的进

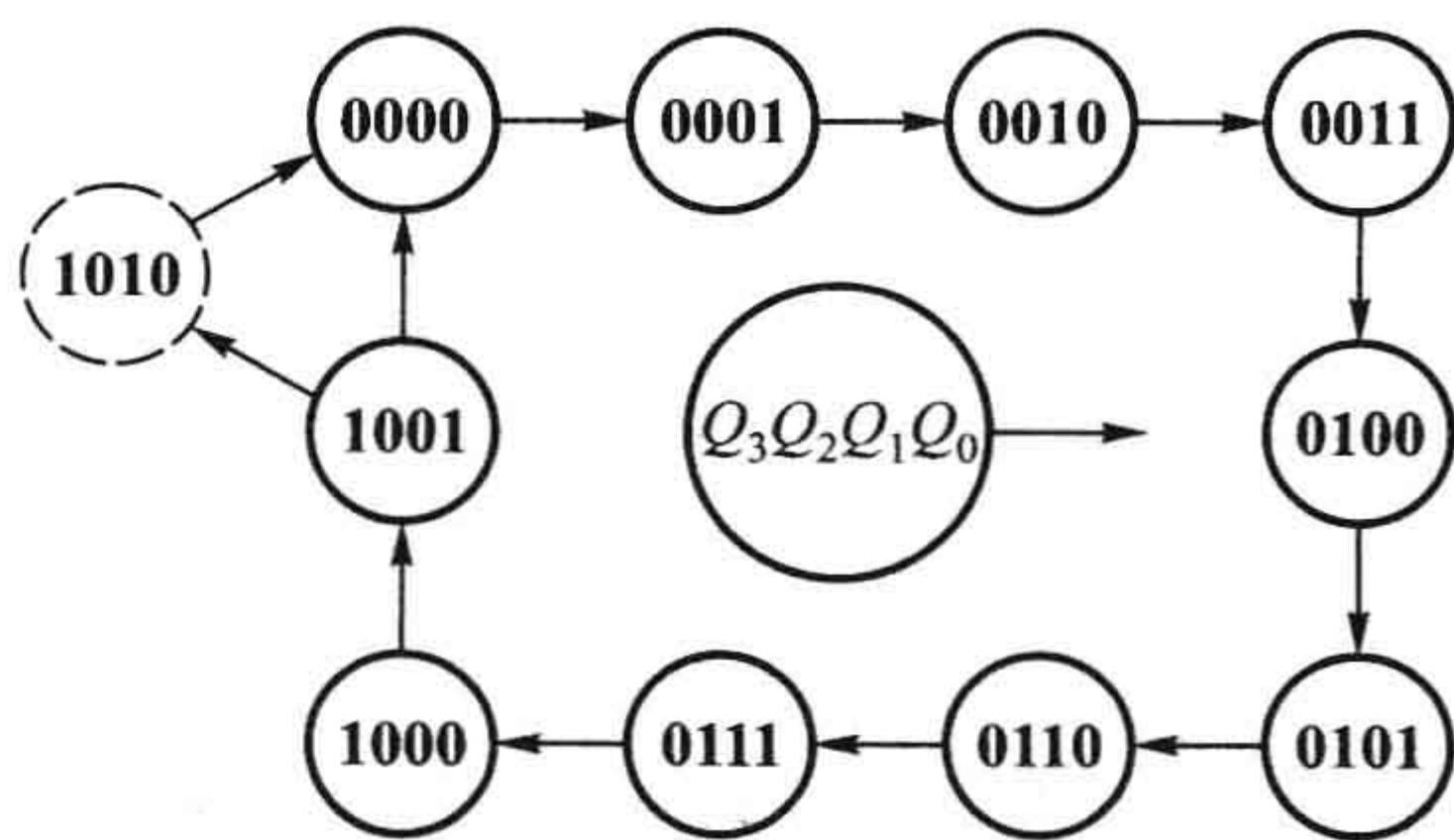
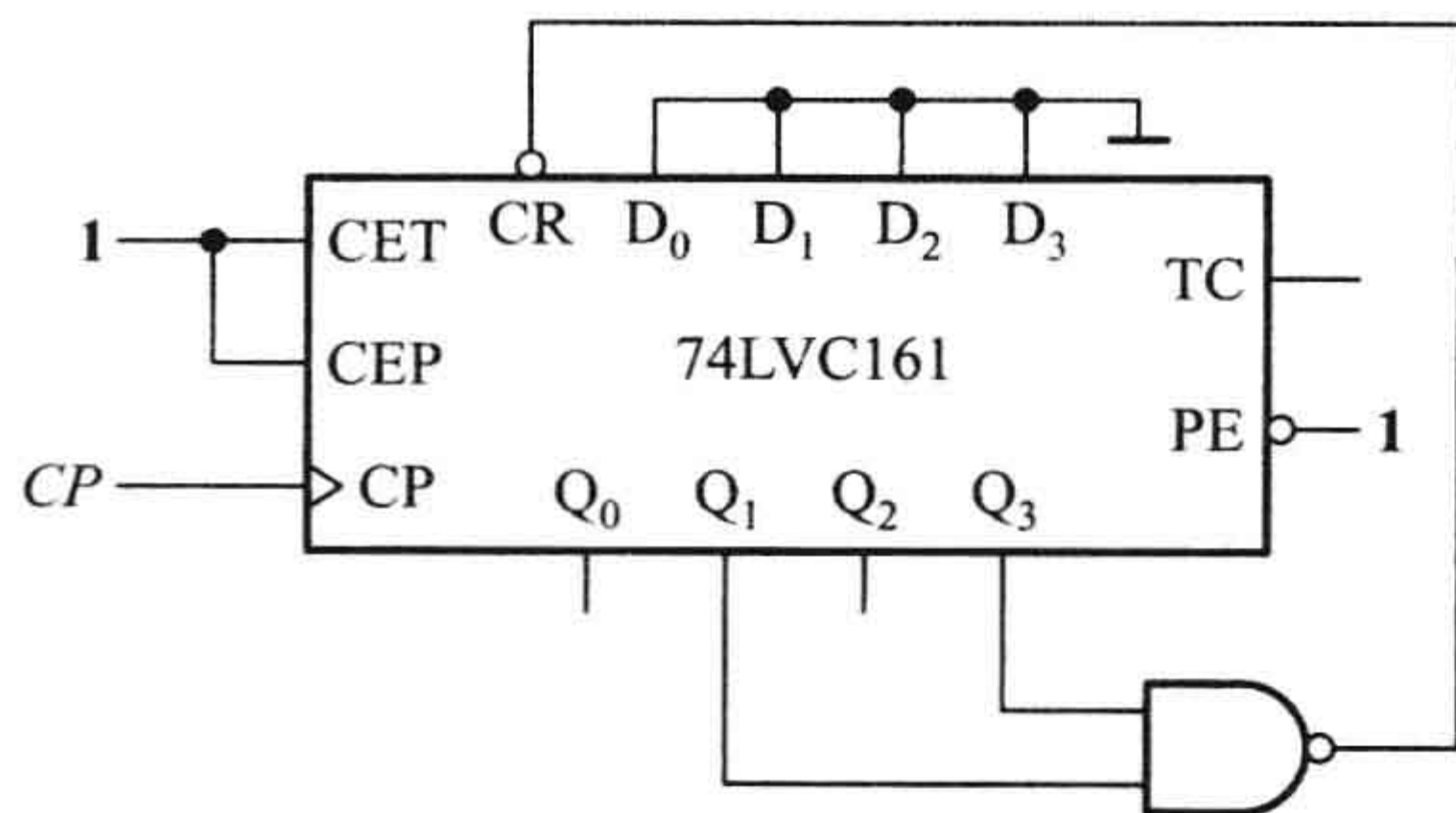


位信号 TC 变为高电平前, C_1 、 C_2 、 C_3 均处于禁止进位状态。在 $A_{11} \sim A_0$ 计数到 **1111 1111 1110** 后, 下一个时钟触发沿到来使 C_0 中的 $Q_0(A_0)$ 翻转为 **1**, 该超前进位信号需要通过 C_0 、 C_1 、 C_2 各组中 G_4 门的延迟, 才能到达 C_3 组, 将 C_3 的 CET 、 CEP 置 **1**。如果考虑 C_3 中还需经过两级门的延迟, Q_0 的跳变需要经过 $5t_{Gpd}$ 的延迟, 才能使 C_3 中的计数器做好进位计数的准备, 迎接下一个时钟触发沿的到来。因此, 该计数器的激励电路传输延迟时间为 $t_{COMpd(max)} \approx 5t_{Gpd}$ 。

图 6.5.13 所示计数器也是以 4 位同步二进制计数器为一组,但各组间采用了加速串行进位方式, C_1 、 C_2 、 C_3 的 CET 和 CEP 是分开连接的。 C_1 的 CET 直接与计数允许 CE 相接,计数器工作时始终处于允许状态,而 C_2 、 C_3 的 CET 则与相邻低位组的 TC 端相连。当计数器的 $A_{11} \sim A_0$ 计数到 **1111 1111 0000** 时, C_1 的 TC 端就置为高电平,有充裕的时间将所有高位组的 CET 置 **1**,但由于 C_1 、 C_2 、 C_3 的 CEP 全部直接与 C_0 的 TC 相接,所以各组仍处于禁止进位状态。当 $A_{11} \sim A_0$ 计数到 **1111 1111 1111** 瞬间, C_0 中 Q_0 的翻转信号只需经过本组的 G_4 一个门延迟时间,就传递到 C_1 、 C_2 、 C_3 的 CEP ,将所有高位组置为进位允许状态,如果考虑各组中还需经过两级门的延迟,最多历时 $3t_{Gpd}$,控制信号就能抵达计数器中所有的触发器。因此,图 6.5.13 所示计数器的 $t_{COMpd(max)} \approx 3t_{Gpd}$,比图题 6.5.12 所示计数器减少 $2t_{Gpd}$,可以工作于更高的时钟频率。

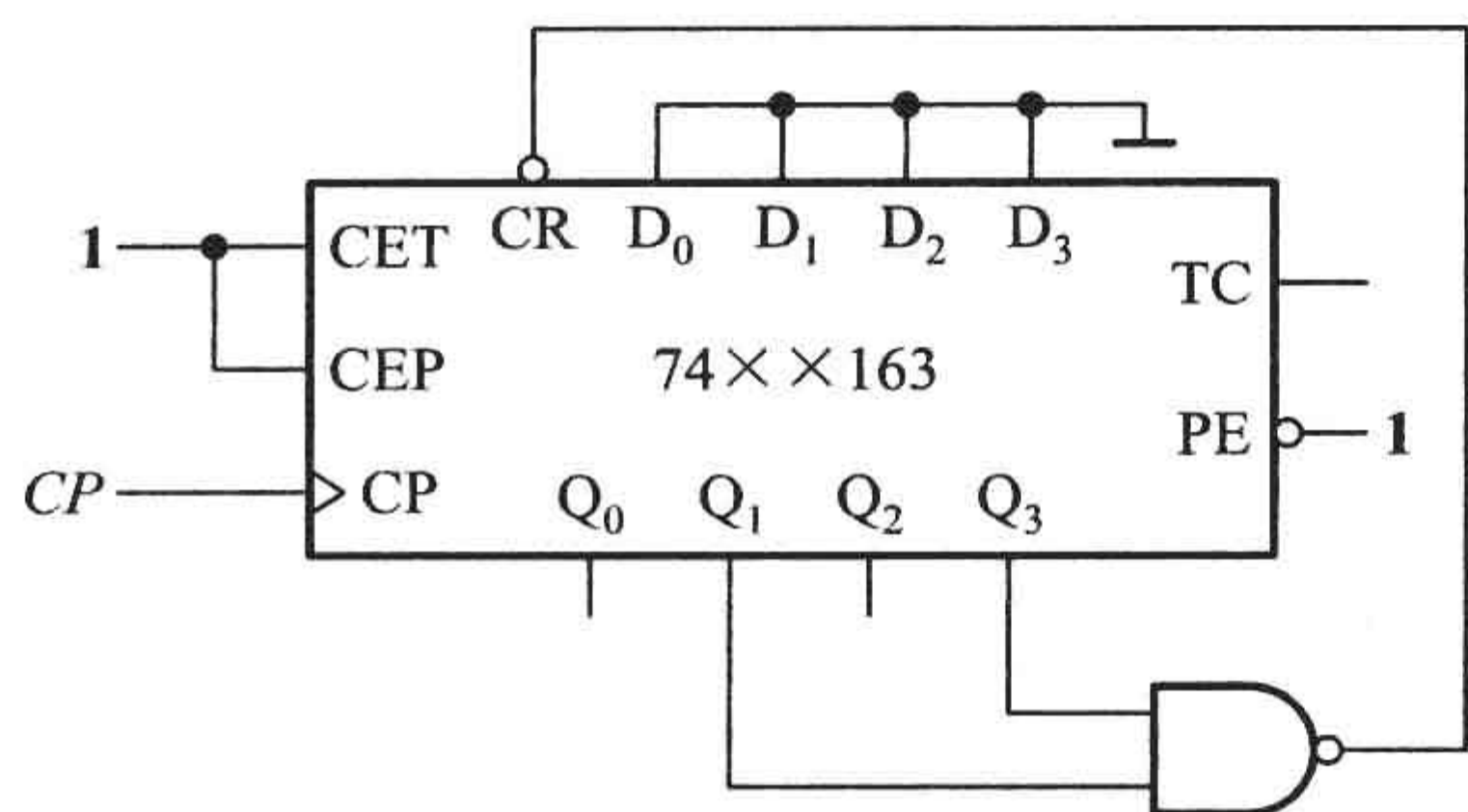
6.5.13 试分析图题 6.5.13 所示计数器,画出它的状态图,并确定它的模。

解:图题 6.5.13 所示电路是由 74LVC161 用“反馈清零法”构成的计数器。设电路的初始状态为 **0000**, 在第 10 个脉冲作用后, $Q_3Q_2Q_1Q_0 = \mathbf{1010}$ 。这时, Q_3 、 Q_1 信号经与非门使 74LVC161 的异步清零输入端 CR 由 **1** 变为 **0**, 整个计数器将回到 **0000** 状态, 完成一个计数周期。此后 CR 恢复为 **1**, 计数器又进入正常计数状态。其中, **1010** 仅在极短的时间内出现, 电路的基本状态只有 **0000 ~ 1001** 十个状态, 状态图如图题解 6.5.13 所示。该电路经 10 个时钟脉冲完成一次循环, 因此为模 10 计数器。

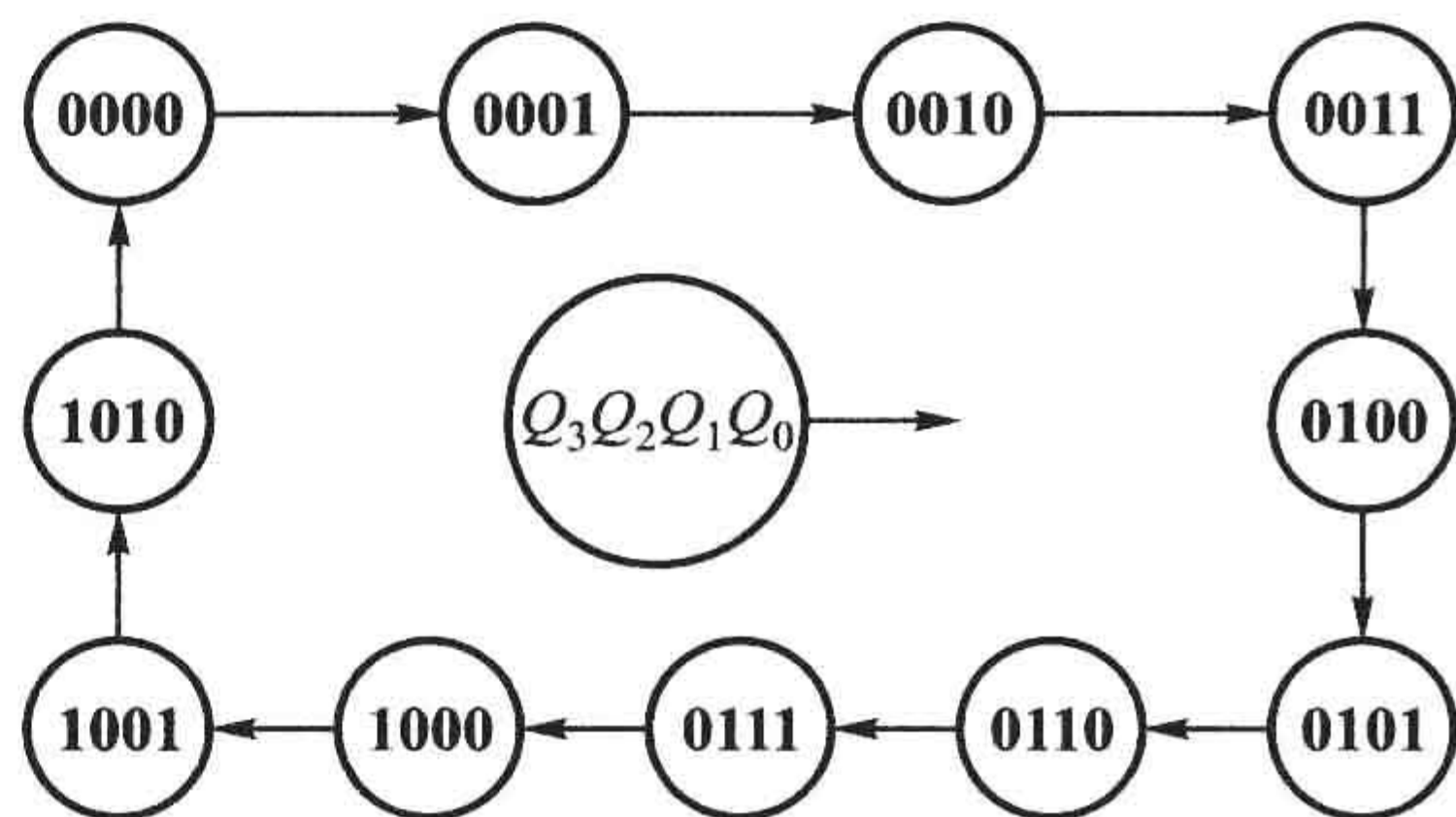


6.5.14 试分析图题 6.5.14 所示计数器,画出它的状态图,并确定它的模。(74×163 是具有同步清零功能的 4 位同步二进制递增计数器,其他功能与 74×161 相同)

解:图题 6.5.14 是用“反馈清零法”构成的计数器。设电路初态为 **0000**,在第 10 个计数脉冲作用后, $Q_3Q_2Q_1Q_0 = 1010$,在图题 6.5.14 中与非门的作用下,同步清零输入端由 **1** 变成 **0**。与题 6.5.13 不同,74×163 是同步清零计数器,当同步清零输入端为 **0** 时不能立即清零,必须等到下一个时钟脉冲作用时,它才完成同步清零操作。因此,该计数器只有在第 11 个计数脉冲作用后, $Q_3Q_2Q_1Q_0$ 才能变成 **0000**。由于电路状态完成一次循环需要 11 个时钟脉冲,所以该计数的模为 $M=11$ 。图题解 6.5.14 所示是它的状态图。



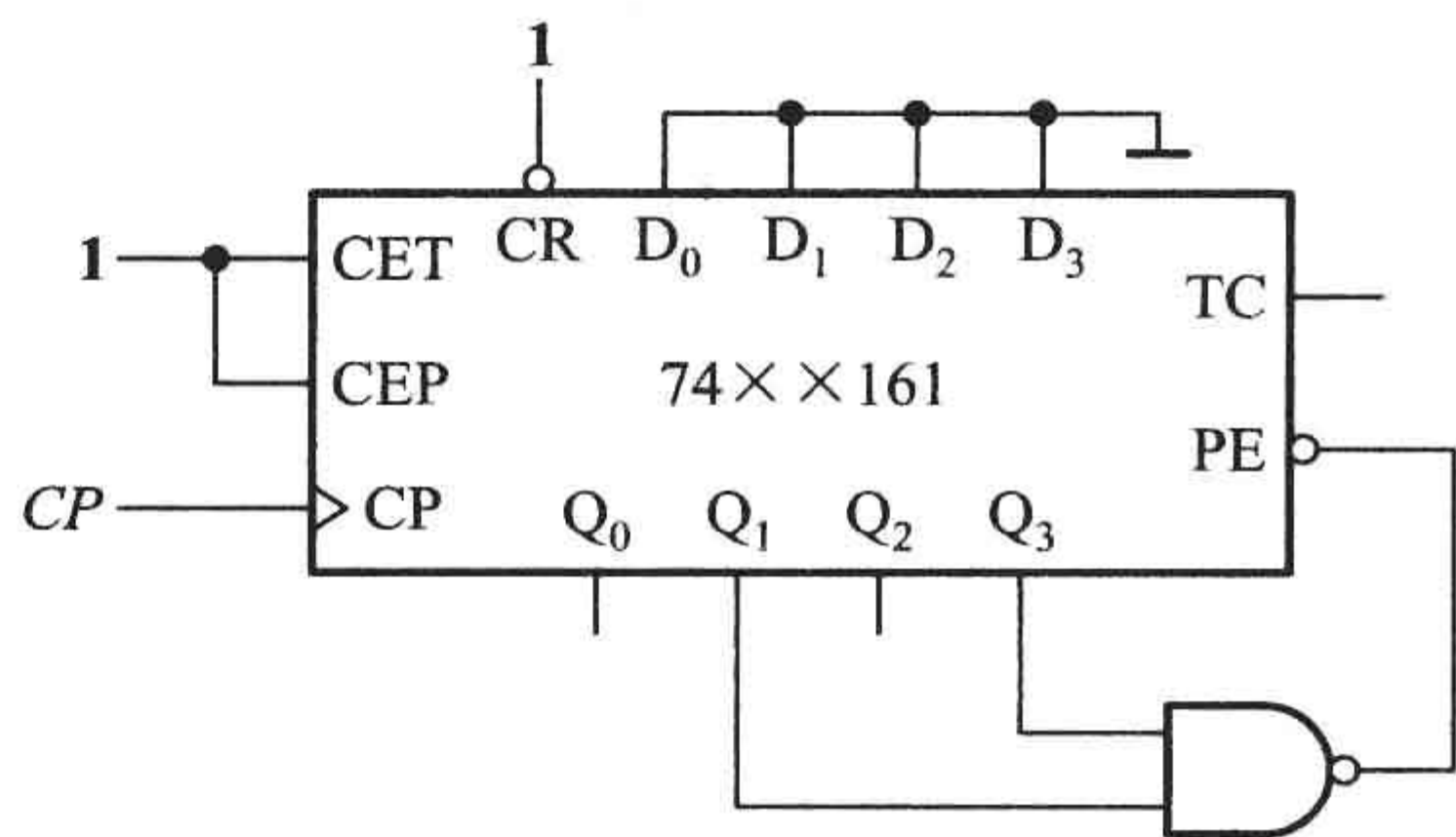
图题 6.5.14



图题解 6.5.14

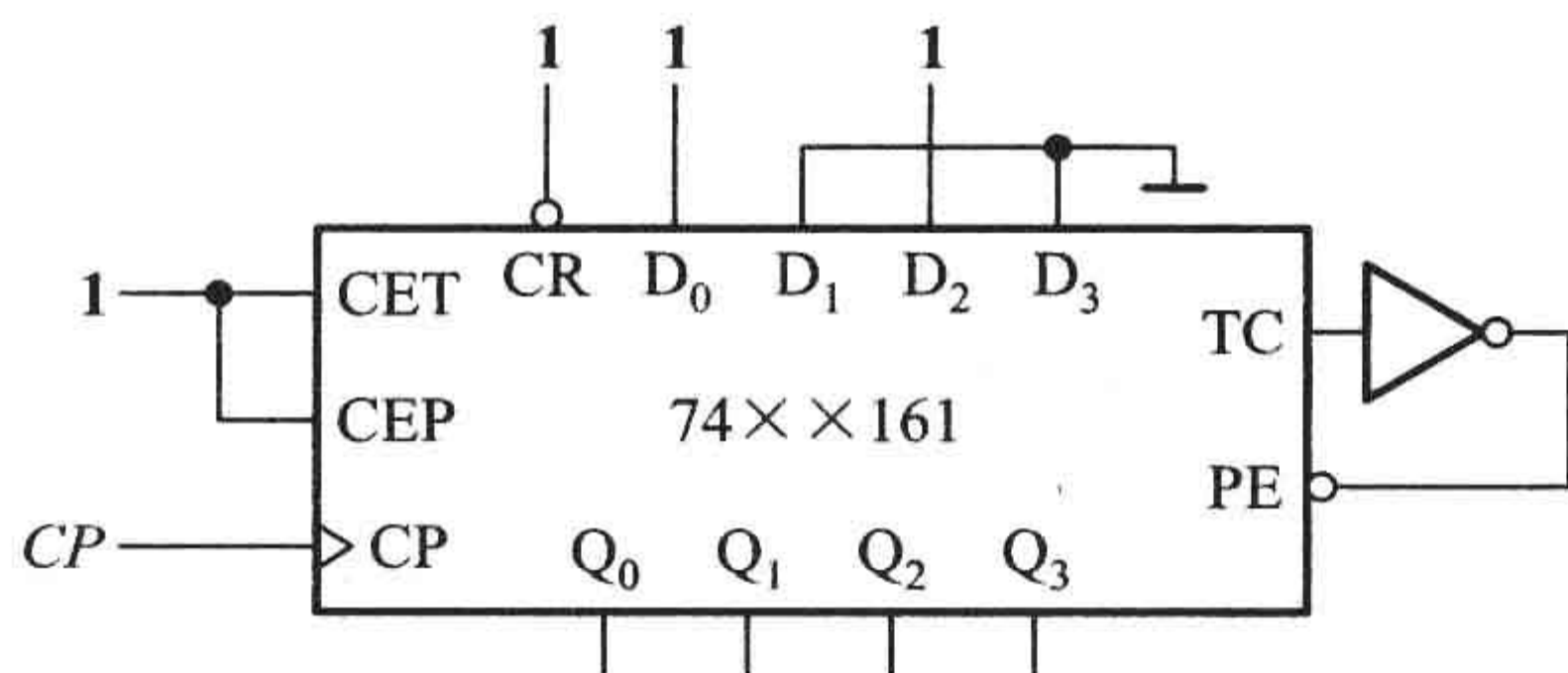
6.5.15 试分析图题 6.5.15 所示计数器,画出它的状态图,并确定它的模。

解:图题 6.5.15 所示电路是由 74×161 用“反馈置数法”构成的计数器。设电路初态为 **0000**,在第 10 个计数脉冲作用后, $Q_3Q_2Q_1Q_0 = 1010$,使并行置数使能端由 **1** 变化为 **0** 而有效,由于 74×161 是同步预置计数器,因此只有在第 11 个计数脉冲作用后,数据输入端 $D_3D_2D_1D_0 = 0000$ 的状态才被置入计数器,使 $Q_3Q_2Q_1Q_0 = 0000$ 。电路的状态图与图题解 6.5.14 相同,是一个模 11 计数器。

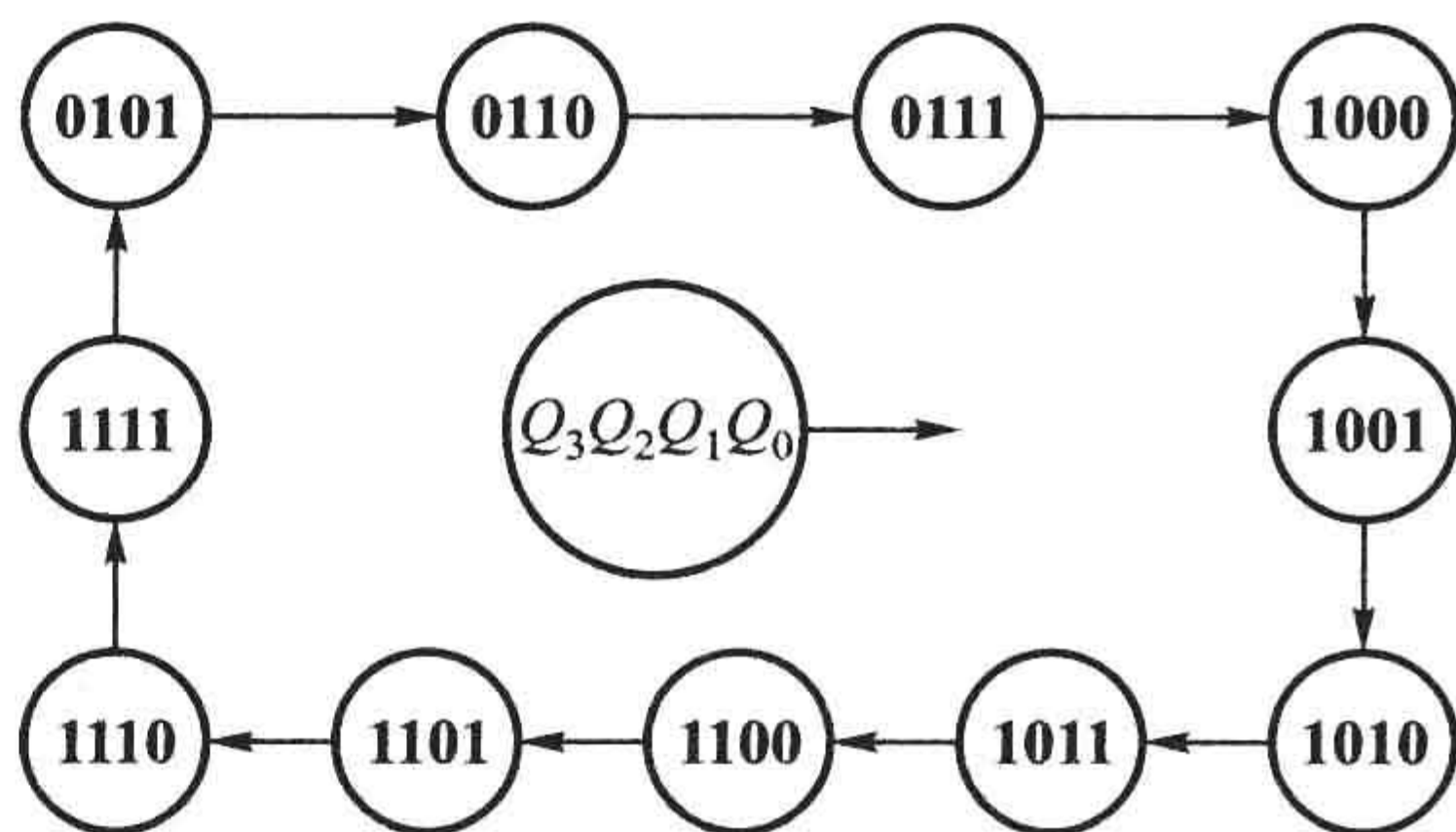


图题 6.5.15

6.5.16 试分析图题 6.5.16 所示计数器,画出它的状态图,并确定它的模。



图题 6.5.16



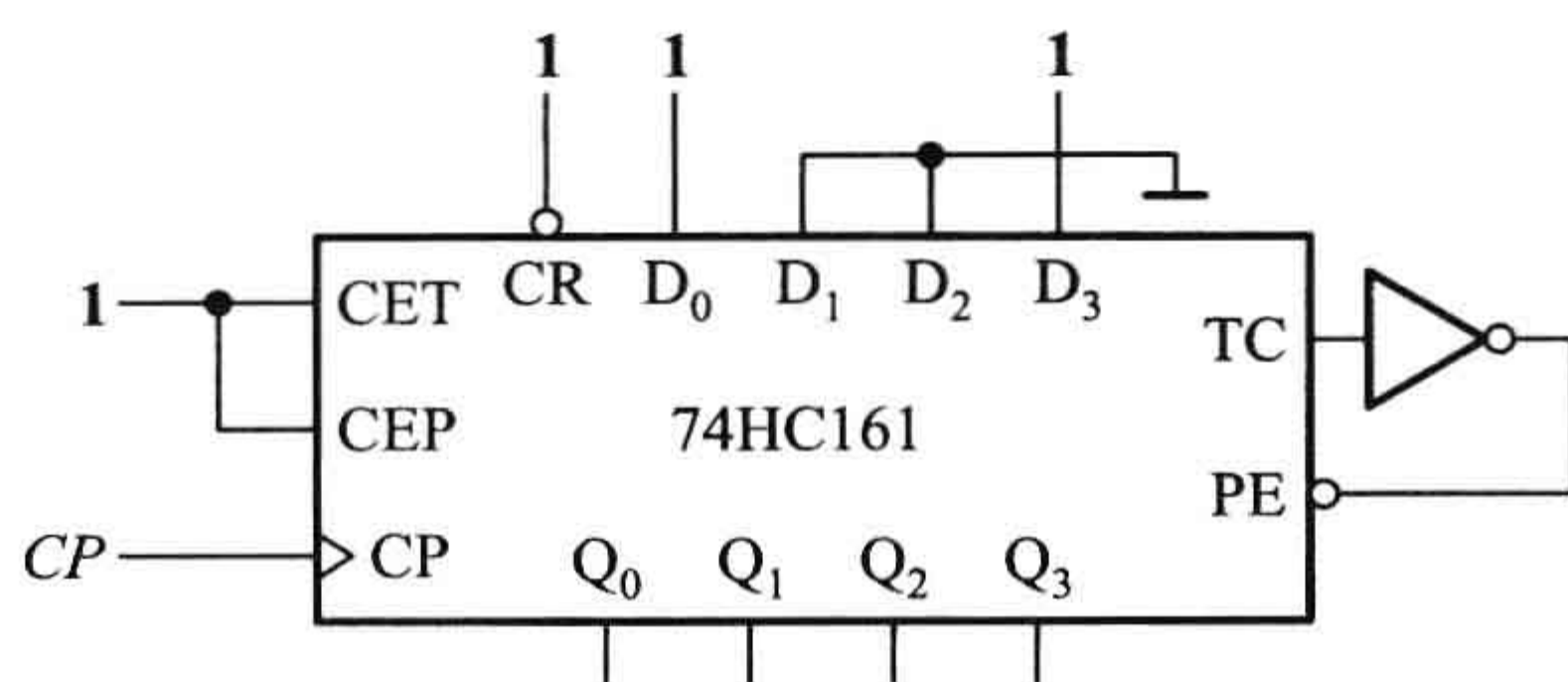
图题解 6.5.16

解:图题 6.5.16 是用“反馈置数法”构成的计数器。设电路的初态为并行置入的数据 $D_3D_2D_1D_0 = 0101$,在第 10 个计数脉冲作用后, $Q_3Q_2Q_1Q_0$ 变成 **1111**,使进位信号 $TC=1$,并行置数

使能端由 1 变化为 0, 因此在第 11 个计数脉冲作用后, 数据输入端 $D_3D_2D_1D_0 = 0101$ 的状态被置入计数器, 使 $Q_3Q_2Q_1Q_0 = 0101$, 为新的计数周期做好准备。电路的状态图如图题解 6.5.16 所示, 它有 11 个状态, 是一个模 11 计数器。

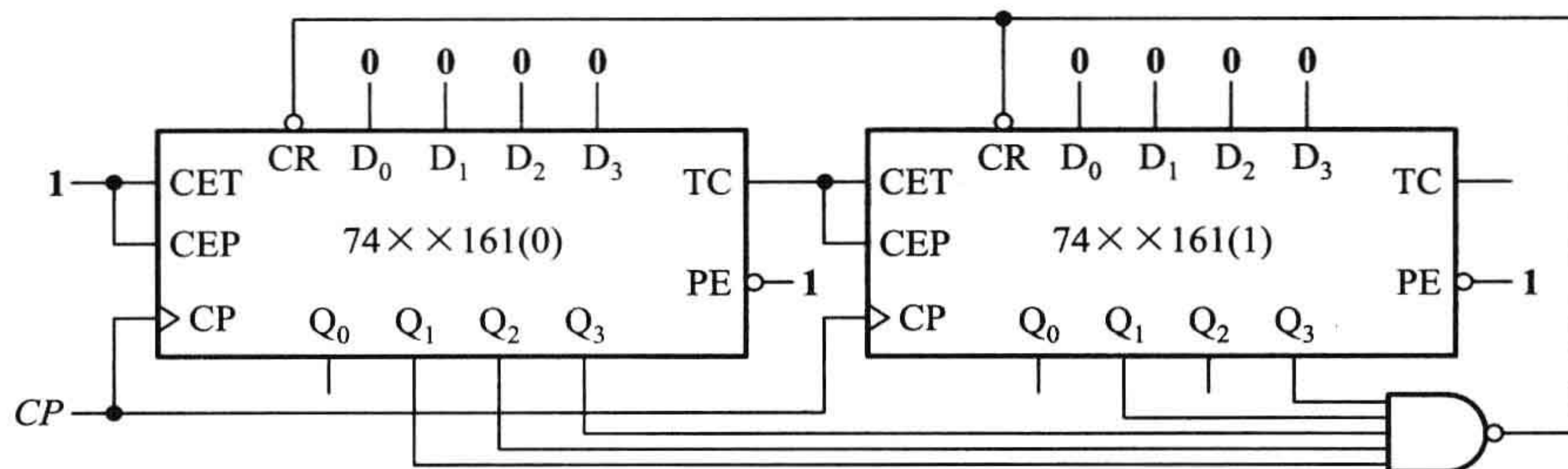
6.5.17 试用 74HC161 设计一个计数器, 其计数序列以自然二进制数 1001 ~ 1111 顺序循环。

解: 由设计要求可知, 74HC161 在计数过程中要跳过 0000 ~ 1000 九个状态而保留 1001 ~ 1111 七个状态。因此, 可用“反馈置数法”实现: 令 74HC161 的数据输入端 $D_3D_2D_1D_0 = 1001$, 并将进位信号 TC 经反相器反相后输入到并行置数使能端。所设计的电路如图题解 6.5.17 所示。



图题解 6.5.17

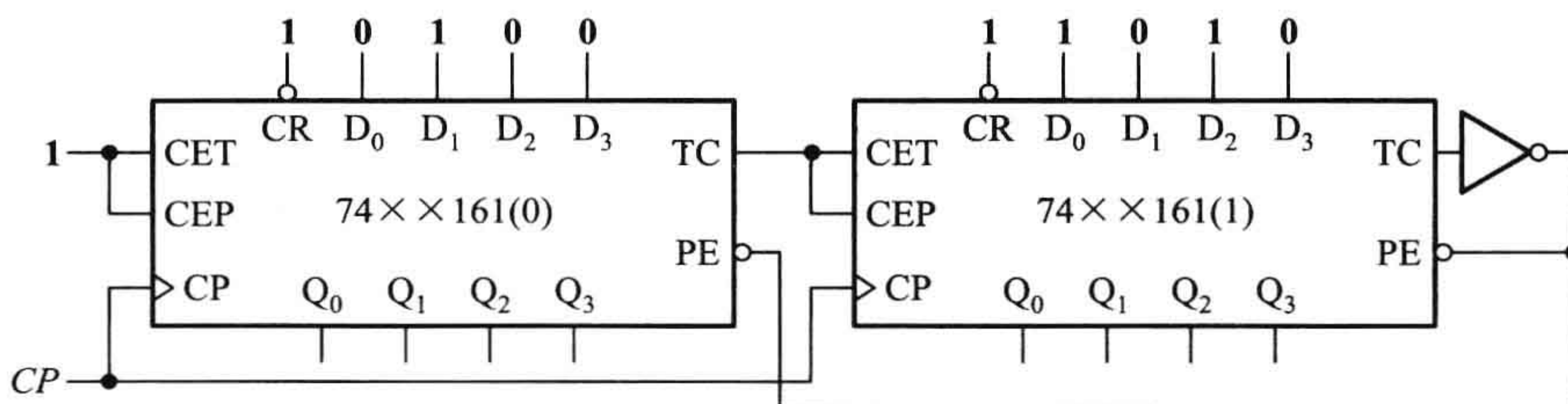
6.5.18 试分析图题 6.5.18 所示计数器, 确定它的模。



图题 6.5.18

解: 由图题 6.5.18 所示计数器可知, 它是用“反馈清零法”构成的。当输出端状态为 1010 1110 时, 与非门输出清零信号, 使 2 片 74×161 同时清零, 计数器又从 0000 0000 状态开始计数。由于 $(1010\ 1110)_2 = (174)_{10}$, 因此该计数器的模 $M = 174$ 。

6.5.19 试分析图题 6.5.19 所示计数器, 确定它的模。



图题 6.5.19

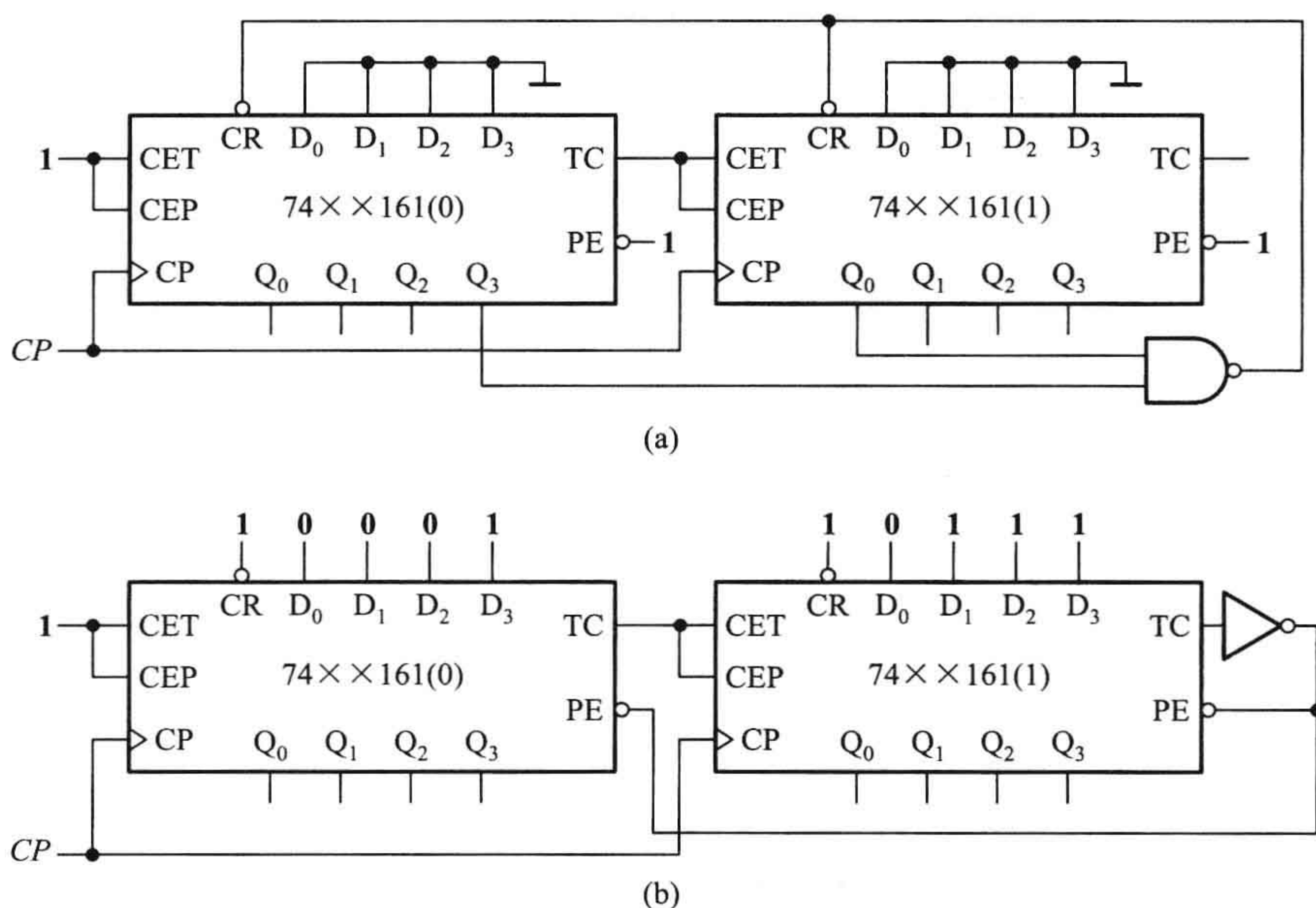
解:两片 74×161 级连连接后,最多可能有 $16^2 = 256$ 个不同的状态。而在用“反馈置数法”构成的图题 6.5.19 所示电路中,数据输入端所输入的数据为 **0101 0010**,它所对应的十进制数是 82,说明该电路在置数以后从 **0101 0010** 状态开始计数,跳过了 82 个状态。因此,该计数器的模 $M = 256 - 82 = 174$ 。

6.5.20 试用 74×161 构成同步模 24 计数器,要求采用两种不同的方法。

解:因为 $M = 24$,有 $16 < M < 256$,所以要用两片 74×161 。将两芯片的 CP 端直接与计数脉冲相连,构成同步计数电路,并将低位芯片的进位信号连到高位芯片的计数使能端。用“反馈清零法”或“反馈置数法”跳过 $256 - 24 = 232$ 个多余状态。

反馈清零法:利用 74×161 的“异步清零”功能,在第 24 个计数脉冲作用后,电路的输出状态为 **0001 1000** 时,将低位芯片的 Q_3 及高位芯片的 Q_0 信号经与非门产生清零信号,输出到两芯片的异步清零端,使计数器从 **0000 0000** 状态开始重新计数。其电路如图题解 6.5.20(a) 所示。

反馈置数法:十进制数 24 对应的二进制数为 **0001 1000**,利用 74×161 的“同步预置数据”功能,在两片 74×161 的数据输入端从高位到低位输入 **0001 1000** 的补码 **1110 1000**(对应的十进制数是 232),并将高位芯片的进位信号经反相器接至并行置数使能端。这样,在第 23 个计数脉冲作用后,电路输出状态为 **1111 1111**,使进位信号 $TC = 1$,将并行置数使能端置零。在第 24 个计数脉冲作用后,将 **1110 1000** 置入两计数器,并从此状态开始重新计数。其电路如图题解 6.5.20(b) 所示。



图题解 6.5.20

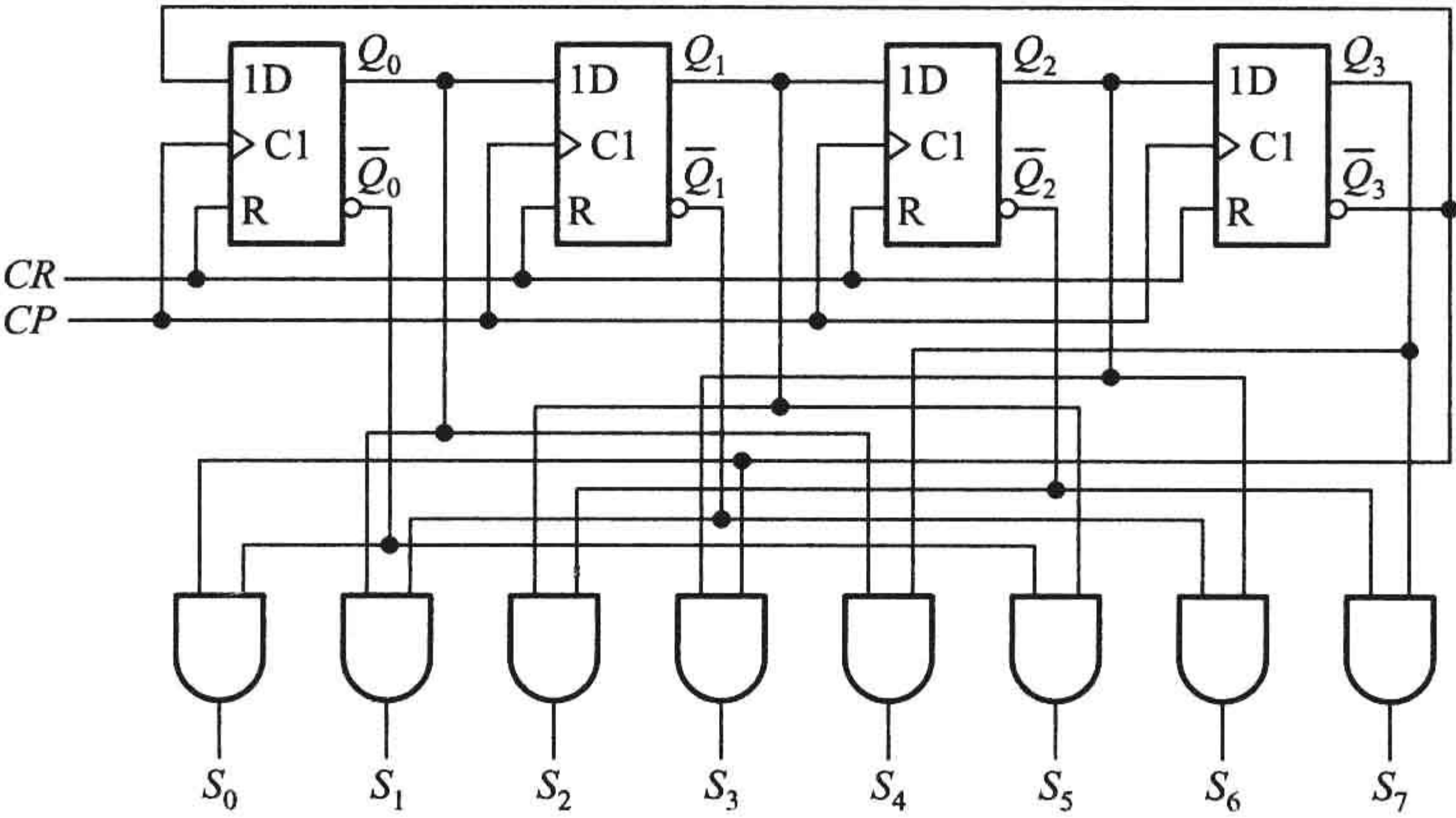
6.5.21 试用 4 个具有复位功能的 D 触发器设计一个扭环行计数器,用复位方式将计数器初始状态置为 $Q_3 Q_2 Q_1 Q_0 = 0000$,并用 8 个二输入端与门对它的 8 个计数状态译码,画出电路图。

解:将 4 位移位寄存器的 $\overline{Q_3}$ 与 D_0 相连,则构成 4 位扭环行计数器,它的 8 个状态如表题解 6.5.21 所示。

表题解 6.5.21 4 位扭环形计数器的 8 个状态及其译码

状态	Q_3	Q_2	Q_1	Q_0	状态译码
S_0	0	0	0	0	$\overline{Q_3} \overline{Q_0}$
S_1	0	0	0	1	$\overline{Q_3} Q_0$
S_2	0	0	1	1	$\overline{Q_3} Q_1$
S_3	0	1	1	1	$\overline{Q_3} Q_2$
S_4	1	1	1	1	$Q_3 Q_0$
S_5	1	1	1	0	$Q_1 \overline{Q_0}$
S_6	1	1	0	0	$Q_2 \overline{Q_1}$
S_7	1	0	0	0	$Q_3 \overline{Q_2}$

可按表题解 6.5.21 中的状态译码连接 8 个二输入端与门,得到如图题解 6.5.21 所示的电路图。

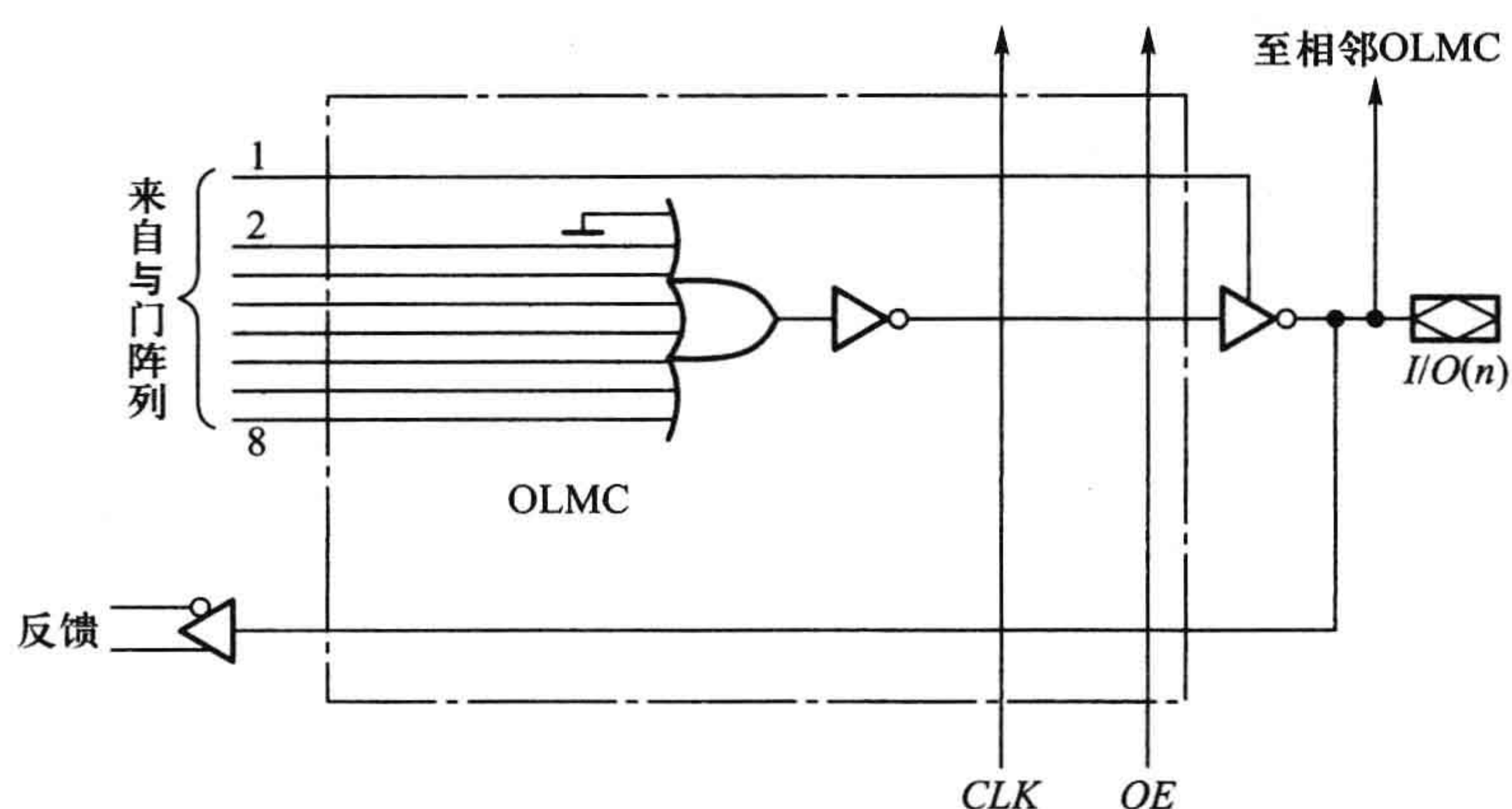


图题解 6.5.21

6.6 简单的时序可编程逻辑器件 GAL

6.6.1 对于图 6.6.4 所示的 OLMC,试画出当 $AC_0=1, AC_1(n)=1, XOR(n)=1$ 时的等效逻辑电路。

解:当 $AC_0=1, AC_1(n)=1, XOR(n)=1$ 时,根据 OLMC 中数据选择器所选择的通路,得到的等效逻辑电路如图题解 6.6.1 所示。



图题解 6.6.1

6.7 用 Verilog HDL 描述时序逻辑电路

6.7.1 根据图 6.5.2 所示的逻辑图,试用 Verilog 语言描述 4 位移位寄存器的功能。然后用 Quartus II 软件进行逻辑功能仿真,并给出仿真波形。

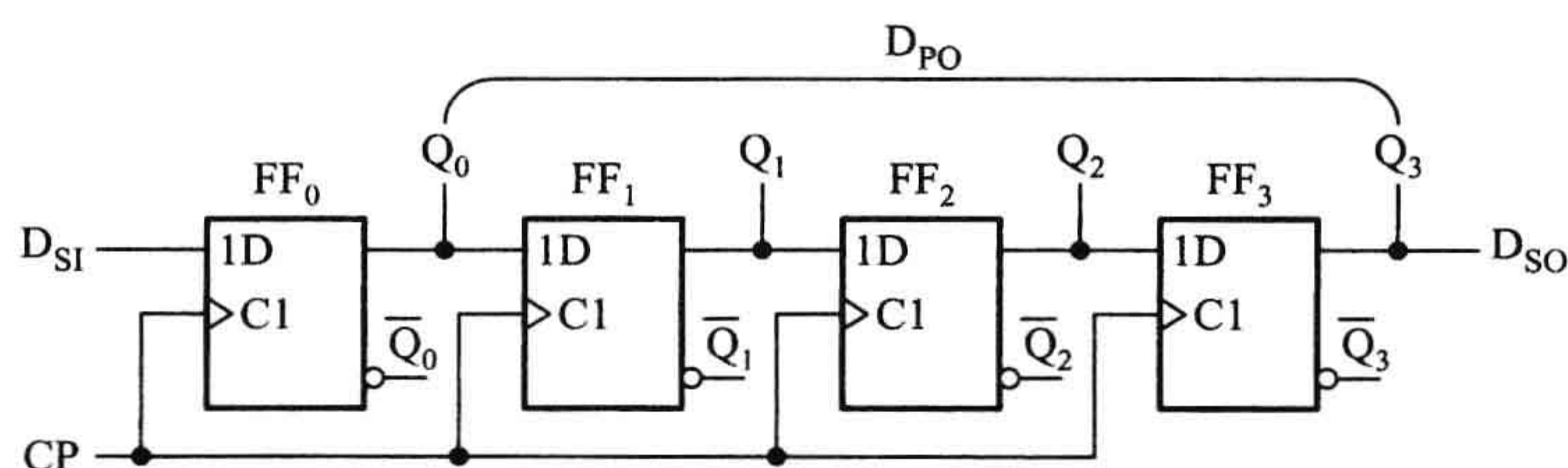


图 6.5.2 用 D 触发器构成的四位移位寄存器

解:4 位移位寄存器的 Verilog HDL 行为描述程序如下:

//4-bit Shift Register

```
module shifter(Q, Dsi, Dso, CP);
```

```
    input Dsi, CP;
```

```
    output reg [3:0] Q;
```

```
    output Dso;
```

```
    assign Dso = Q[3];           // 串行输出数据
```

```
    always @ (posedge CP)
```

```
    begin
```

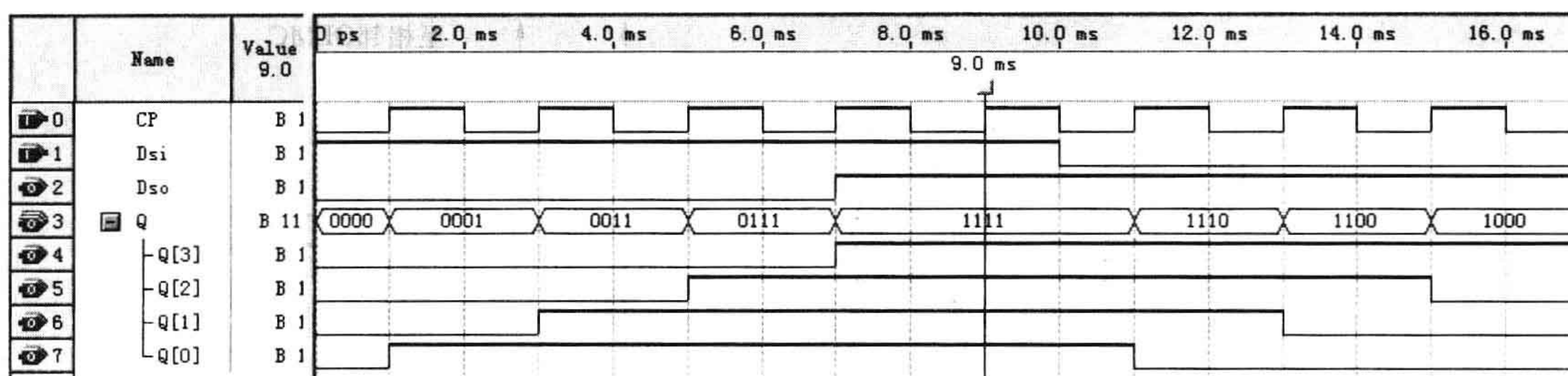
```
        Q[0] <= Dsi;           // 串行数据移到输出的最低位
```

```
        Q[3:1] <= {Q[2:0]};    // 左移 1 位
```

```
    end
```

```
endmodule
```

仿真波形如图题解 6.7.1 所示。



图题解 6.7.1

6.7.2 阅读下列程序,说明它所完成的功能。

```

module shiftn ( Q, PData, SerialData, Load, CP );
    input SerialData;           //Serial Data inputs
    input CP, Load;             //Clock and Load control
    input [n-1:0] PData;        //Parallel Data input
    output reg [n-1:0] Q;       //Register output
    parameter n = 8;
    integer k;
    always @ (posedge CP)
        if ( Load ) Q <= PData; //Parallel load input
        else
            begin
                for ( k=0; k<n-1; k=k+1 )
                    Q[k] <= Q[k+1];
                Q[n-1] <= SerialData;
            end
    endmodule

```

解:这是一个上升沿触发的通用移位寄存器(默认值为8位),具有同步并行预置数据、串行输入和移位的功能。

当 Load=1 时,并行置数,即在 CP 信号上升沿到来时,将并行输入端口 PData 的数据送到 Q 输出;当 Load=0 时,进行移位操作,即在 CP 信号上升沿到来时,将串行输入端口 SerialData 来的数据送给最高位 Q[n-1],同时 $Q[n-1] \rightarrow Q[n-2] \rightarrow \dots \rightarrow Q[1] \rightarrow Q[0]$ (数据从高位向低位移动)。

6.7.3 试用 Verilog 语言描述一个 4 位二进制可逆计数器的行为。要求如下:

(1) 电路具有 5 种功能,即异步清零、同步置数、递增计数、递减计数和保持原有状态不变。且要求计数器能输出进位信号和借位信号,即当计数器递增计数到最大值时,产生一个高电平有效的进位信号 Co;当计数器递减计数到最小值 0 时,产生一个高电平有效的借位信号 Bo。

(2) 用 Quartus II 软件进行逻辑功能仿真,并给出仿真波形。

解:4 位二进制可逆计数器 Verilog HDL 行为描述程序如下:

```
//4-bit Synchronous Up-Down Counter with Asynchronous clear
```

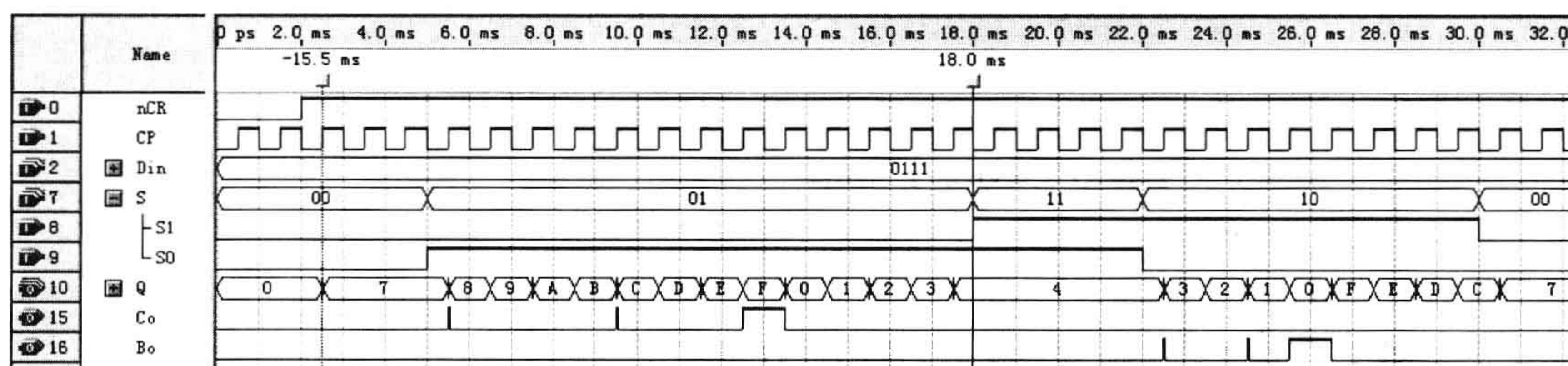


```

module Counter ( Q, Co, Bo, nCR, CP, S1, S0, Din );
parameter Width = 4;
input nCR, CP;                                //Clock and Reset
input [ Width-1:0 ] Din;                       //Parallel Data input
input S1, S0;                                  //Function select inputs
output [ Width-1:0 ] Q;                        //Register output
reg [ Width-1:0 ] Q;
output Co, Bo;
wire Co, Bo;
always @ ( posedge CP or negedge nCR )
begin
    if ( ~ nCR ) Q <= 4'h0;                      //asynchronous clear
    else
        case( { S1, S0 } )
            2'b00: Q <= Din;                     //Synchronous parallel load input
            2'b01: Q <= Q+1;                     //Synchronous counts up
            2'b10: Q <= Q-1;                     //Synchronous counts down
            2'b11: Q <= Q;                       //No change
        endcase
    end
    assign Co = &Q & ( ~ S1 & S0 );             //Co = 1 when all Q bits equal 1
    assign Bo = ~ |Q & ( S1 & ~ S0 );           //Bo = 1 when all Q bits equal 0
endmodule

```

仿真波形如图题解 6.7.3 所示。



图题解 6.7.3

6.7.4 试用 Verilog 语言描述一个变模计数器,在 S 和 T 的控制下,实现同步模 5、模 8、模 10 和模 12 计数,其模数控制表如表题 6.7.4 所示,并要求具有异步清零和暂停计数的功能。然后用 Quartus II 软件进行逻辑功能仿真,并给出仿真波形。

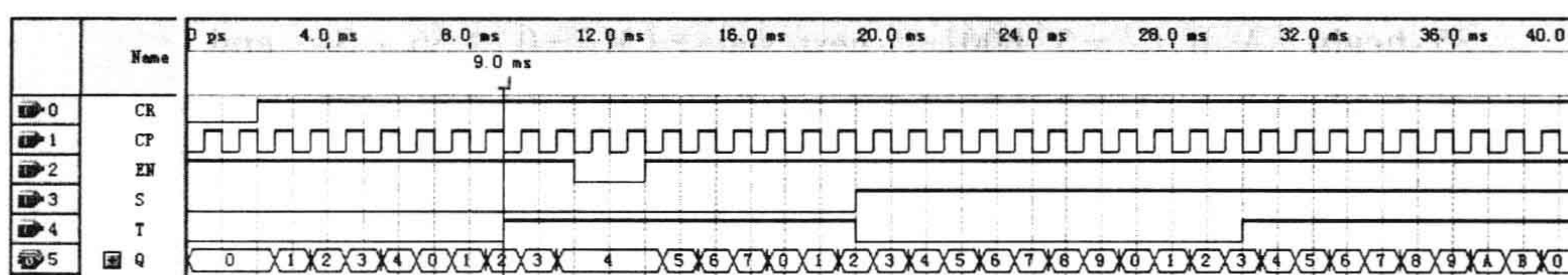
表题 6.7.4 计数器的模数控制表

控制信号 S T	模数
0 0	模 5 计数
0 1	模 8 计数
1 0	模 10 计数
1 1	模 12 计数

解:变模计数器的 Verilog HDL 行为描述程序如下:

```
//Counter of Variable Mode
module Var_Counter( CP, CR, EN, S, T, Q );
  input CP, CR, EN, S, T;
  output [3:0] Q; //4-bit register output
  reg [3:0] Q;
  always @ ( posedge CP or negedge CR )
  begin
    if ( ~ CR ) Q <= 4 ' d0; //asynchronous clear
    else if ( EN )
      begin
        case ( { S,T } ) //由 { S,T } 控制模数切换
          2 ' b00 : if( Q >= 4 ' d4 ) Q <= 4 ' d0; //M=5
                     else Q <= Q + 1 ' d1;
          2 ' b01 : if( Q >= 4 ' d7 ) Q <= 4 ' d0; //M=8
                     else Q <= Q + 1 ' d1;
          2 ' b10 : if( Q >= 4 ' d9 ) Q <= 4 ' d0; //M=10
                     else Q <= Q + 1 ' d1;
          2 ' b11 : if( Q >= 4 ' d11 ) Q <= 4 ' d0; //M=12
                     else Q <= Q + 1 ' d1;
        endcase
      end
    else Q <= Q; //EN=0 时,暂停计数
  end
endmodule
```

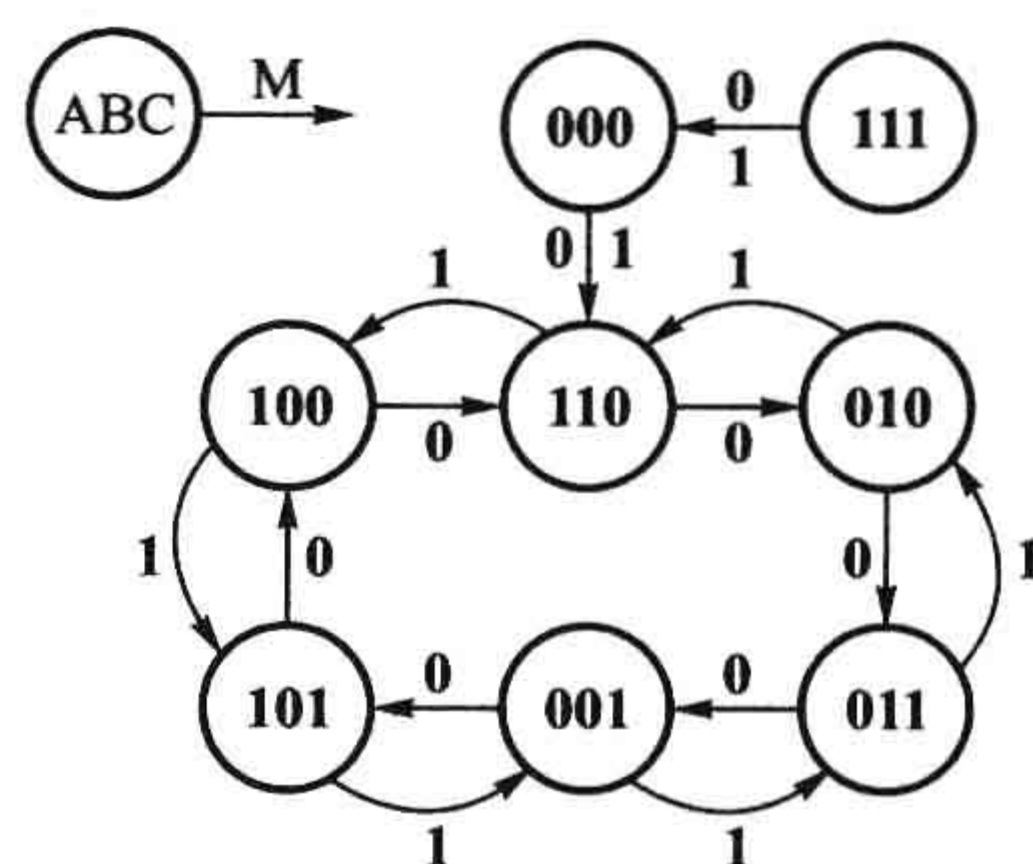
仿真波形如图题解 6.7.4 所示。



图题解 6.7.4

6.7.5 某电路的状态图如图题 6.7.5 所示,图中, M 为控制变量,当 $M=0$ 时,电路按顺时针方向所指的状态进行转换;当 $M=1$ 时,则按逆时针方向进行状态转换。试用 Verilog 描述该电路的功能,并用 Quartus II 软件进行逻辑功能仿真,并给出仿真波形。

解:由状态图可知,电路的输出变量为 A 、 B 、 C ,输入变量为 M ,再增加两个输入变量,即时钟信号 CP 和清零信号 CR 。于是得到下面的 Verilog HDL 行为描述程序:



图题 6.7.5

```
//A Moor State machine
module Motor (A, B, C, M, CP, CR);
    input M, CP, CR;
    output A, B, C;
    reg A, B, C;
    reg [2 : 0] current_state, next_state; //分别为 3 个内部触发器的输出、输入信号
    //The state labels and their assignments
    parameter S0 = 3'b000, S1 = 3'b001, S2 = 3'b010, S3 = 3'b011, S4 = 3'b100,
               S5 = 3'b101, S6 = 3'b110, S7 = 3'b111;
    always @ (posedge CP) //The state register
    begin
        if ( ~ CR) current_state <= S0; //同步清零
        else current_state <= next_state; //在 CP 的上升沿触发器状态翻转
    end
    //The combinational logic, assign the next state
    always @ ( current_state or M)
    begin
        case ( current_state)
            S7 : begin { A, B, C } = 3'b111; next_state = S0; end
            S0 : begin { A, B, C } = 3'b000; next_state = S2; end
            S1 : begin { A, B, C } = 3'b100; next_state = ( M == 0 ) ? S2 : S6; end
            S2 : begin { A, B, C } = 3'b110; next_state = ( M == 0 ) ? S3 : S1; end
            S3 : begin { A, B, C } = 3'b010; next_state = ( M == 0 ) ? S4 : S2; end
            S4 : begin { A, B, C } = 3'b011; next_state = ( M == 0 ) ? S5 : S3; end
```

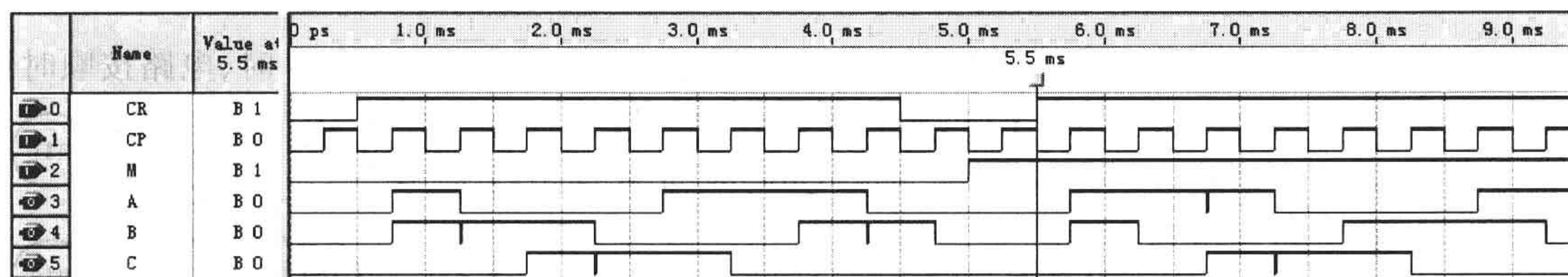


```

S5:begin { A,B,C } = 3'b001;  next_state = ( M == 0 ) ? S6 : S4; end
S6:begin { A,B,C } = 3'b101;  next_state = ( M == 0 ) ? S1 : S5; end
endcase
end
endmodule

```

仿真波形如图题解 6.7.5 所示。



图题解 6.7.5

6.7.6 设计一个序列检测器电路。功能是检测出串行输入数据 *Data* 中的 4 位二进制序列 **0101** (自左至右输入), 当检测到该序列时, 输出 $Out = 1$; 没有检测到该序列时, 输出 $Out = 0$ 。要求:

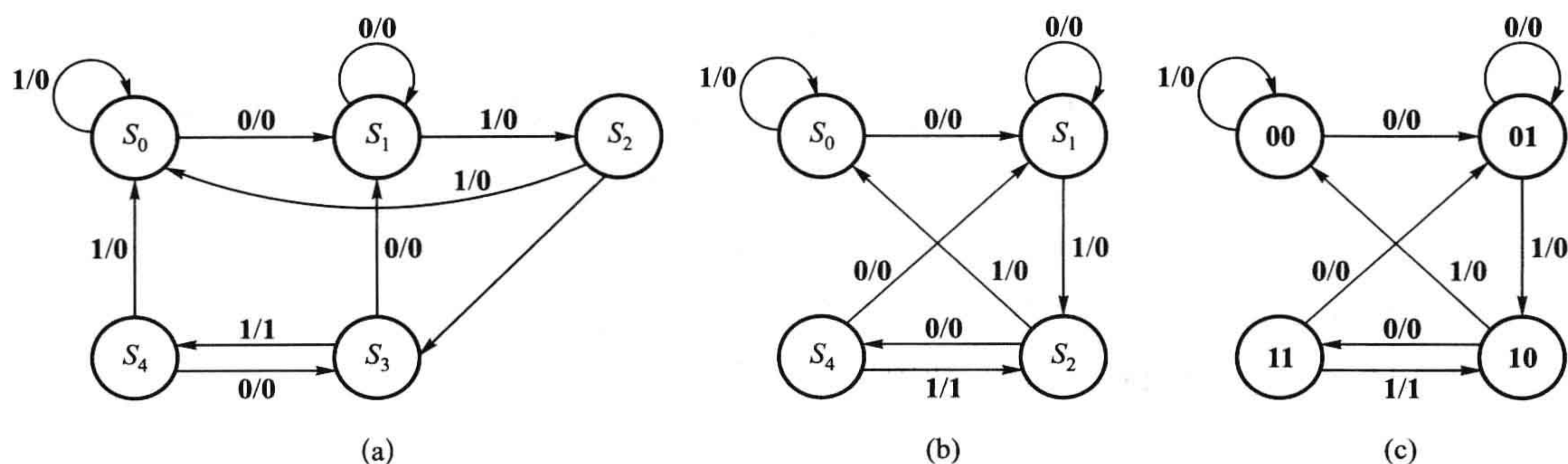
- (1) 给出电路的状态编码, 画出状态图 (注意考虑序列重叠的可能性, 如 **010101**, 相当于出现两个 **0101** 序列)。
- (2) 用 *JK* 触发器和门电路来设计此电路。
- (3) 用 Verilog 的行为描述方式描述该电路的功能。
- (4) 然后用 Quartus II 软件进行逻辑功能仿真, 并给出仿真波形。

解: (1) 由设计要求可知, 该电路有一个输入 *Data* 和一个输出 *Out*, 电路功能是对输入数据进行检测。

因为该电路在连续收到信号 **0101** 时, 输出为 **1**, 其他情况下输出为 **0**, 因此要求该电路能记忆收到的输入数据 **0**、连续收到前两个数据 **01**、连续收到前三个数据 **010**、连续收到 **0101** 后的状态, 可见该电路至少应有四个状态, 分别用 S_1 、 S_2 、 S_3 、 S_4 表示。若假设电路的初始状态用 S_0 表示, 则可用五个状态来描述该电路。

开始时, 假设电路处于初始状态 S_0 , 当收到第一个数据为 **1** 时, 则电路仍处于 S_0 状态; 当收到第一个有效数据 **0** 时, 电路进入 S_1 状态。接着, 若电路收到第二个有效数据 **1** (即连续收到 **01**), 则电路进入 S_2 状态; 若电路收到的第二个数据仍为 **0**, 则电路仍处于 S_1 状态。现在, 若电路处于状态 S_2 , 在此状态下, 电路收到输入数据可能为 $Data = 0$ 和 $Data = 1$ 两种情况。若 $Data = 0$, 则电路已连续收到 **010** 三个有效数据, 电路应转向 S_3 状态; 若 $Data = 1$, 则电路应返回到初始状态 S_0 , 重新开始检测。现在以 S_3 为现态, 若 $Data = 1$, 则电路已连续收到四个有效数据 **0101**, 电路应给出输出信号 $Out = 1$, 同时电路应转向 S_4 状态; 若 $Data = 0$, 则输出 $Out = 0$, 且应进入 S_1 。现在以 S_4 为现态, 若 $Data = 1$, 则电路应进入 S_1 状态; 若 $Data = 0$, 则电路应进入 S_3 状态。根据上述分析, 可以画出该题的原始状态图, 如图题解 6.7.6(a) 所示。

观察该图便知, 图中 S_2 、 S_4 为等价状态, 可用 S_2 代替 S_4 , 于是得到简化状态图, 如图题解 6.7.6(b) 所示。



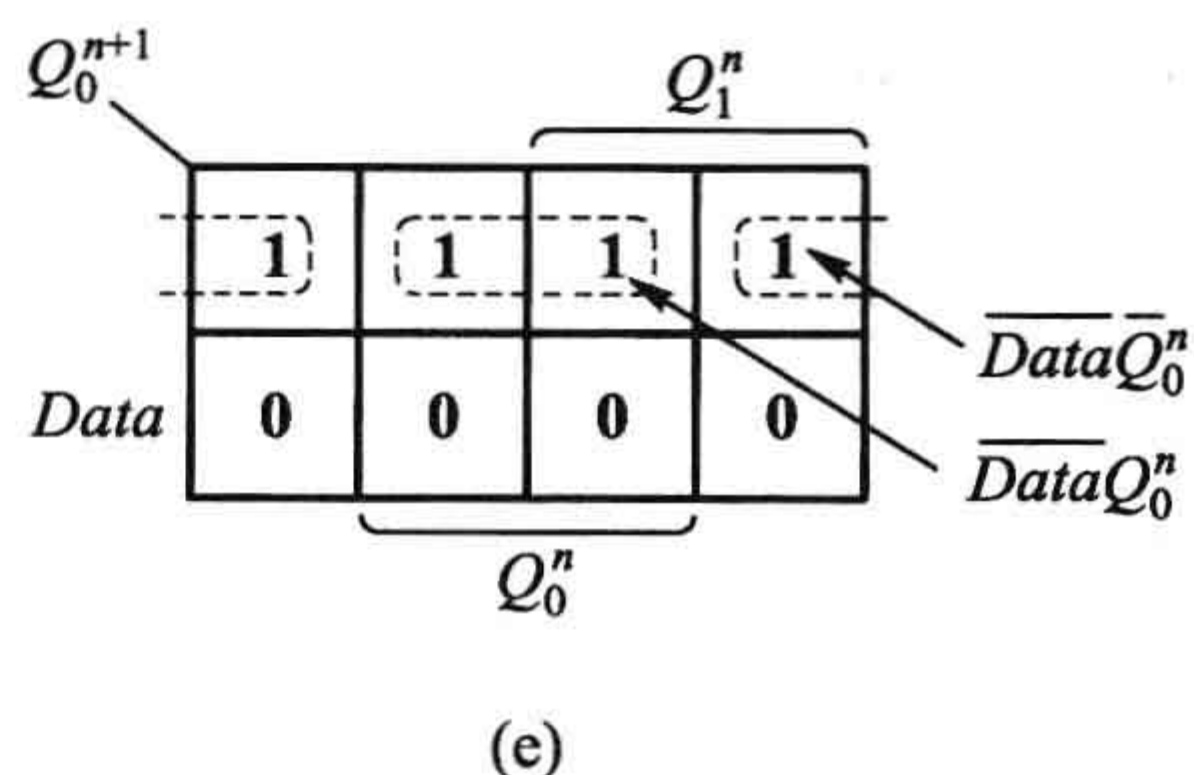
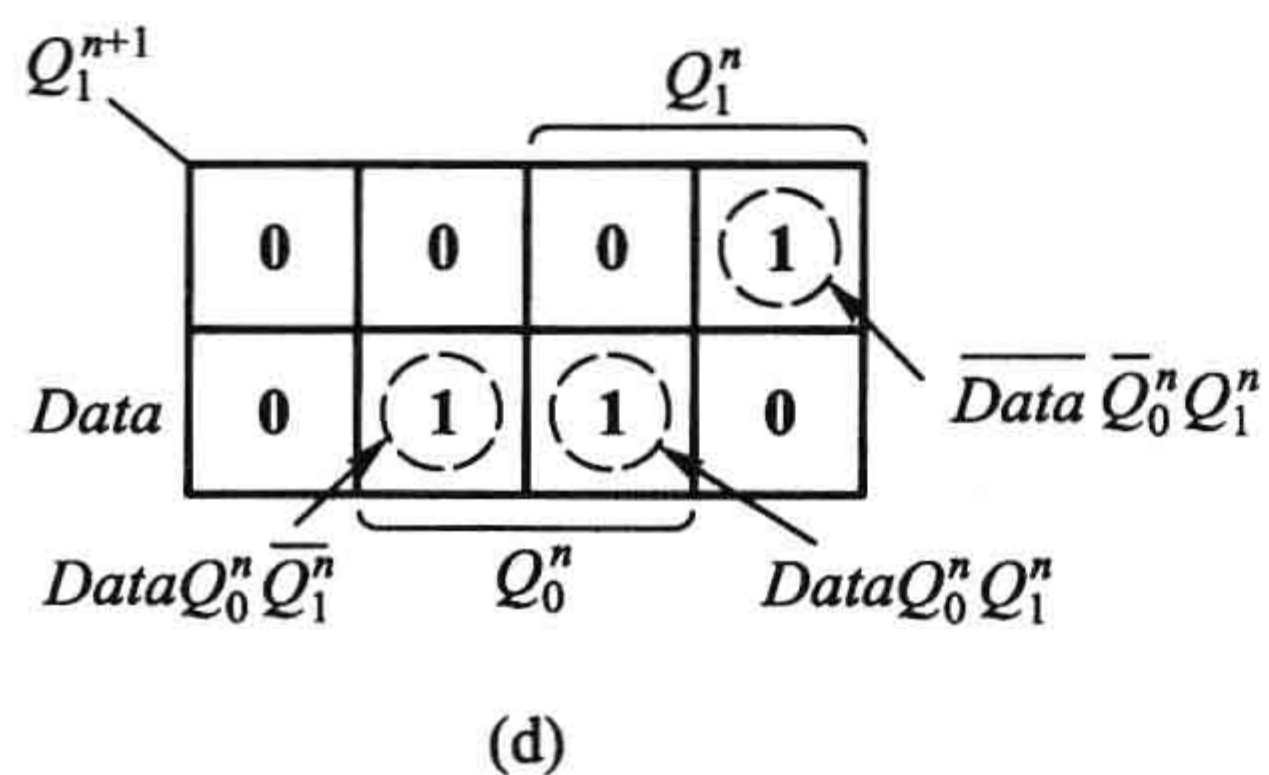
图题解 6.7.6

该电路有四个状态,可以用两位二进制代码组合(00,01,10,11)表示,即令 $S_0 = 00, S_1 = 01, S_2 = 10, S_3 = 11$ 。于是得到编码形式的状态图,如图题解 6.7.6(c)所示。

(2) 根据图题解 6.7.6(c)列出电路输入、输出变量的真值表,如表题解 6.7.6 所示。画出触发器次态卡诺图,如图题解 6.7.6(d)、(e)所示。

表题解 6.7.6

Data	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Out
0	0	0	0	1	0
0	0	1	0	1	0
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	0	0	0
1	0	1	1	0	0
1	1	0	0	0	0
1	1	1	1	0	1



图题解 6.7.6

由此可得触发器的次态方程如下:

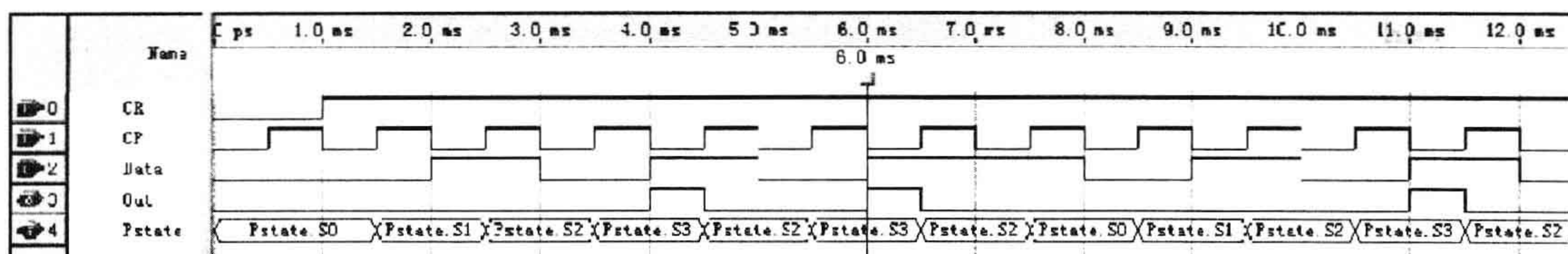
$$Q_1^{n+1} = Data Q_0^n \bar{Q}_1^n + (Data Q_0^n + \overline{Data Q_0^n}) Q_1^n$$


```

S1: begin Out=0; next_state = (Data == 1) ? S2 : S1; end
S2: begin Out=0; next_state = (Data == 1) ? S0 : S3; end
S3: if (Data == 1)      begin Out=1; next_state = S2; end
    else                begin Out=0; next_state = S1; end
endcase
end
endmodule

```

(4) 仿真波形如图题解 6.7.6(g) 所示。



图题解 6.7.6(g)

6.7.7 试用 Verilog 的行为描述方式写出数字钟的小时时间计数器程序。要求如下:

(1) 计数器的功能是从 1 开始计数到 12, 然后又从 1 开始, 周而复始运行。计数器的输出为 8421 BCD 码。

(2) 要求该计数器带有复位端 CR 和计数控制端 EN。当 CR 为低电平时, 计数器复位, 其输出为 1; 当 CR 和 EN 均为高电平时, 计数器处于计数状态; 当 CR 为高电平但 EN 为低电平时, 计数器暂停计数。

(3) 然后用 Quartus II 软件进行逻辑功能仿真, 并给出仿真波形。

解: 由设计要求知, 该计数器的输入端为 CR、EN、CP, 输出端为两个 8421 BCD 码计数器的输出, 每次复位时要把输出置为 1。其 Verilog HDL 程序如下:

//M12 BCD Counter with Enable and Clear

```

module Cnt12_1(CP, CR, EN, Qh, QL);
    input CP, CR, EN;
    output [3:0] Qh, QL;
    reg[3:0] Qh, QL;
    always @(posedge CP or negedge CR)
    begin
        if (~CR)
            begin QL <= 4'd1; Qh <= 4'd0; end
        else if(EN)
            begin
                if ((Qh > 4'd1) || (QL > 4'd9) || ((Qh == 4'd1) && (QL > 4'd2)))
                    begin QL <= 4'd1; Qh <= 4'd0; end //出错处理
                else if (Qh == 4'd1 && QL == 4'd2)

```

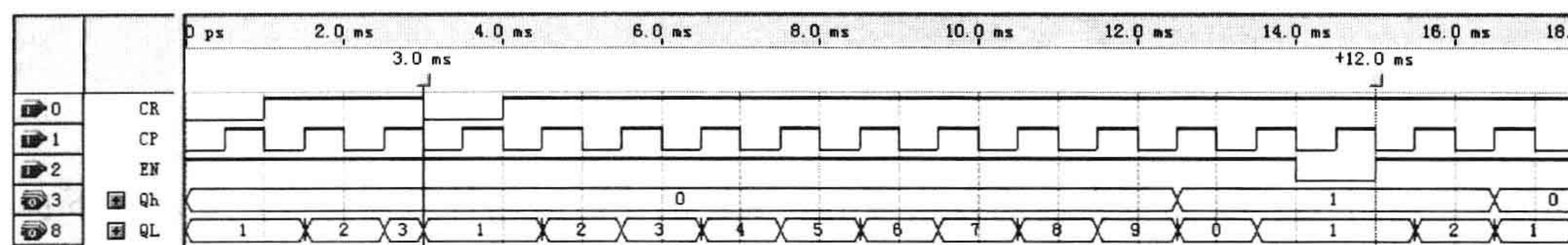


```

        begin QL <= 4'd1; Qh <= 4'd0; end //计到最大值
    else if (QL == 4'd9) //个位计到最大值
        begin QL <= 4'd0; Qh <= Qh+1'b1; end
    else if (QL < 4'd9)
        begin QL <= QL + 1'b1; Qh <= Qh; end
    end
else
    begin QL <= QL; Qh <= Qh; end
end
endmodule

```

仿真波形如图题解 6.7.7 所示。



图题解 6.7.7

6.7.8 在例 6.7.9 的基础上,将计时输入脉冲频率改为 1 kHz,要求增加以下功能:

(1) 具有仿电台整点报时功能。即每逢 59 分 51 秒、53 秒、55 秒、57 秒输出 500 Hz 低音频信号,在 59 分 59 秒时输出 1 kHz 高音频信号,输出音频信号的持续时间均为 1 s,高音频信号结束时,正好为整点。

(2) 增加闹钟功能,最长闹铃时间为 1 min。闹钟的闹铃时刻可以任意设置(只要求对小时、分钟进行设置);闹铃信号为 500 Hz 和 1 kHz 的方波信号,两种频率的信号交替输出,且均持续 1 s。设置一个停止闹铃的控制键,可以停止输出闹铃信号。

(3) 采用分层次、分模块的方法,用 Verilog 语言进行设计,并给出各模块的仿真波形图。

解:根据题意,该数字钟要求在例 6.7.9 的基础上,将计时输入脉冲频率改为 1 kHz,并增加仿电台整点报时和任意设定闹钟的功能。因此,在例 6.7.9 数字钟主体电路的基础上,需要增加分频模块、仿电台整点报时模块和闹钟设定模块。显示电路仍由外部的译码器和显示器完成。分频模块将 1 kHz 脉冲信号分频得到周期为 1 s 的矩形波信号,作为数字钟的计时脉冲;仿电台整点报时模块用于到整点时刻产生 4 声低音(500Hz)和 1 声高音(1kHz)信号;闹钟设定模块用于设定闹钟时间(使用 2Hz 脉冲信号进行设定),并产生闹铃信号。

电路总体框图如图题解 6.7.8 所示。图中,Mode 信号用于控制显示器的切换。当 Mode=0 时,正常显示数字钟的计时时间;当 Mode=1 时,显示设置的闹钟时间,此时使用设定键(Set_Hr_Key、Set_Min_Key)可以方便地设定闹时时间。如果希望减少按键的数量,则可以再用两个 2 选 1 的数据选择器将校正时间的按键和设置闹时的按键组合起来。

数字钟的 Verilog 程序如下:

```
// ***** timeclock top block (Complete_Clock.v) *****
```



```

module Complete_Clock (LED_Hr, LED_Min, LED_Sec, ALARM, _1kHzIN,
    Adj_Min_key, Adj_Hour_key, Set_Min_key, Set_Hr_key, Ctrl_Bell, Mode);
input _1kHzIN; //系统的输入时钟信号
output [7:0] LED_Hr, LED_Min, LED_Sec; //输出变量,输出 8421BCD 码给显示器
wire [7:0] LED_Hr, LED_Min, LED_Sec; //说明变量的类型
supply1 Vdd;

input Adj_Min_key, Adj_Hour_key; //校正计时器小时、分钟的输入按键
wire [7:0] Hour, Minute, Second; //计时器的输出信号
wire MinL_EN, MinH_EN, Hour_EN; //计时器的中间使能控制信号

wire _1Hz, _2Hz, _500Hz; //分频器的输出信号

reg ALARM_Radio; //仿电台的报时信号输出
wire ALARM_Clock; //闹钟的信号输出
output ALARM; //仿电台或闹钟的声音信号输出

wire [7:0] Set_Hr, Set_Min; //设定的闹钟时间输出信号
wire Hr_H_EQU, Hr_L_EQU, Min_H_EQU, Min_L_EQU; //比较器的输出信号

input Set_Hr_key, Set_Min_key; //设定闹钟小时、分钟的输入按键
input Ctrl_Bell; //控制闹钟的声音是否输出的按键
input Mode; //控制显示模式切换的按键。
    //Mode=1 时,显示闹钟设定的时间,Mode=0 时,显示计时器的时间

//=====分频模块的调用=====
    Divided_Frequency U0(_1Hz, _2Hz, _500Hz, Vdd, Vdd, _1kHzIN);

//=====Hour:Minute:Second counter=====
//60 进制秒计数器:调用 10 进制和 6 进制底层模块构成
    counter10 U1(Second[3:0], Vdd, Vdd, _1Hz); //秒计数器个位
    counter6 U2(Second[7:4], Vdd, (Second[3:0]==4'h9), _1Hz); //秒计数器十位
//产生分钟计数器使能信号。Adj_Min=1,校正分钟;Adj_Min=0,分钟正常计时
    assign MinL_EN=Adj_Min_key ? Vdd : (Second==8'h59);
    assign MinH_EN= (Adj_Min_key && (Minute[3:0]==4'h9))
        || (Minute[3:0]==4'h9)&&(Second==8'h59);
//60 进制分钟计数器:调用 10 进制和 6 进制底层模块构成
    counter10 U3(Minute[3:0], Vdd, MinL_EN, _1Hz); //分计数器个位

```



```

    counter6 U4 ( Minute[7:4], Vdd, MinH_EN, _1Hz); //分计数器十位
//产生小时计数器使能信号。Adj_Hour=1,校正小时;Adj_Hour=0,小时正常计时
    assign Hour_EN=Adj_Hour_key ? Vdd: (( Minute==8'h59) && ( Second==8'h59));
//24 进制小时计数器:调用 24 进制底层模块构成
    counter24 U5( Hour[7:4], Hour[3:0], Vdd, Hour_EN, _1Hz); //小时计数器

//===== 仿电台整点报时 =====
    always @ ( Minute or Second) //generat alarm signal
    if ( Minute==8'h59)
        case ( Second)
            8'h51,
            8'h53,
            8'h55,
            8'h57: ALARM_Radio=_500Hz;
            8'h59: ALARM_Radio=_1kHzIN;
            default: ALARM_Radio=1'b0;
        endcase
    else ALARM_Radio=1'b0;

//===== 闹时设定模块 ( Set Hour & Minute counter) =====
//60 进制分计数器:用于闹时设定分钟
    counter10 SU1( Set_Min[3:0], Vdd, Set_Min_key, _2Hz);
    counter6 SU2( Set_Min[7:4], Vdd, ( Set_Min[3:0]==4'h9), _2Hz);
//24 进制小时计数器:用于闹时设定小时
    counter24 SU3( Set_Hr[7:4], Set_Hr[3:0], Vdd, Set_Hr_key, _2Hz);

//比较闹钟时间和计时器的时间是否相等
    _4bitComparer SU4( Hr_H_EQU, Set_Hr[7:4], Hour[7:4]);
    _4bitComparer SU5( Hr_L_EQU, Set_Hr[3:0], Hour[3:0]);
    _4bitComparer SU6( Min_H_EQU, Set_Min[7:4], Minute[7:4]);
    _4bitComparer SU7( Min_L_EQU, Set_Min[3:0], Minute[3:0]);

//===== 闹钟声音控制信号 =====
    assign ALARM_Clock=Ctrl_Bell ? ((( Hr_H_EQU && Hr_L_EQU
        && Min_H_EQU && Min_L_EQU))
        && ((( Second[0]==1'b1) && _500Hz) || (( Second[0]==1'b0) && _
            1kHzIN))) : 1'b0;
//===== 控制扬声器总模块 =====

```



```

    assign ALARM = ALARM_Radio || ALARM_Clock;

// ===== 选择数码管的显示信号 =====
    _2to1MUX MU1( LED_Hr, Mode, Set_Hr, Hour ); // Mode = 1, 显示设定闹铃的时间
    _2to1MUX MU2( LED_Min, Mode, Set_Min, Minute ); // Mode = 0, 显示正常计时时间
    _2to1MUX MU3( LED_Sec, Mode, 8'h00, Second );
endmodule

// 以下是各个下层模块程序:
// ***** 2-to-1-line multiplexer ( _2to1MUX.v ) *****
module _2to1MUX( OUT, SEL, X, Y );
    input [7:0] X, Y;
    input SEL;
    output [7:0] OUT;
    assign OUT = SEL ? X : Y;
endmodule

// ***** 4-bit Comparer ( _4bitComparer.v ) *****
module _4bitComparer( EQU, A, B );
    input [3:0] A, B;
    output EQU;
    assign EQU = ( A == B );
endmodule

// ***** 分频模块 ( Divided_Frequency.v ) *****
module Divided_Frequency( _1HzOut, _2HzOut, _500HzOut, nCR, EN, _1kHzIN );
    input _1kHzIN, nCR, EN;
    output _1HzOut, _2HzOut, _500HzOut;
    wire [11:0] Q;
    wire EN1, EN2;
    counter10 DU0( Q[3:0], nCR, EN, _1kHzIN );
    counter10 DU1( Q[7:4], nCR, EN1, _1kHzIN );
    counter10 DU2( Q[11:8], nCR, EN2, _1kHzIN );
    assign EN1 = ( Q[3:0] == 4'd9 );
    assign EN2 = ( Q[7:4] == 4'd9 ) & ( Q[3:0] == 4'd9 );
    assign _1HzOut = Q[11];
    assign _2HzOut = Q[10];
    assign _500HzOut = Q[0];
endmodule

```



```

endmodule

// ***** counter10.v (BCD: 0 ~ 9) *****
module counter10(Q,nCR,EN,CP);
    input CP,nCR,EN;
    output [3:0] Q;
    reg [3:0] Q;
    always @ (posedge CP or negedge nCR)
    begin
        if( ~ nCR) Q <= 4'b0000; //nCR=0,计数器被异步清零
        else if( ~ EN) Q <= Q; //EN=0,暂停计数
        else if( Q==4'b1001) Q <= 4'b0000;
        else Q <= Q + 1'b1; //计数器增1计数
    end
endmodule

// ***** counter6.v (BCD: 0 ~ 5) *****
module counter6(Q, nCR, EN, CP);
    input CP, nCR, EN;
    output [3:0] Q;
    reg [3:0] Q;
    always @ (posedge CP or negedge nCR)
    begin
        if( ~ nCR) Q <= 4'b0000; //nCR=0,计数器被异步清零
        else if( ~ EN) Q <= Q; //EN=0,暂停计数
        else if( Q==4'b0101) Q <= 4'b0000;
        else Q <= Q + 1'b1; //计数器增1计数
    end
endmodule

// ***** counter24.v (BCD: 0 ~ 23) *****
module counter24 (CntH, CntL, nCR, EN, CP);
    input CP, nCR, EN;
    output [3:0] CntH, CntL;
    reg [3:0] CntH, CntL;
    always @ (posedge CP or negedge nCR)
    begin
        if( ~ nCR) { CntH, CntL} <= 8'h00;
    end

```



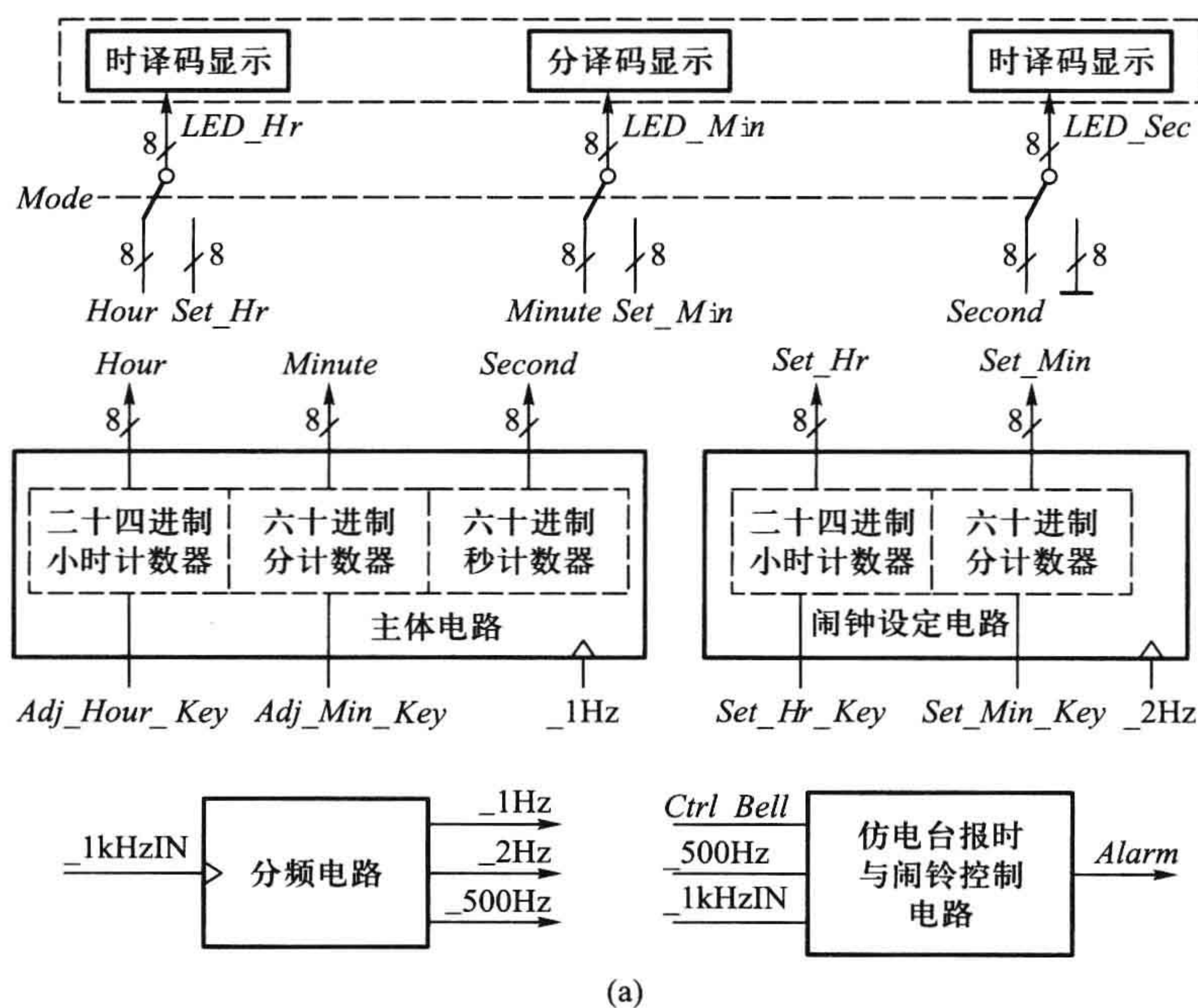
```

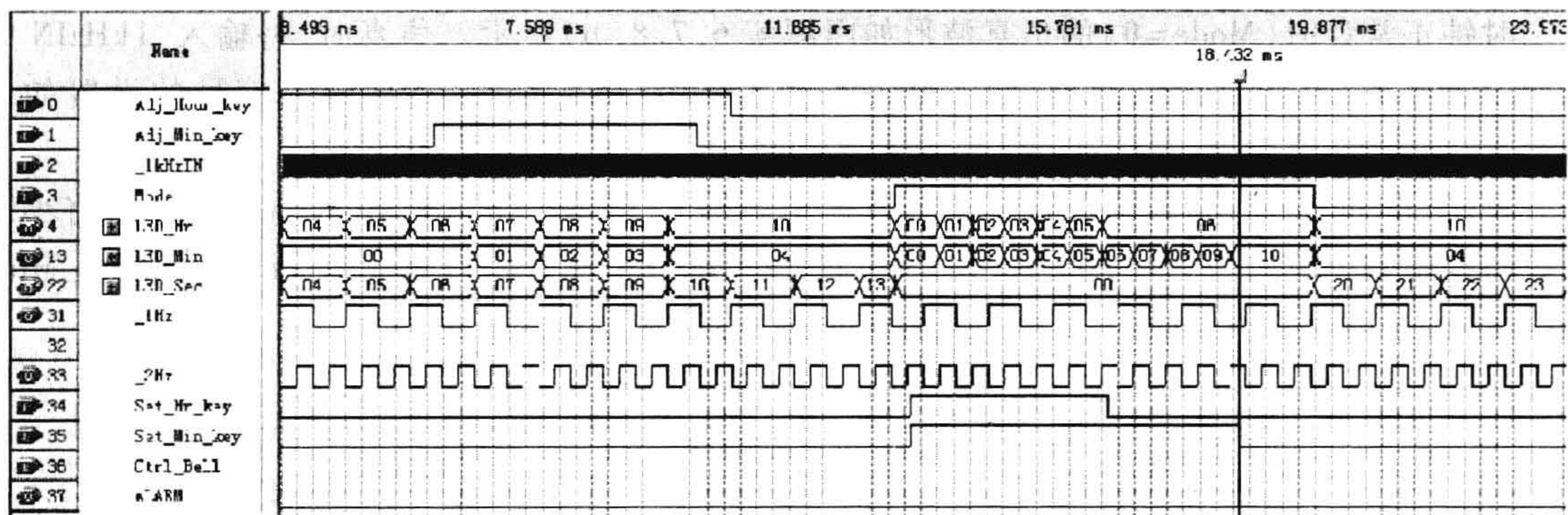
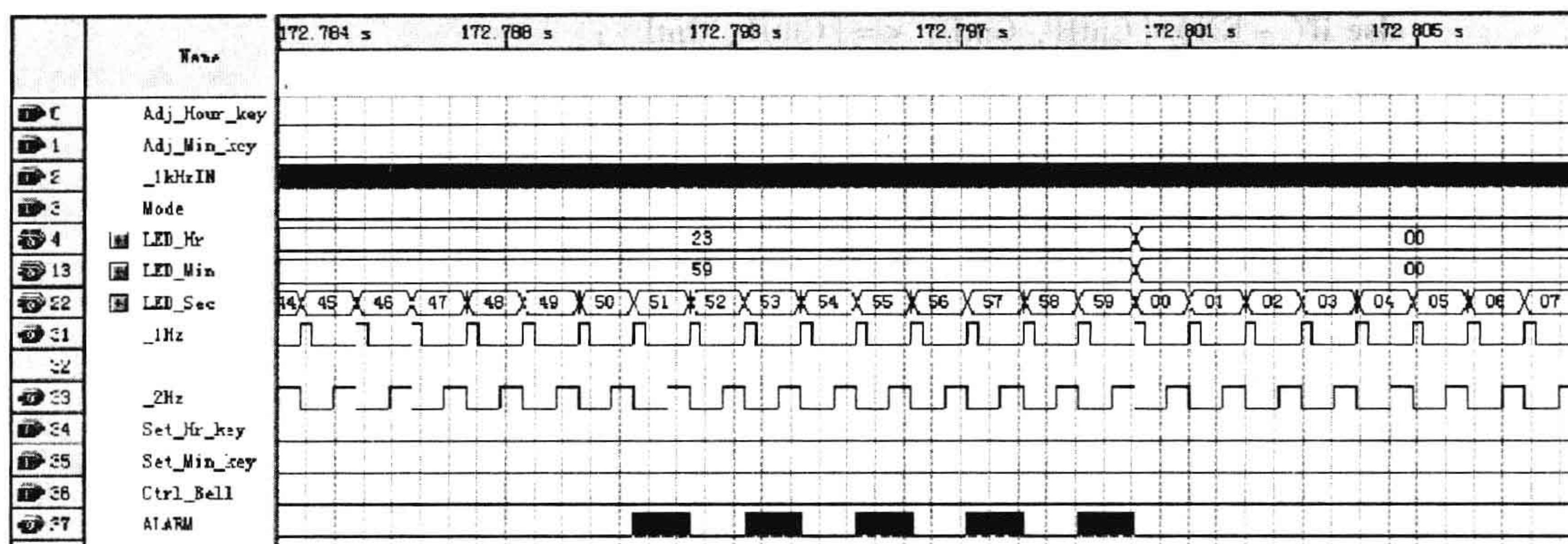
else if( ~ EN) { CntH, CntL} <= { CntH, CntL} ;
else if ( ( CntH>2) || ( CntL>9) || ( ( CntH == 2) && ( CntL>= 3) ) )
    { CntH, CntL} <= 8 ' h00;
else if ( ( CntH == 2) && ( CntL<3) )
    begin CntH <= CntH; CntL <= CntL + 1 ' b1; end
else if ( CntL==9)
    begin CntH <= CntH + 1 ' b1; CntL <= 4 ' b0000; end
else
    begin CntH <= CntH; CntL <= CntL + 1 ' b1; end
end
endmodule

```

时钟正常计时 (Mode=0) 的仿真波形如图题解 6.7.8(b) 所示。仿真时, 将输入 1kHzIN 的周期设置成 1 μ s, 仿真的结束时间 (End Time) 设置为 175 s 左右, 其他输入信号的设置如图所示。

校时、设置闹铃时间的仿真波形如图题解 6.7.8(c) 所示。当 Adj_Hour_Key=1 时, 将小时计数器调整到 10 点, 当 Adj_Min_Key=1 时, 将分钟调整到 04 分。当 Set_Hr_key=1 和 Set_Min_key=1 时, 可以设置闹铃时间, 图中的闹铃时间为 6 点 10 分。





图题解 6.7.8

(a) 数字钟总体框图 (b) 正常计时 (c) 校时、设置闹铃时间

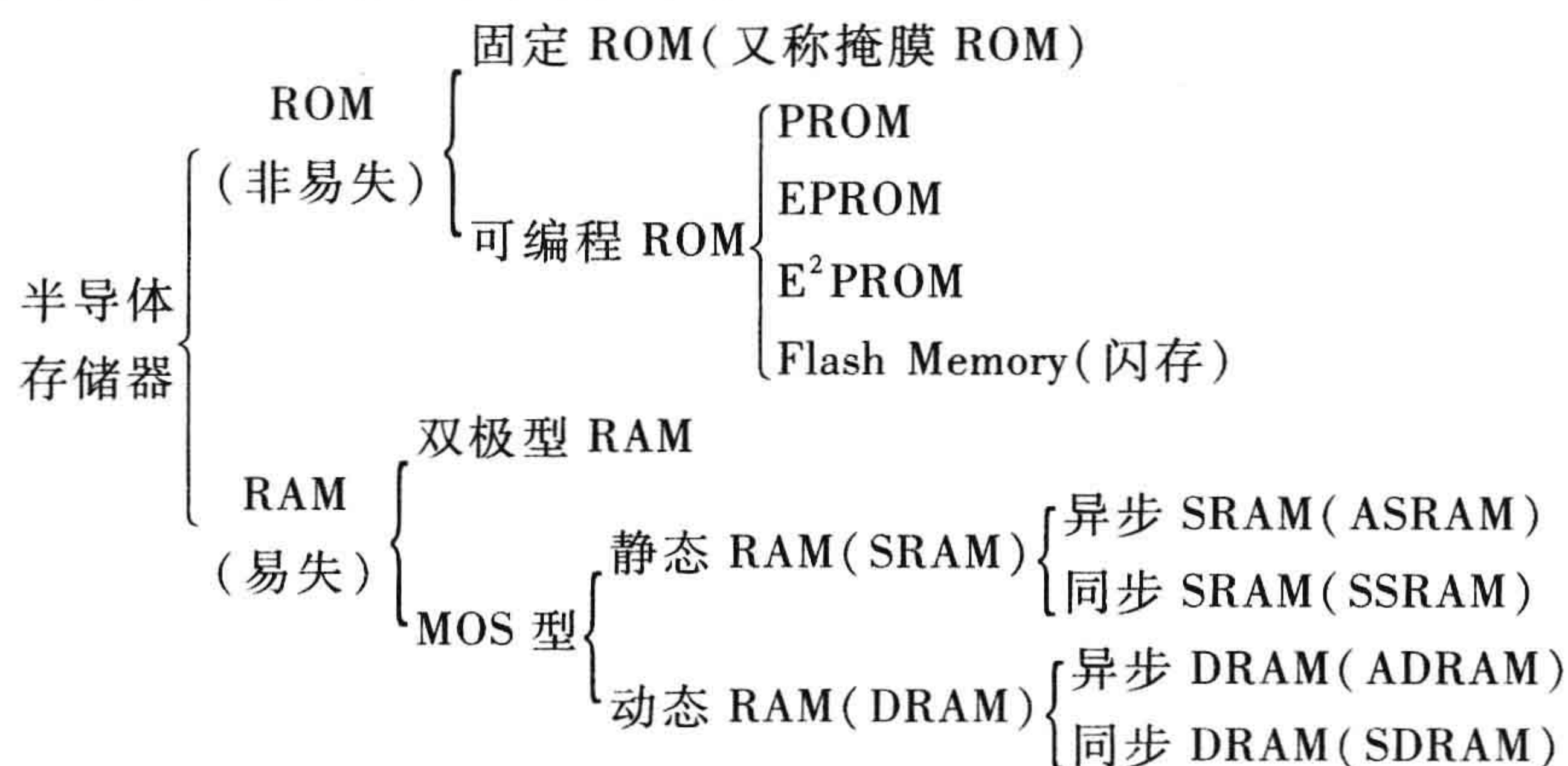
7 半导体存储器

一、内容提要及重点

本章的内容提要：

1. 半导体存储器的分类

(1) 按数据易失性与非易失性分为两大类：

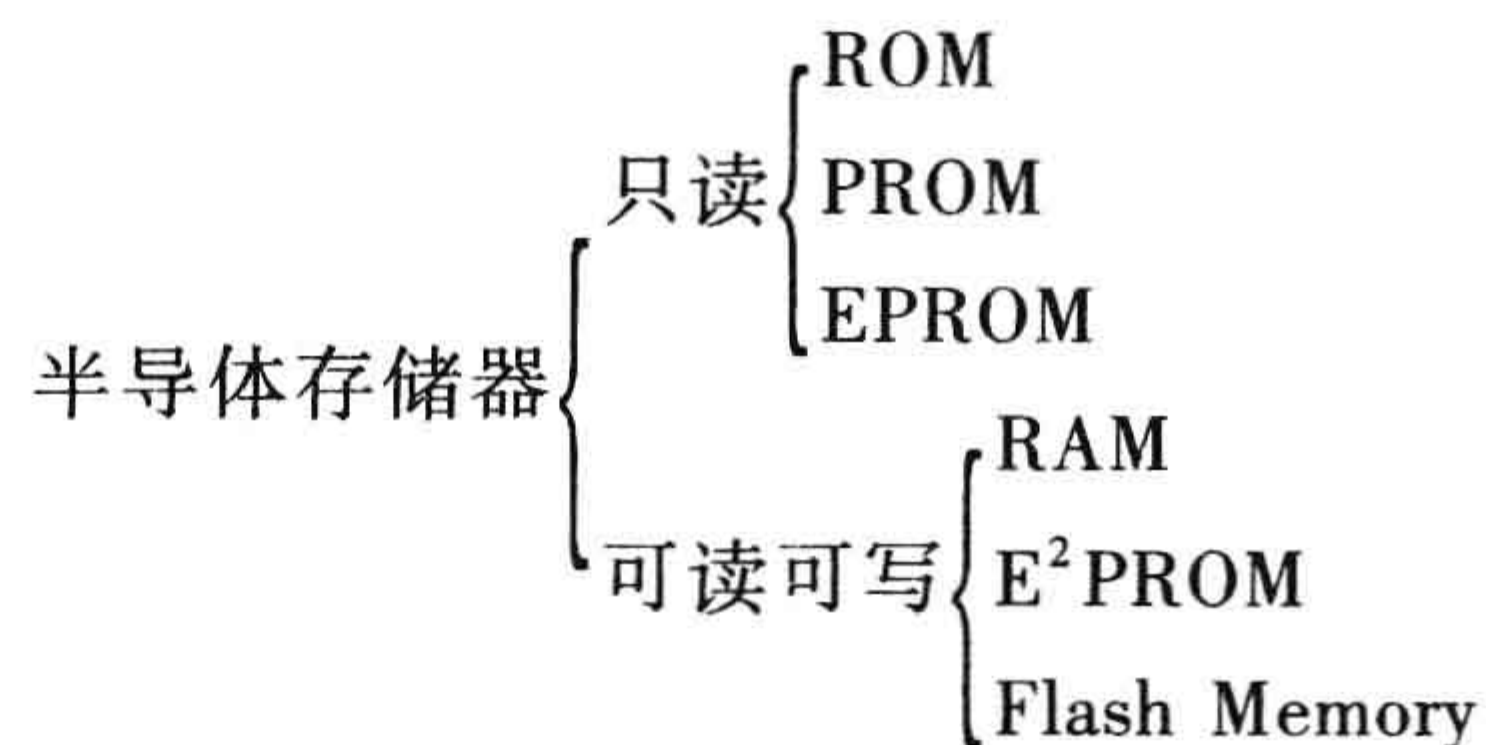


易失性存储器断电后,其所存的数据将全部丢失,而非易失性存储器断电后数据仍可长久保存。

SRAM 用触发器记忆数据,DRAM 靠 MOS 管栅极电容存储数据。因此,在不停电的情况下,SRAM 的数据可以长久保持,而 DRAM 则必须定期刷新。

无论是 SRAM 还是 DRAM,目前都有在时钟脉冲作用下工作的同步 RAM (SSRAM 和 SDRAM),且已成为主流存储器。在此基础上发展起来的 DDR、DDR II 和 QDR 等 RAM 也已愈来愈多地应用于计算机内存、显存和通讯设备中。

(2) 按正常工作时读写特性分为：



(3) 按输入输出方式不同还可分为并行存储器和串行存储器。

2. 存储器的一般构成

半导体存储器一般由三部分构成:存储阵列、地址译码器和输入输出控制电路见图 7.1 所示。

3. 存储器的容量和存取时间是反映存储器性能好坏的重要技术指标。存储器的容量一般是用存储的字数和每个字所含位数的乘积表示。存储器的容量越大,意味着能存储的数据越多。存取时间是反映存储器工作速度快慢的指标。

4. 存储器的读写定时关系非常重要,各种信号必须满足规定的时序要求,才能完成数据的正确读写。相同类型的存储器,其读写控制大致相同,只是具体定时参数有所差异,使用时须参考相应的数据手册。

5. 当只用单个芯片不能满足存储容量要求时,可通过简单方法进行容量扩展。扩展既可以是位数(字长)的扩展,又可以是字数的扩展,也可以是两者同时扩展。

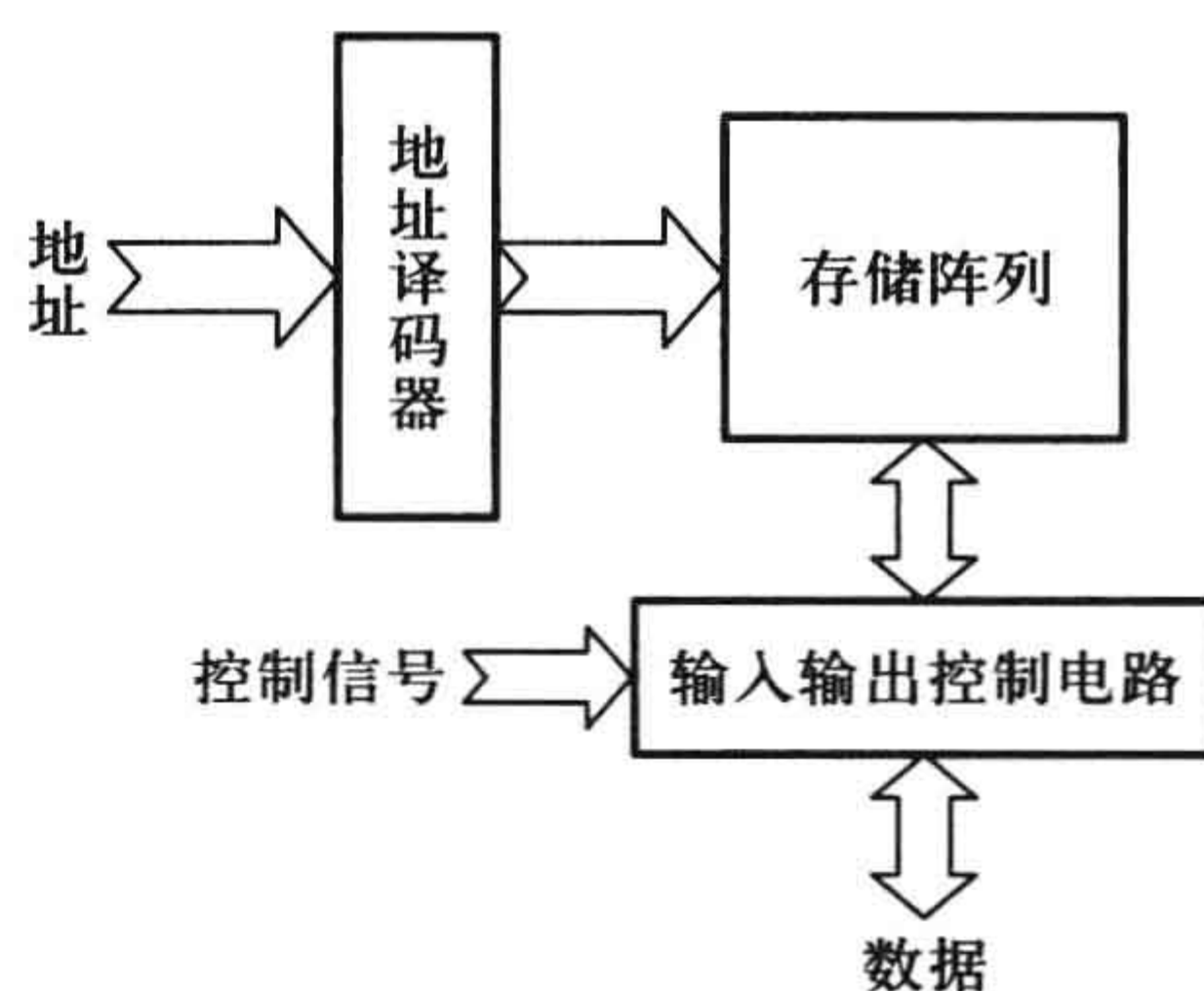


图 7.1 存储器的基本结构框图

本章的重点:

各种半导体存储器的基本结构、工作原理和使用方法;存储器容量的扩展。

二、典型例题解析

例 7.1 指出容量为 $64\text{K} \times 4$ 的存储器有多少个存储单元,其地址码至少需要几位? 数据位是几位?

解题思路: 求解本题时,只要弄清以下几个关系就能很容易得到结果:

存储单元数 = 字数 $\times$ 位数

地址码的位数 n 与字数 N 的关系为: $N = 2^n$

数据位数 = 位数

解: 存储单元 = $64\text{K} \times 4 = 256\text{K}$ 个(注: $1\text{K} = 1024$);

因为, $64\text{K} = 2^{16}$, 即 $n = 16$, 所以地址码位数为 16;

数据位数等于位数, 此处为 4 位。

所以, $64\text{K} \times 4$ 的存储器系统具有 256K 个存储单元, 至少需要 16 位地址码, 数据位是 4 位。

例 7.2 试用一个具有片选使能 $\overline{CE}$ 、输出使能 $\overline{OE}$ 、读写控制 $\overline{WE}$ 、容量为 $4\text{K} \times 4$ 位的 SRAM 芯片和必要的逻辑门, 扩展成为 $8\text{K} \times 8$ 位的存储器系统, 试画出其逻辑图。

解题思路: 字数和位数同时扩展是扩展存储容量的常用方法, 通常先进行位数扩展, 然后用扩展的高位地址进行字数的扩展。

用并联方式实现位扩展, 即将存储器的地址线、读/写控制线和片选信号对应地并联在一起, 而各个芯片的数据输入/输出端作为字的各个位线。

通常用外加译码电路控制存储器芯片的片选使能输入端,并将对应的数据线并接,来实现字数的扩展。

解:采用 $4\text{K} \times 4$ 位的 SRAM 构成 $8\text{K} \times 8$ 位的存储器系统,必须同时进行字扩展和位扩展。

首先进行位扩展:用 2 片 $4\text{K} \times 4$ 位的芯片,并接它们的地址线、读/写控制线和片选信号,扩展成 $4\text{K} \times 8$ 位系统。用同样的方法再扩展一个 $4\text{K} \times 8$ 位系统,然后进行字扩展。将位扩展得到的两个 $4\text{K} \times 8$ 位系统,通过片选信号组合起来实现 $8\text{K} \times 8$ 位的存储器系统,此时需增加 1 根地址线 A_{12} ,通过一个非门控制两组 $4\text{K} \times 8$ 位系统的片选使能 $\overline{CE}$,扩展后的存储系统如图 7.2 所示。其中(1)和(2)、(3)和(4)分别构成两个 $4\text{K} \times 8$ 位存储器系统;非门将 A_{12} 反相,并将 A_{12} 和 $\overline{A_{12}}$ 分别连接到两组 $4\text{K} \times 8$ 的片选使能端 $\overline{CE}$,实现字扩展。系统共用了 4 片 $4\text{K} \times 4$ 位芯片,一个非门。

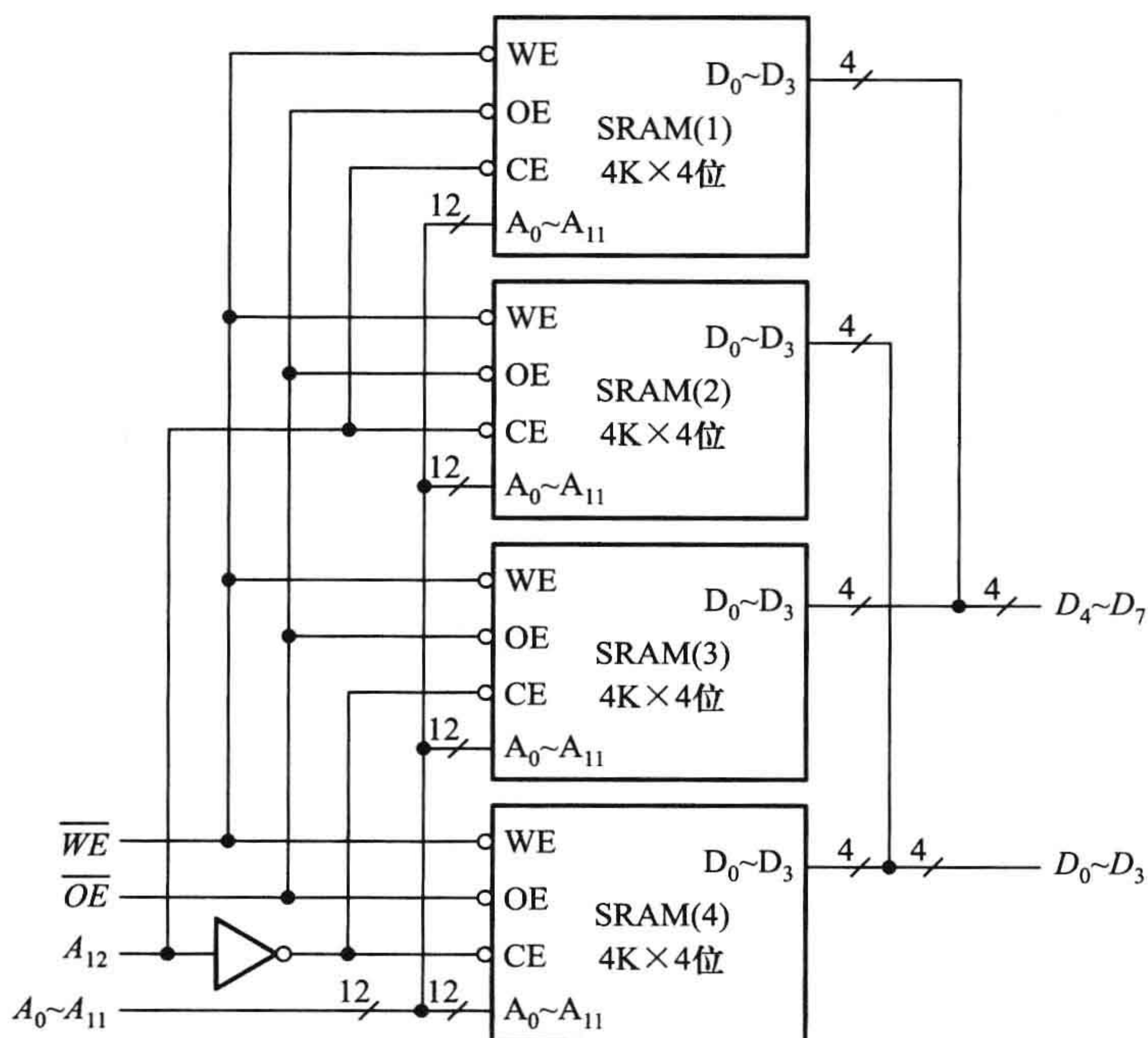


图 7.2 用 $4\text{K} \times 4$ 位 SRAM 芯片构成 $8\text{K} \times 8$ 位的存储器系统

三、习题全解

7.1 只读存储器

7.1.1 指出下列存储系统各具有多少个存储单元,至少需要几根地址线和数据线。

- (1) $64\text{K} \times 1$ (2) $256\text{K} \times 4$ (3) $1\text{M} \times 1$ (4) $128\text{K} \times 8$

解:(1) 存储单元 $= 64\text{K} \times 1 = 64\text{K}$ 个(注: $1\text{K} = 1024 = 2^{10}$);

因为, $64\text{K} = 64 \times 1024 = 2^{16}$, 即 $n = 16$, 所以地址线为 16 根;

数据线根数等于位数,此处为1根。

同理得:

(2) $4 \times 256 \times 1024 = 2^{20} = 1\text{M}$ 个存储单元;地址单元 $256\text{K} = 2^8 \times 2^{10} = 2^{18}$, 即 18 根地址线;数据线为 4 根

(3) 存储单元 $= 1\text{M} \times 1 = 1\text{M}$, 地址单元 $1\text{M} = 2^{20}$, 即 20 根地址线;1 根数据线

(4) 存储单元 $= 128\text{K} \times 8 = 1\text{M}$, 地址单元 $128\text{K} = 2^{17}$, 即 17 根地址线;数据有 8 位,需要 8 根数据线

7.1.2 设存储器的起始地址为全 0,试指出下列存储系统的最高地址为多少?

(1) $2\text{K} \times 1$ (2) $16\text{K} \times 4$ (3) $256\text{K} \times 32$

解:因为存储系统的最高地址=字数+起始地址-1,(1)、(2)、(3)题给出的字数分别为 2K、16K 和 256K,而起始地址均为 0。所以它们的十六进制地址码是:

(1) 最高地址 $= 2\text{K} + 0 - 1 = 7\text{FFH}$ 同理: (2) 3FFFH (3) 3FFFFH

7.1.3 试确定用 ROM 实现下列逻辑函数时所需的容量:(1) 实现两个 3 位二进制数相乘的乘法器;(2) 将 8 位二进制数转换成十进制数(用 BCD 码表示)的转换电路。

解:用 ROM 实现逻辑函数时,逻辑函数的输入变量由 ROM 地址线输入,逻辑函数值由 ROM 数据线输出。

(1) 两个 3 位二进制数相乘,共有 6 位输入,即需要 6 根地址线;而两个 3 位二进制数相乘的最大值是 49,即 $111 \times 111 = 110001$,共需要 6 位输出,所以 ROM 的容量应为 $2^6 \times 6$ 位。

(2) 8 位二进制数的最大值为 **11111111**,转换成十进制数表示为 255,用 BCD 码表示为 **1001010101**,即输入 8 位,输出 10 位,所以 ROM 的容量应为 $2^8 \times 10$ 位。

7.1.4 用一片 128×8 位的 ROM 实现各种码制之间的转换。要求用从全 0 地址开始的前 16 个地址单元实现 8421BCD 码到余 3 码的转换;接下来的 16 个地址单元实现余 3 码到 8421BCD 码的转换。试求:(1) 列出 ROM 的地址与内容对应关系的真值表;(2) 确定输入变量和输出变量与 ROM 地址线和数据线的对应关系;(3) 简要说明将 8421BCD 码的 0101 转换成余 3 码和将余 3 码的 1001 转换成 8421BCD 码的过程。

解:(1) 设 128×8 位 ROM 的 7 根地址线分别为 $A_6 A_5 A_4 A_3 A_2 A_1 A_0$, 8 根数据线为 $D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$ 。将输入码作为地址码,数据输出作为转换后的输出码,根据 8421BCD 码和余 3 码的关系,实现码制转换的 ROM 地址与内容对应关系的真值表如表题解 7.1.4 所示。

表题解 7.1.4

地址 (8421BCD 码输入)	内容 (余 3 码输出)	地址 (余 3 码输入)	内容 (8421BCD 码输出)
$A_6 A_5 A_4 A_3 A_2 A_1 A_0$	$D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$	$A_6 A_5 A_4 A_3 A_2 A_1 A_0$	$D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$
0 0 0 0 0 0 0	0 0 0 0 0 0 1 1	0 0 1 0 0 0 0	× × × × × × × ×
0 0 0 0 0 0 1	0 0 0 0 0 1 0 0	0 0 1 0 0 0 1	× × × × × × × ×
0 0 0 0 0 1 0	0 0 0 0 0 1 0 1	0 0 1 0 0 1 0	× × × × × × × ×
0 0 0 0 0 1 1	0 0 0 0 0 1 1 0	0 0 1 0 0 1 1	0 0 0 0 0 0 0 0
0 0 0 0 1 0 0	0 0 0 0 0 1 1 1	0 0 1 0 1 0 0	0 0 0 0 0 0 0 1
0 0 0 0 1 0 1	0 0 0 0 1 0 0 0	0 0 1 0 1 0 1	0 0 0 0 0 0 1 0

续表

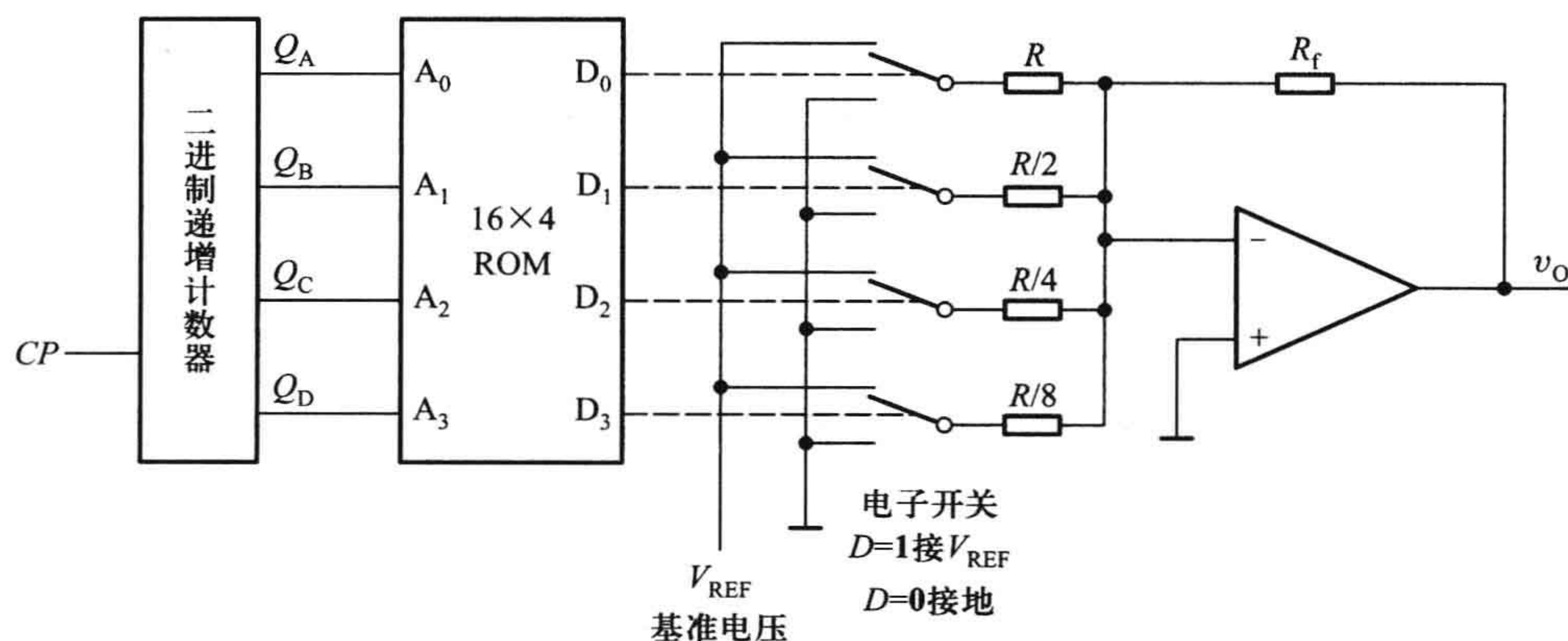
地址 (8421BCD 码输入)	内容 (余 3 码输出)	地址 (余 3 码输入)	内容 (8421BCD 码输出)
$A_6 A_5 A_4 A_3 A_2 A_1 A_0$	$D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$	$A_6 A_5 A_4 A_3 A_2 A_1 A_0$	$D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$
0 0 0 0 1 1 0	0 0 0 0 1 0 0 1	0 0 1 0 1 1 0	0 0 0 0 0 0 1 1
0 0 0 0 1 1 1	0 0 0 0 1 0 1 0	0 0 1 0 1 1 1	0 0 0 0 0 1 0 0
0 0 0 1 0 0 0	0 0 0 0 1 0 1 1	0 0 1 1 0 0 0	0 0 0 0 0 1 0 1
0 0 0 1 0 0 1	0 0 0 0 1 1 0 0	0 0 1 1 0 0 1	0 0 0 0 0 1 1 0
0 0 0 1 0 1 0	× × × × × × × ×	0 0 1 1 0 1 0	0 0 0 0 0 1 1 1
0 0 0 1 0 1 1	× × × × × × × ×	0 0 1 1 0 1 1	0 0 0 0 1 0 0 0
0 0 0 1 1 0 0	× × × × × × × ×	0 0 1 1 1 0 0	0 0 0 0 1 0 0 1
0 0 0 1 1 0 1	× × × × × × × ×	0 0 1 1 1 0 1	× × × × × × × ×
0 0 0 1 1 1 0	× × × × × × × ×	0 0 1 1 1 1 0	× × × × × × × ×
0 0 0 1 1 1 1	× × × × × × × ×	0 0 1 1 1 1 1	× × × × × × × ×

(2) 根据表题解 7.1.4 的关系可知,输入变量对应地址线的 $A_3 A_2 A_1 A_0$,输出变量对应数据线的 $D_3 D_2 D_1 D_0$ (也可用 $D_7 D_6 D_5 D_4$,但表中的内容也要做相应调整)。 A_4 作为转换控制位。当 $A_4 = 0$ 时,实现 8421BCD 码到余 3 码的转换;当 $A_4 = 1$ 时,实现余 3 码到 8421BCD 码的转换;

(3) 要将 8421BCD 码的 **0101** 转换成余 3 码时,输入地址码应为 $A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 0000101$,此时 $D_3 D_2 D_1 D_0$ 的数据输出 **1000** 即为余 3 码;

而将余 3 码的 **1001** 转换成 8421BCD 码时,输入地址码应为 $A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 0011001$,此时 $D_3 D_2 D_1 D_0$ 的数据输出 **0110** 即为 8421BCD 码。注意,此时 A_4 必须为 1。

7.1.5 利用 ROM 构成的任意波形发生器如图题 7.1.5 所示,改变 ROM 的内容,即可改变输出波形。当 ROM 的内容如表题 7.1.5 所示时,画出输出端随 CP 变化的波形。



图题 7.1.5

表题 7.1.5

$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$	$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$
0 0 0 0	0 1 0 0	1 0 0 0	0 1 0 0
0 0 0 1	0 1 0 1	1 0 0 1	0 0 1 1
0 0 1 0	0 1 1 0	1 0 1 0	0 0 1 0
0 0 1 1	0 1 1 1	1 0 1 1	0 0 0 1
0 1 0 0	1 0 0 0	1 1 0 0	0 0 0 0
0 1 0 1	0 1 1 1	1 1 0 1	0 0 0 1
0 1 1 0	0 1 1 0	1 1 1 0	0 0 1 0
0 1 1 1	0 1 0 1	1 1 1 1	0 0 1 1

解:由图看出,二进制递增计数器在 CP 作用下不断生成 ROM 的地址码。ROM 的数据输出控制电子开关,当 ROM 的数据输出为 1 时,电子开关接 V_{REF} ;ROM 的输出为 0 时,电子开关接地。运放和相关电阻构成反比例加法电路,其输出电压与 $D_3 \sim D_0$ 的关系为

$$v_o = -R_f \left(\frac{D_0 V_{REF}}{R} + \frac{2D_1 V_{REF}}{R} + \frac{4D_2 V_{REF}}{R} + \frac{8D_3 V_{REF}}{R} \right)$$

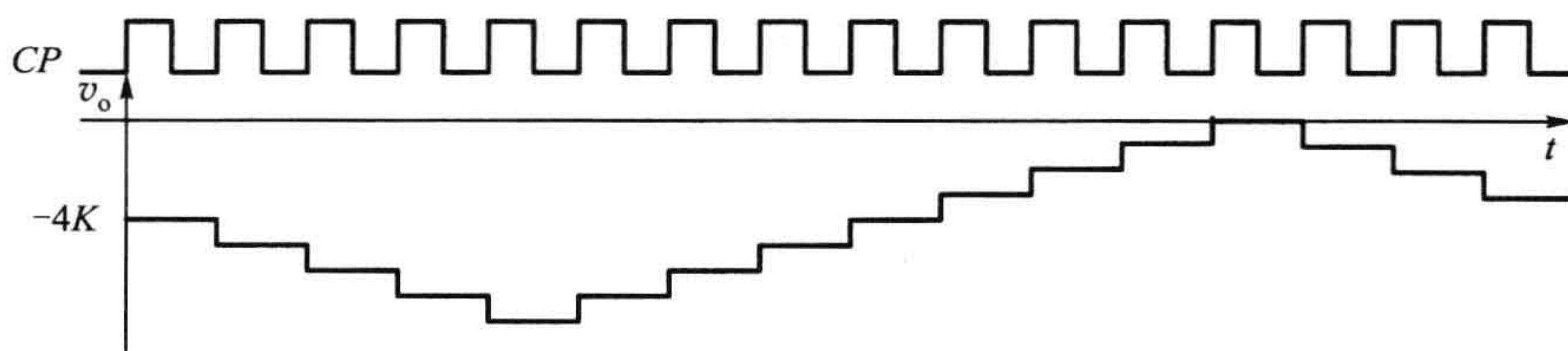
$$= -\frac{V_{REF} R_f}{R} (D_0 + 2D_1 + 4D_2 + 8D_3)$$

设 $K = \frac{V_{REF} R_f}{R}$, 则 v_o 与 $D_3 \sim D_0$ 的对应关系如表题解 7.1.5 所示。

v_o 一个周期的输出波形如图题解 7.1.5 所示。

表题解 7.1.5

$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$	v_o	$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$	v_o
0 0 0 0	0 1 0 0	-4K	1 0 0 0	0 1 0 0	-4K
0 0 0 1	0 1 0 1	-5K	1 0 0 1	0 0 1 1	-3K
0 0 1 0	0 1 1 0	-6K	1 0 1 0	0 0 1 0	-2K
0 0 1 1	0 1 1 1	-7K	1 0 1 1	0 0 0 1	-1K
0 1 0 0	1 0 0 0	-8K	1 1 0 0	0 0 0 0	0
0 1 0 1	0 1 1 1	-7K	1 1 0 1	0 0 0 1	-1K
0 1 1 0	0 1 1 0	-6K	1 1 1 0	0 0 1 0	-2K
0 1 1 1	0 1 0 1	-5K	1 1 1 1	0 0 1 1	-3K

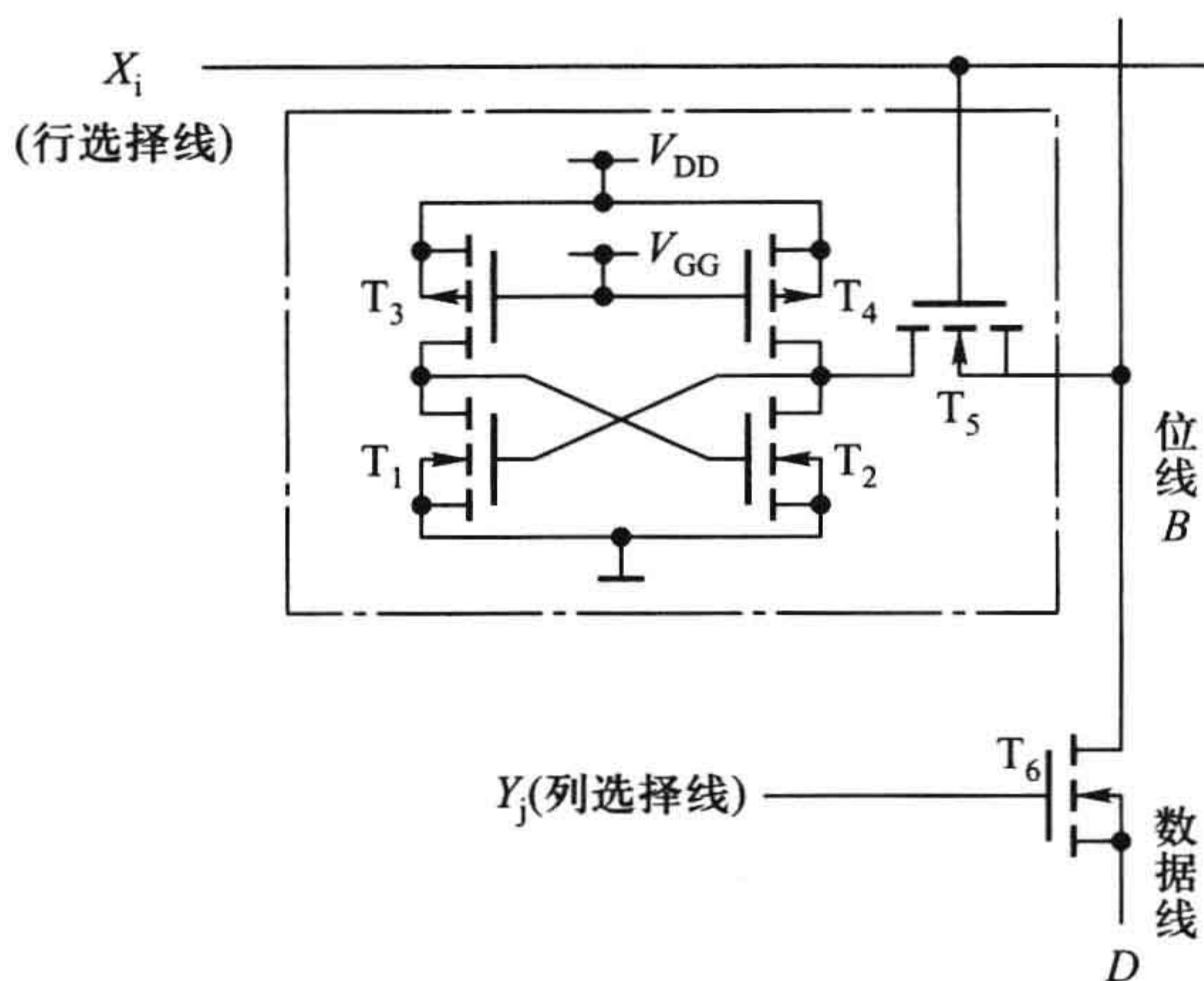


图题解 7.1.5

7.2 随机存取存储器

7.2.1 一个 CMOS 存储单元如图题 7.2.1 所示,试分析其工作原理。

解: 此电路为五管静态存储单元电路。 $T_1 \sim T_4$ 为两个反相器交叉连接而成的双稳态电路,是存储单元的主体。 T_5 和 T_6 分别是由行选线和列选线控制的传输门,当行选线和列选线都为高电平时, T_5 、 T_6 导通,可以对该存储单元读出或存入数据。



图题 7.2.1

7.2.2 设同步 SRAM 工作在从发模式下,若数据写入的首地址为 0094H,问接下来的 3 个数据将被写入的存储单元的地址分别是多少?

解: 接下来的 3 个地址分别是 0095H, 0096H, 0097H。

7.2.3 一个有 4096 位的 DRAM,如果存储矩阵为 64×64 结构形式,且每个存储单元刷新时间为 100ns,则存储单元全部刷新一遍最快需要多长时间? 如果刷新每行的最长间隔时间为 $15.6 \mu\text{s}$,则该 DRAM 的刷新周期最长为多少? 刷新操作所用时间占刷新周期的百分比是多少?

解: DRAM 一次可刷新一行,所以将其全部刷新一遍最少需要的刷新时间为

$$64 \times 100 \text{ ns} = 6400 \text{ ns} = 6.4 \mu\text{s}$$

64 行的总间隔时间为

$$64 \times 15.6 \mu\text{s} = 998.4 \mu\text{s} \approx 1 \text{ ms}$$

这就是此 DRAM 的最长刷新周期。可见刷新操作所用时间(刷新时间)占刷新周期的百分比为

$$6.4 \mu\text{s} / 1 \text{ ms} = 0.64\%$$

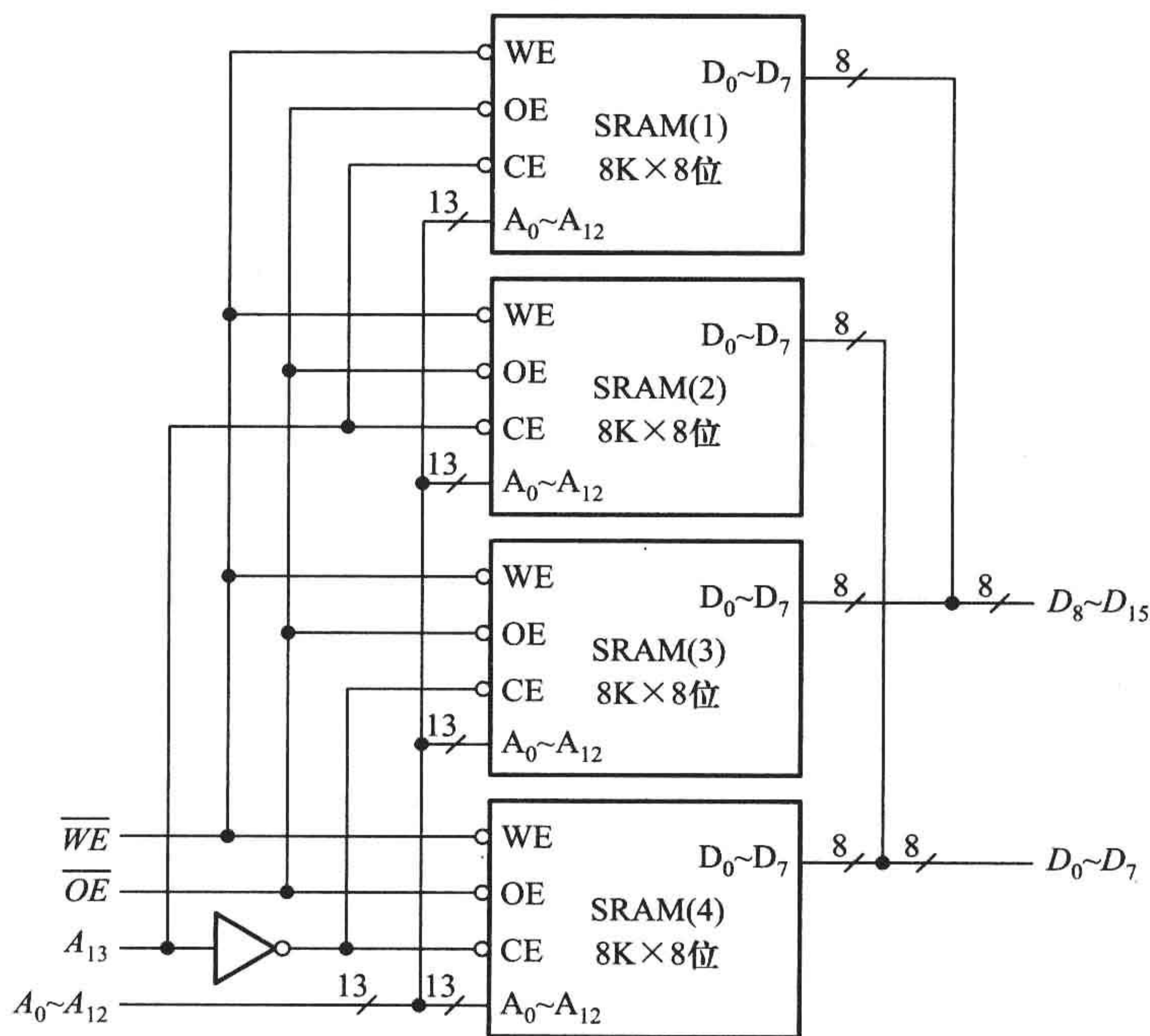
7.2.4 一个有 $1\text{M} \times 1$ 位的 DRAM,采用地址分时送入的方法,芯片应具有几根地址线?

解: 由于 $1\text{M} = 2^{10} \times 2^{10}$,共需 20 根地址线,即行地址线和列地址线各 10 根。所以,采用地址分时送入的方法,芯片应具有 10 根地址线。

7.2.5 试用一个具有片选使能 $\overline{CE}$ 、输出使能 $\overline{OE}$ 、读写控制 $\overline{WE}$ 、容量为 $8\text{K} \times 8$ 位的 SRAM 芯片和必要的逻辑门,设计一个 $16\text{K} \times 16$ 位的存储器系统,试画出其逻辑图。

解:采用 $8K \times 8$ 位的 SRAM 构成 $16K \times 16$ 位的存储器系统,必须同时进行字扩展和位扩展。用 2 片 $8K \times 8$ 位的芯片,通过位扩展构成 $8K \times 16$ 位系统,此时需要增加 8 根数据线。要将 $8K \times 16$ 位扩展成 $16K \times 16$ 位的存储器系统,还必须进行字扩展。因此还需 2 片 $8K \times 8$ 位的芯片通过同样的位扩展,构成 $8K \times 16$ 位的存储系统,再与另一个 $8K \times 16$ 位存储系统进行字扩展,从而实现 $16K \times 16$ 位的存储器系统,此时还需增加 1 根地址线。系统共需要 4 片 $8K \times 8$ 位的 SRAM 芯片。

用增加的地址线 A_{13} 控制片选使能 $\overline{CE}$ 便可实现字扩展,两片相同地址的 SRAM 可构成 16 位数据线。其逻辑图如图题解 7.2.5 所示。其中(1)和(2)、(3)和(4)分别构成两个 $8K \times 16$ 位存储系统;非门将 A_{13} 反相,并将 A_{13} 和 $\overline{A_{13}}$ 分别连接到两组 $8K \times 16$ 的片选使能端 $\overline{CE}$ 上,实现字扩展。



图题解 7.2.5

7.2.6 图 7.2.11 的 LED 点阵列字符动态显示电路中,(1) 若人的视觉暂留时间为 0.05 秒,在满足 LED 阵列图像稳定不闪烁的情况下,试计算 CP 脉冲的最低工作频率。(2) 若要在显示屏上显示“HELP”,试确定 RAM 中存放的点阵数据。(3) 若 LED 阵列改为 16×128 (行 $\times$ 列),则需要 RAM 的位数为多少? 容量是多少?

解:(1) 由于 LED 阵列扫描一次需要 32 个 CP 脉冲,所以 CP 脉冲的最长周期应不超过 $0.05 \text{ s}/32$,所以最低工作频率为 $32/(0.05 \text{ s}) = 640 \text{ Hz}$ 。

(2) 根据“HELP”的字形,可确定 RAM 中的点阵数据如表题解 7.2.6。

(3) RAM 的位数为 16,容量是 128×16 位。

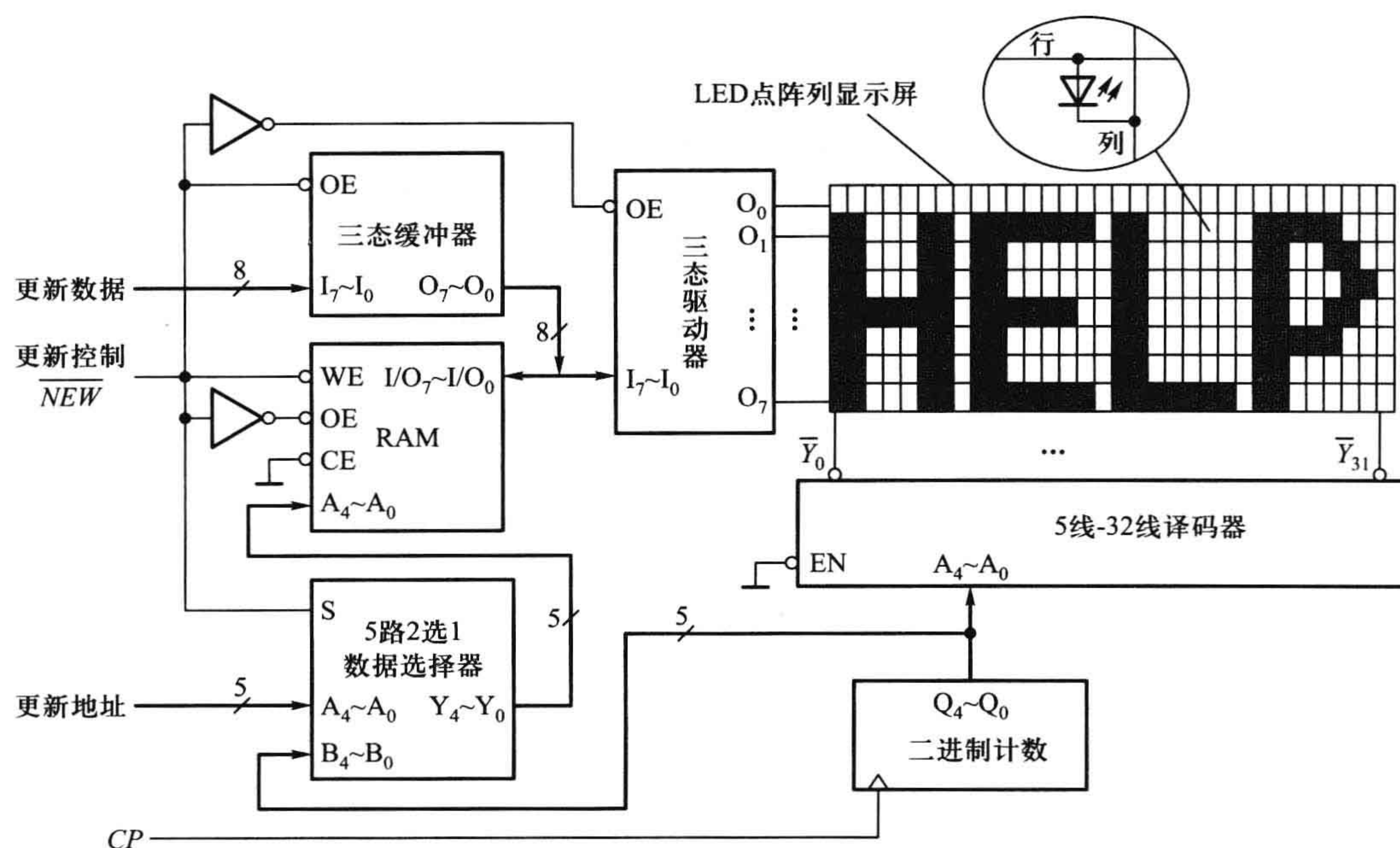


图 7.2.11 8×32 LED 点阵动态显示原理

表题解 7.2.6 显示“HELP”时 RAM 中的点阵数据

地址 $A_4 A_3 A_2 A_1 A_0$	内容 $D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$	地址 $A_4 A_3 A_2 A_1 A_0$	内容 $D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$
0 0 0 0 0	1 1 1 1 1 1 1 0	1 0 0 0 0	1 1 1 1 1 1 1 0
0 0 0 0 1	1 1 1 1 1 1 1 0	1 0 0 0 1	1 1 1 1 1 1 1 0
0 0 0 1 0	0 1 0 1 0 0 0 0	1 0 0 1 0	1 0 0 0 0 0 0 0
0 0 0 1 1	0 0 0 1 0 0 0 0	1 0 0 1 1	1 0 0 0 0 0 0 0
0 0 1 0 0	0 0 0 1 0 0 0 0	1 0 1 0 0	1 0 0 0 0 0 0 0
0 0 1 0 1	1 1 1 1 1 1 1 0	1 0 1 0 1	1 0 0 0 0 0 0 0
0 0 1 1 0	1 1 1 1 1 1 1 0	1 0 1 1 0	1 0 0 0 0 0 0 0
0 0 1 1 1	0 0 0 0 0 0 0 0	1 0 1 1 1	0 0 0 0 0 0 0 0
0 1 0 0 0	1 1 1 1 1 1 1 0	1 1 0 0 0	1 1 1 1 1 1 1 0
0 1 0 0 1	1 1 1 1 1 1 1 0	1 1 0 0 1	1 1 1 1 1 1 1 0
0 1 0 1 0	1 0 0 1 0 0 1 0	1 1 0 1 0	0 0 1 0 0 0 1 0
0 1 0 1 1	1 0 0 1 0 0 1 0	1 1 0 1 1	0 0 1 0 0 0 1 0
0 1 1 0 0	1 0 0 1 0 0 1 0	1 1 1 0 0	0 0 1 1 0 1 1 0
0 1 1 0 1	1 0 0 0 0 0 1 0	1 1 1 0 1	0 0 0 1 1 1 0 0
0 1 1 1 0	1 0 0 0 0 0 1 0	1 1 1 1 0	0 0 0 0 1 0 0 0
0 1 1 1 1	0 0 0 0 0 0 0 0	1 1 1 1 1	0 0 0 0 0 0 0 0

8 CPLD 和 FPGA

一、内容提要及重点

本章的内容提要：

1. 可编程逻辑器件(PLD)可以由用户自行设计逻辑功能。它们具有集成度高、可靠性高、处理速度快和保密性好等特点。高密度的可编程逻辑器件一般包括三个基本部分:逻辑块、内部连线资源和 I/O 控制块。
2. 逻辑块是可编程逻辑器件实现各种组合和时序逻辑功能的核心模块。
3. 通过对可编程连线资源的编程,可以实现各逻辑块之间的相互连接,也可以与 I/O 模块相连,实现与芯片外部的信息交换。
4. I/O 块是可编程逻辑器件封装引脚和内部逻辑间的接口。每个 I/O 单元对应一个封装引脚,通过对 I/O 单元编程,可将引脚分别定义为输入、输出和双向功能。
5. CPLD 是在 GAL 的基础上发展起来的复杂可编程逻辑器件,多数 CPLD 逻辑块的核心是与-或阵列和触发器。
6. CPLD 器件通常采用 CMOS E²PROM 工艺制造,对器件编程后,即使切断电源,其逻辑也不会消失,且可以在系统编程(ISP 特性)。部分 CPLD 内部还集成了 E²ROM、FIFO 或双口 RAM,以适应不同功能的数字系统设计。
7. FPGA 中的逻辑块不像 CPLD 那样采用可编程的“与-或”阵列来实现逻辑函数,而是采用查找表(LUT)实现逻辑函数。逻辑块中包含若干 LUT 和触发器,这种结构避免了“与-或”阵列结构上的限制,且功能更强。一片 FPGA 可以包含数量众多的逻辑块,能够实现更大规模、更复杂的逻辑电路。FPGA 是目前规模最大、密度最高的可编程器件。
8. 大部分 FPGA 的 LUT 由数据选择器和 SRAM 构成,切断电源后,其逻辑会消失。所以 FPGA 一般需要一个外部的 PROM 保存编程数据。上电后,FPGA 首先从 PROM 中读入编程数据进行初始化,然后才开始正常工作。
9. 无论是 CPLD 还是 FPGA,其开发过程必须借助相关开发软件和编程设备才能完成。

本章的重点：

可编程逻辑器件的结构特点;用可编程逻辑器件设计数字电路的方法。

二、典型例题解析

例 8.1 已知逻辑函数 $L = A \bar{B} \bar{C} + \bar{A} C$, 若用 2 输入的 LUT 实现该逻辑函数, 需要几个 LUT? 确定 LUT 中的内容, 并以主教材图 8.2.2 所示的形式画出。

解题思路: 由于采用 2 输入的 LUT, 所以输入变量个数不能超过 2 个, 需要先将逻辑函数进行拆分, 然后确定 LUT 的内容。

解: 通过增加中间变量, 将逻辑函数拆分为能用 2 输入变量表达的逻辑函数:

$$L = A \bar{B} \bar{C} + \bar{A} C = (A \bar{B}) \bar{C} + \bar{A} C = F_1 \bar{C} + F_2 = F_3 + F_2$$

其中: $F_1 = A \bar{B}$, $F_2 = \bar{A} C$, $F_3 = F_1 \bar{C}$ 。这样 F_1 、 F_2 、 F_3 和 L 都是 2 输入逻辑函数, 由此可知共需 4 个 2 输入的 LUT, LUT 的内容及逻辑函数实现如图 8.1 所示。

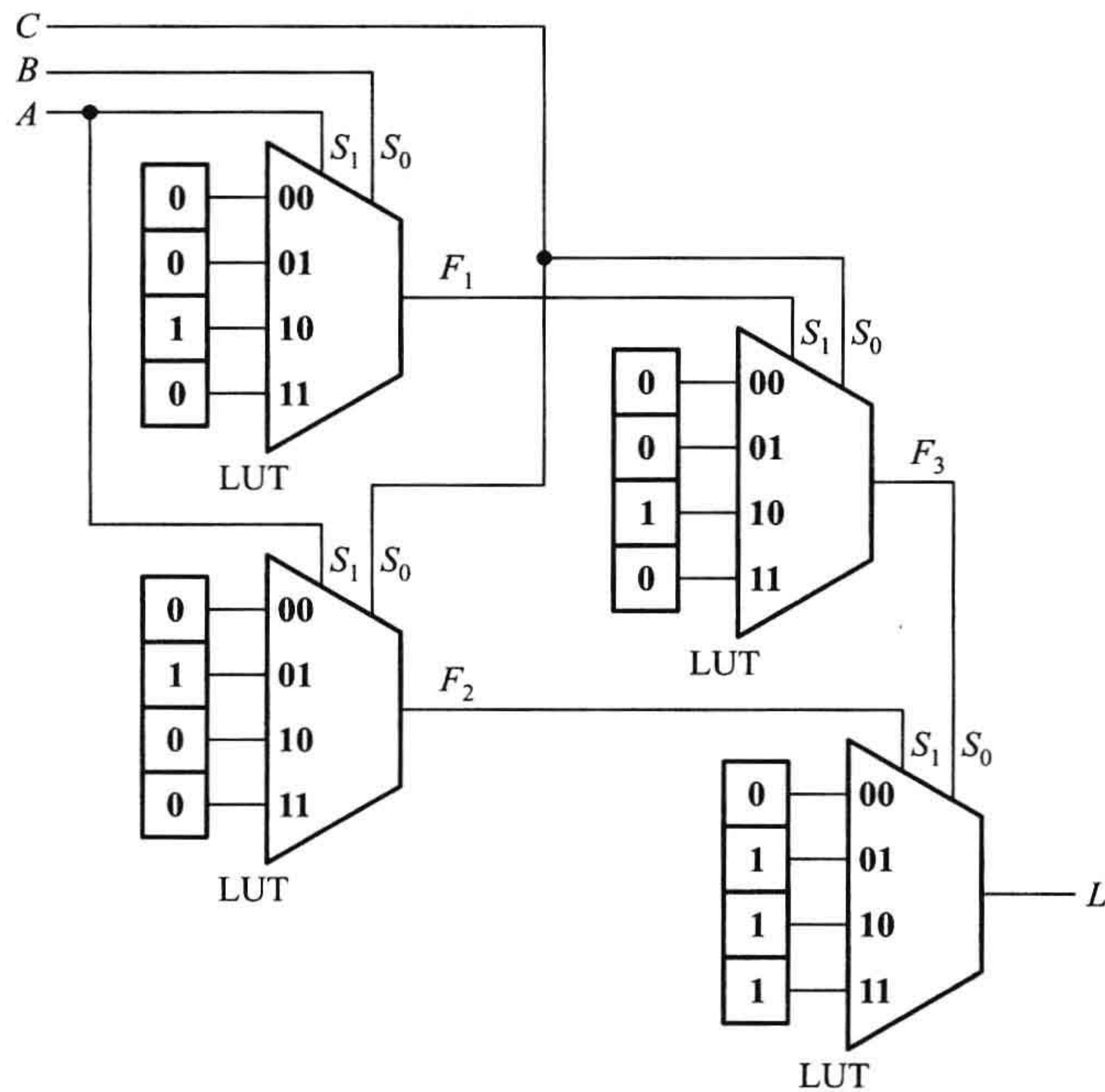


图 8.1

三、习题全解

8.1 复杂可编程逻辑器件 (CPLD) 简介

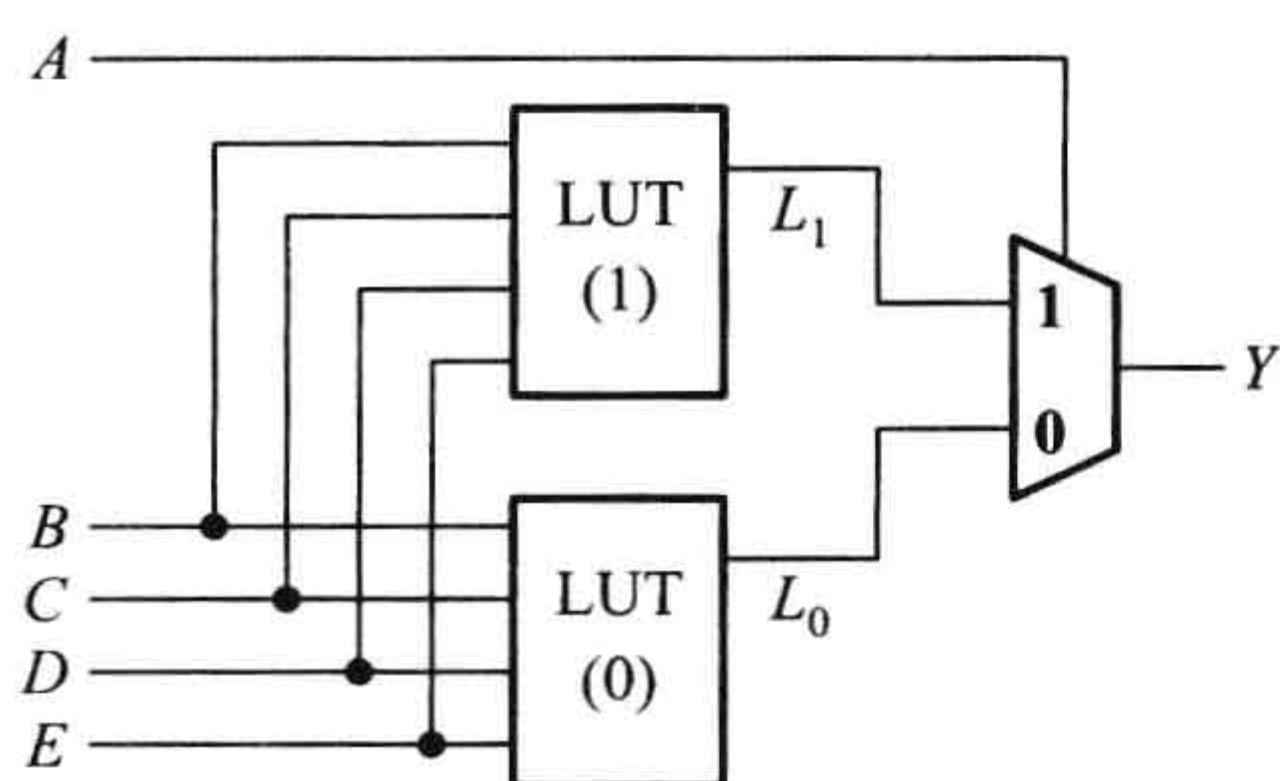
8.1.1 若某 CPLD 中的逻辑块有 36 个输入 (不含全局时钟、全局使能控制等), 16 个宏单

元。理论上,该逻辑块可以实现多少个逻辑函数?每个逻辑函数最多可有多少个变量?如果每个宏单元包含 5 个乘积项,通过乘积项扩展,逻辑函数中所能包含的乘积项数目最多是多少?

解:每个宏单元可以产生一个逻辑函数,所以可以实现 16 个逻辑函数。每个逻辑函数可以有 36 个变量。通过乘积项扩展,逻辑函数中包含的乘积项最多为 $16 \times 5 = 80$ 个。

8.2 现场可编程门阵列(FPGA)

8.2.1 电路如图题 8.2.1 所示,LUT 的内容如表题 8.2.1 所示。试写出 Y 的逻辑函数表达式。



图题 8.2.1

表题 8.2.1

B C D E	$L_1 L_0$	B C D E	$L_1 L_0$
0 0 0 0	0 1	1 0 0 0	0 1
0 0 0 1	0 0	1 0 0 1	1 0
0 0 1 0	1 0	1 0 1 0	0 0
0 0 1 1	0 0	1 0 1 1	0 1
0 1 0 0	1 0	1 1 0 0	0 1
0 1 0 1	0 0	1 1 0 1	1 0
0 1 1 0	0 1	1 1 1 0	1 0
0 1 1 1	0 1	1 1 1 1	0 1

解:由表题 8.2.1 可写出:

$$L_0 = \overline{B} \overline{C} \overline{D} \overline{E} + \overline{B} C D \overline{E} + \overline{B} C D E + B \overline{C} \overline{D} \overline{E} + B \overline{C} D E + B C \overline{D} \overline{E} + B C D E$$

$$L_1 = \overline{B} \overline{C} D \overline{E} + \overline{B} C \overline{D} \overline{E} + B \overline{C} D E + B C \overline{D} E + B C D \overline{E}$$

由图可知

$$Y = A L_1 + \overline{A} L_0$$

$$= A(\overline{B} \overline{C} D \overline{E} + \overline{B} C \overline{D} \overline{E} + B \overline{C} D E + B C \overline{D} E + B C D \overline{E})$$

$$+ \overline{A}(\overline{B} \overline{C} \overline{D} \overline{E} + \overline{B} C D \overline{E} + \overline{B} C D E + B \overline{C} \overline{D} \overline{E} + B \overline{C} D E + B C \overline{D} \overline{E} + B C D E)$$

8.2.2 用 5 个 2 输入 LUT 实现逻辑函数: $f(x_1, x_2, x_3) = x_1 \bar{x}_2 + x_1 x_3 + x_2 \bar{x}_3$ 。用主教材中图 8.2.3 的风格标出每个 LUT 的真值表,不必画 FPGA 中的无关连线和编程节点。

解: $F = f(x_1, x_2, x_3) = x_1 \bar{x}_2 + x_1 x_3 + x_2 \bar{x}_3 = F_1 + F_2 + F_3 = F_4 + F_3$

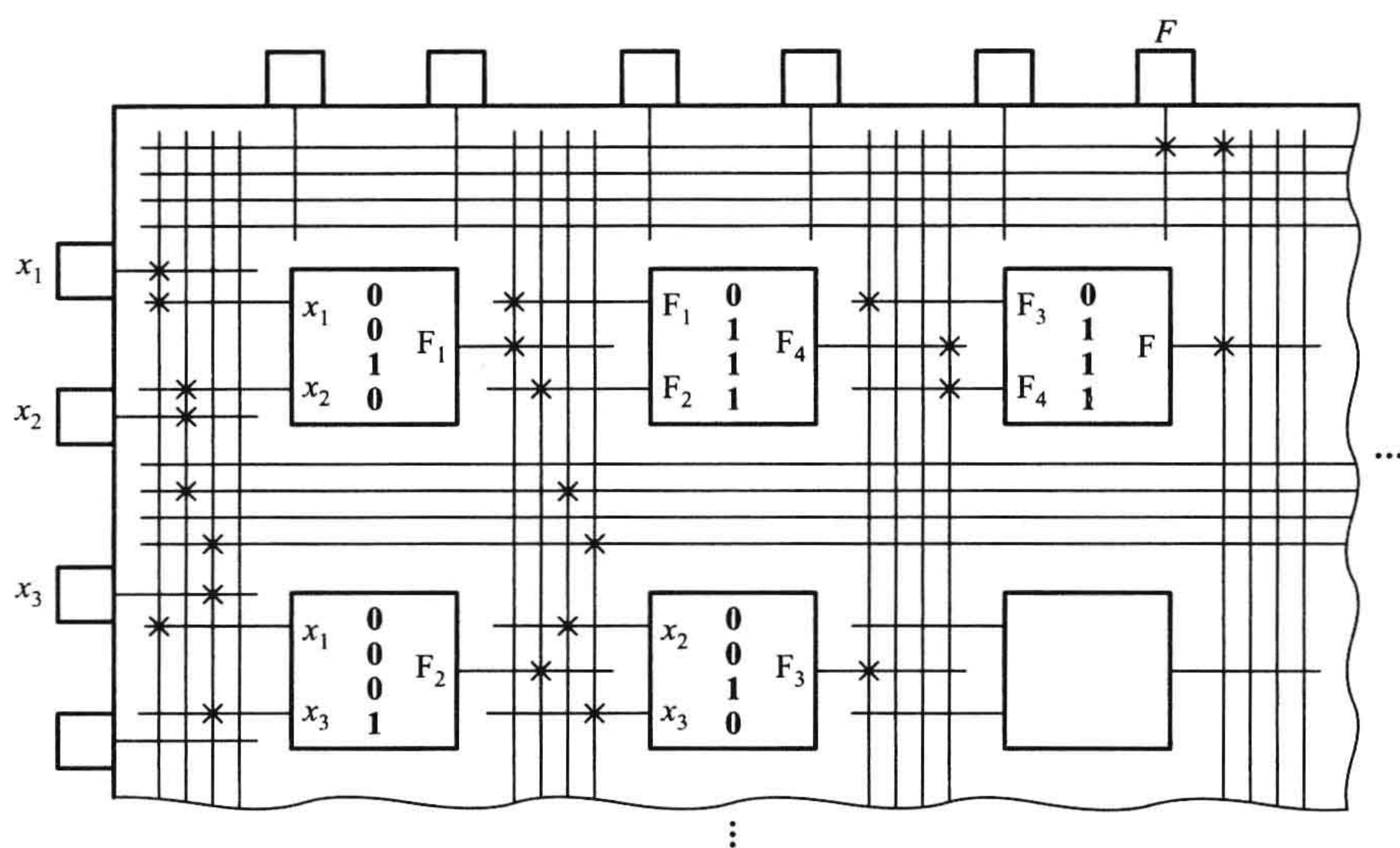
其中: $F_1 = x_1 \bar{x}_2$, $F_2 = x_1 x_3$, $F_3 = x_2 \bar{x}_3$, $F_4 = F_1 + F_2$ 。由此可知逻辑函数实现如图题解 8.2.2 所示。

8.2.3 用 2 个 2 输入 LUT 实现逻辑函数: $f(x_1, x_2, x_3) = \sum m(2, 3, 4, 6, 7)$ 。用主教材中图 8.2.3 的风格标出每个 LUT 的真值表,不必画 FPGA 中的无关连线和编程节点。

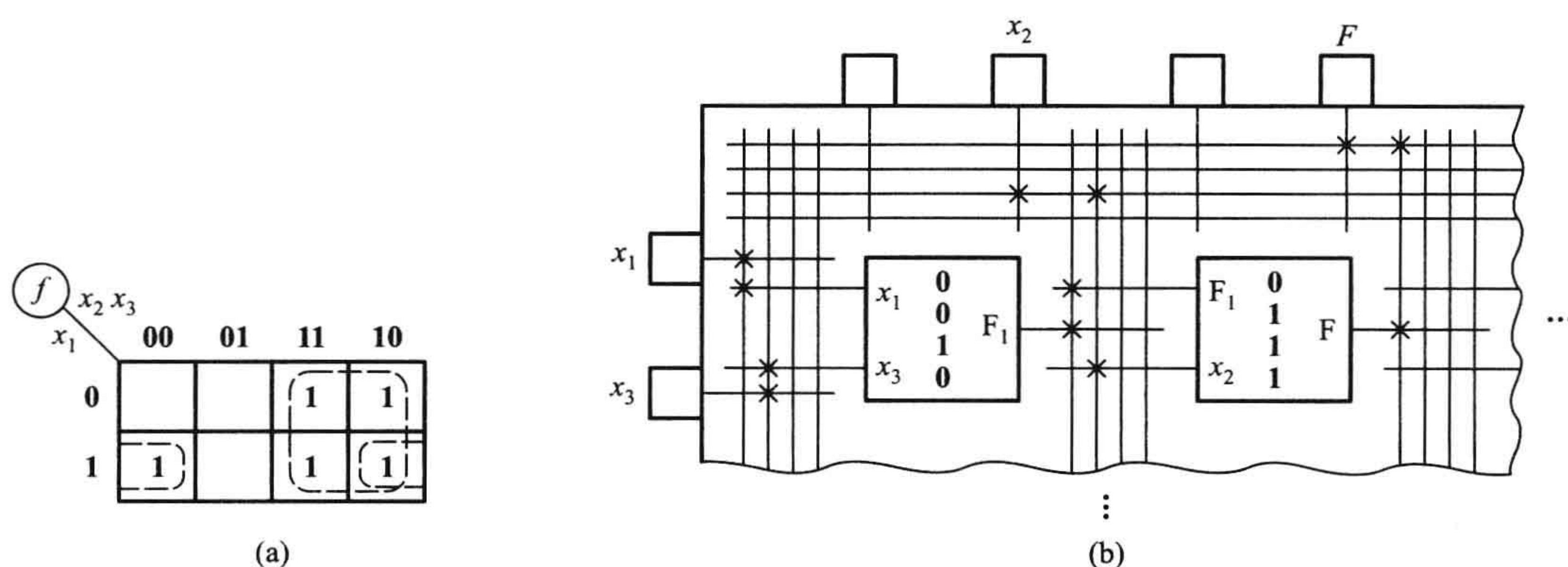
解:先化简逻辑函数。由图题解 8.2.3(a)卡诺图化简得:

$$F = f(x_1, x_2, x_3) = x_1 \bar{x}_3 + x_2 = F_1 + x_2$$

其中: $F_1 = x_1 \bar{x}_3$, 由此可知逻辑函数实现如图题解 8.2.3(b)所示。



图题解 8.2.2



图题解 8.2.3

8.4 用 EDA 技术和可编程器件的设计例题

8.4.1 试用 Verilog 语言设计一个 1 位十进制数(用 8421BCD 码表示)加法器,用 Quartus II 软件对电路进行逻辑功能仿真,并给出仿真波形。

解: 由于 Verilog HDL 语言的算术加法指令只适用于二进制数的加法,所以在源程序中对输入的数据按二进制数的加法进行计算,然后对相加的结果再进行调整,即将相加的二进制数结果转换为 8421BCD 码表示。

程序第一个 **always** 块完成二进制数相加,第二个 **always** 块完成二进制数到 BCD 码转换。程序中, A、B 为两个用 8421BCD 码表示的数,分别代表被加数和加数, S 代表和数,为 5 位二进制数, SumH、SumL 为 8421BCD 码表示的和数, ERR 表示输入数据不为 BCD 码时的出错信号。

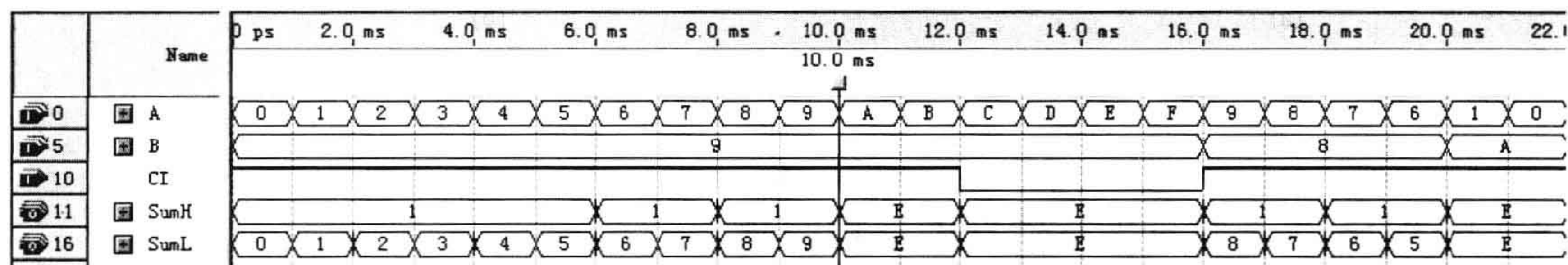
1 位十进制数加法器的源程序如下:


```

module BCD_ADDER (SumH, SumL, A, B, CI); //模块开始
    input [3:0] A, B; //用 8421 BCD 码表示的被加数、加数
    input CI; //低位来的进位输入
    output reg [3:0] SumH, SumL; //用 8421 BCD 码表示的和数
    reg ERR; //Input Error Flag
    reg [4:0] S; //Binary result
    always @ (A or B or CI)
        if ((A>9)|(B>9)) //输入数据出错
            begin S=5'd0; ERR=1'b1; end
        else //完成二进制加法运算
            begin
                S=A+B+CI;
                ERR=1'b0;
            end
    always @ (S or ERR) //完成 4 位二进制数到两位 BCD 码转换
        case (ERR)
            1'b0: if (S<4'd10)
                begin SumH=4'd0; SumL=S[3:0]; end
            else
                begin SumH=4'd1; SumL=S-5'd10; end
            1'b1: {SumH, SumL} = {4'b1110, 4'b1110}; //输入数据错误时,输出代码 EE
        endcase
endmodule

```

仿真波形如图题解 8.4.1 所示。



图题解 8.4.1

8.4.2 设计一个 4 位数字显示的简易频率计。要求：

- (1) 能够测试 100 Hz ~ 9999 Hz 正方波信号(幅度为 3 ~ 5 V)的频率。
- (2) 电路输入的基准时钟为 1 Hz, 要求测量值以 8421BCD 码形式输出。
- (3) 系统有复位按键。
- (4) 采用分层次、分模块的方法, 用 Verilog 语言进行设计。
- (5) 最后用 Quartus II 软件对电路进行逻辑功能仿真, 并给出仿真波形。

解: 数字频率计的测频原理如图题解 8.4.2(a) 所示, 在确定的闸门时间 T_w 内, 记录被测信

号的脉冲个数 N_x , 则被测信号的频率为: $f_x = N_x / T_w$ 。若 T_w 为 1 秒, 被测信号被送到测量计数器进行计数, 当 1 秒钟结束时, 闸门关闭, 计数器停止计数, 则信号的频率就是计数器的计数值 N_x 。这种方法的计数值会产生 ± 1 个字误差, 测试精度与计数器中记录的数值 N_x 有关。

数字频率计组成框图如图题解 8.4.2(b) 所示, 系统包括逻辑控制模块、测量计数器、锁存器和译码显示电路。由 FPGA 实现前三个模块, 如图中虚线框内所示。逻辑控制模块的输入为 1Hz 标准时钟信号和系统复位信号, 输出为三个控制信号, 分别为: Cnt_CR、Cnt_EN 和 Latch_Sig。Cnt_CR 信号用于在每一次测量开始时, 对测量计数器进行清零, 以清除上次测量结果, 该复位信号高电平有效, 持续半个时钟周期的时间。Cnt_EN 信号为允许计数信号, 即闸门控制信号, 用于控制测量计数器的计数时间。在 Cnt_EN 信号上升沿到来时, 测量计数器开始对被测脉冲信号进行计数, 计数时间达到 1 秒钟时, 停止计数, 此时计数器的计数值即为被测信号的频率。然后将该值锁存, 并送译码显示电路显示出来。Latch_Sig 为锁存信号, 在其上升沿到来时, 将测量计数器的值锁存到寄存器中。设置锁存器的好处是使显示的数据稳定, 因为计数器在 1 秒钟内要计成千上万个输入脉冲, 若不加锁存器, 显示器上的数字将随计数器的值而变化, 不便于读数。每一次测量开始时, 都要先发一个清零脉冲将计数器清零。系统复位信号用于对整个系统进行复位, 低电平有效。

分析图题解 8.4.2(c) 所示的波形可知, 该频率计完成一次频率测量所需时间包括计数、锁存和清零的时间, 总共为 2 秒。如果提高逻辑控制电路输入的基准时钟信号是频率, 使锁存数据和清零的时间缩短, 则可以缩短测量时间。

频率计的 Verilog 程序如下:

//频率计的顶层模块

```
module Fre_Measure (BCD, _1HzIN, SigIN, nRST_Key, Cnt_EN, Cnt_CR, Latch_Sig, Cnt);
```

```
    input  _1HzIN, SigIN, nRST_Key;
```

```
    output wire [15:0] BCD;                                //锁存器的输出信号, 给译码显示电路
```

//内部节点信号的定义

```
    output wire Cnt_EN, Cnt_CR; //测量计数器的控制信号, 为了便于仿真, 将该信号引出
```

```
    output wire Latch_Sig;                                //锁存信号, 为了便于仿真, 将该信号引出
```

```
    output wire [15:0] Cnt;                                //测量计数器 8421 BCD 码输出信号
```

```
// ===== Call Control Block =====
```

```
control U0(Cnt_EN, Cnt_CR, Latch_Sig, nRST_Key, _1HzIN);
```

```
// ===== Measure counter =====
```

```
counter10 U1(Cnt[3:0], Cnt_CR, Cnt_EN, SigIN); // ~ nRST_Key
```

```
counter10 U2(Cnt[7:4], Cnt_CR, Cnt_EN, ~(Cnt[3:0] == 4'h9)); //异步计数器
```

```
counter10 U3(Cnt[11:8], Cnt_CR, Cnt_EN, ~(Cnt[7:0] == 8'h99));
```

```
counter10 U4(Cnt[15:12], Cnt_CR, Cnt_EN, ~(Cnt[11:0] == 12'h999));
```

```
// ===== Call Latch Block =====
```

```
Latch_16 U5(BCD, Cnt, Latch_Sig, ~nRST_Key);
```

```
endmodule
```



```

//以下是频率计的各个下层子模块
// ***** Control Block *****
module control( Cnt_EN, Cnt_CR, Latch_Sig, nRST, CP);
    input CP, nRST;
    output reg Cnt_EN;
    output wire Cnt_CR, Latch_Sig;
    always @ ( posedge CP or negedge nRST)
    begin
        if( ~ nRST)                                //产生测量计数器的使能信号
            Cnt_EN = 1'b0;                          //不允许计数
        else Cnt_EN = ~ Cnt_EN;                    //对 CP 进行 2 分频
        end
        assign Latch_Sig = ~ Cnt_EN;                //产生锁存信号
        assign Cnt_CR = nRST & ( ~ CP & Latch_Sig); //产生测量计数器的清零信号
    endmodule

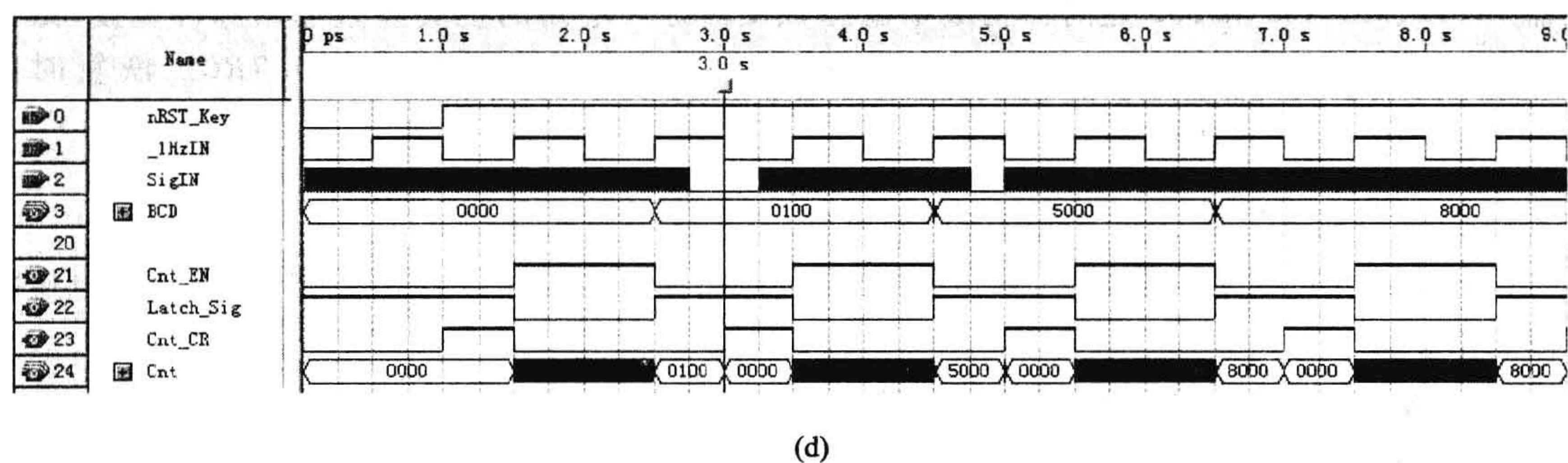
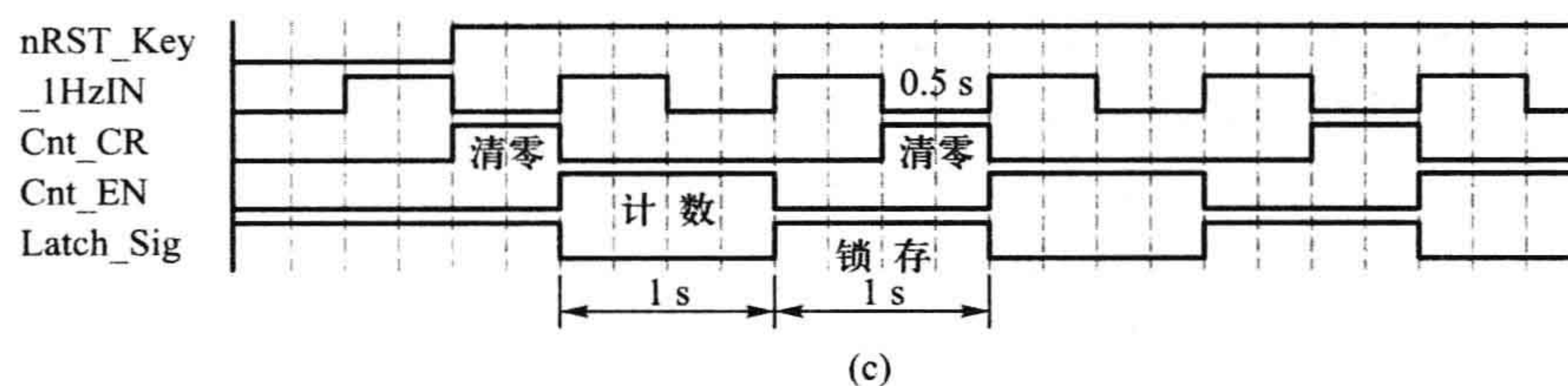
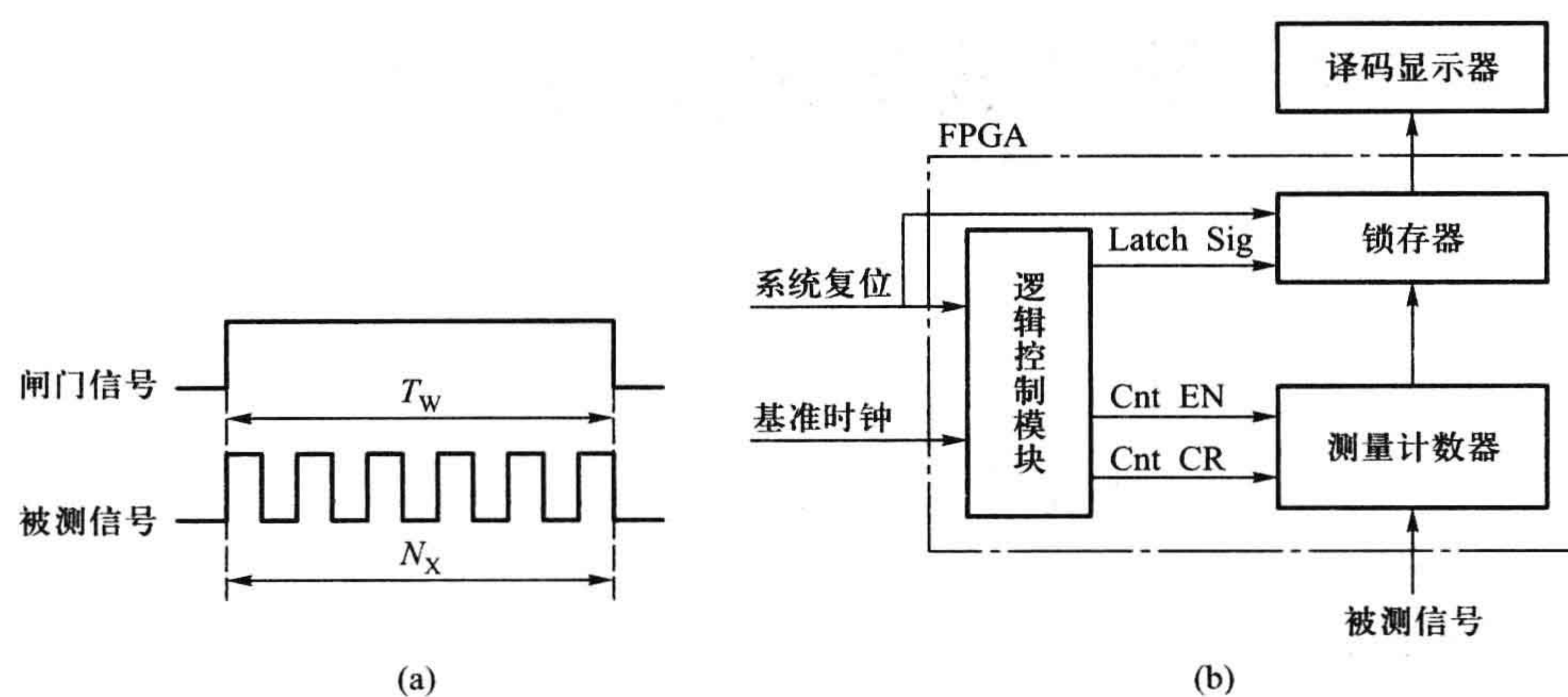
// ***** Latch Block *****
module Latch_16( Qout, Din, Load, CR);
    input Load, CR;
    input [15:0] Din;
    output reg [15:0] Qout;
    always @ ( posedge Load or posedge CR)
    if ( CR) Qout <= 16'h0000;
    else Qout <= Din;
endmodule

// ***** counter10. v ( BCD: 0 ~ 9 ) *****
module counter10( Q, CR, EN, CP);
    input CP, CR, EN;
    output reg [3:0] Q;
    always @ ( posedge CP or posedge CR)
    begin
        if( CR) Q <= 4'b0000;                    //CR=1,计数器被异步清零
        else if( ~ EN) Q <= Q;                    //EN=0,暂停计数
        else if( Q == 4'b1001)
            Q <= 4'b0000;
        else Q <= Q + 1'b1;                      //计数器增 1 计数
    end

```


endmodule

仿真波形如图题解 8.4.2(d) 所示。



图题解 8.4.2

(a) 测频原理 (b) 频率计组成框图 (c) 控制信号的时序关系 (d) 仿真波形图

9 脉冲波形的变换与产生

一、内容提要及重点

本章的内容提要：

1. 单稳态触发器工作特点如下

(1) 单稳态触发器没有触发脉冲作用时电路处于一种稳定状态。

(2) 在触发脉冲作用下,电路由稳态翻转到暂稳态。

(3) 电路在持续一段时间后自动回到稳态,暂稳态持续时间取决于电路中的 RC 参数值。

电路主要应用于定时、延时及脉冲的变换等。

2. 单稳态触发器有多种构成形式,如用门电路构成的微分型单稳态触发器、集成单稳态触发器 74121、MC1483 和 555 定时器构成单稳态触发器等。电路的主要参数输出脉冲宽度、最高工作频率、恢复时间等。如微分型单稳态触发器的输出脉冲宽度 $t_w \approx 0.7RC$ 。恢复时间

$$t_{re} = (3 \sim 5)RC, \text{最高工作频率 } f_{\max} = \frac{1}{T_{\min}} < \frac{1}{t_w + t_{re}}$$

3. 施密特触发器属于电平触发方式的电路,其工作特点如下

(1) 当输入达到某一定值时,输出电压发生跳变,由于电路中正反馈的作用,其输出电压波形的边沿很陡。

(2) 电路有两个阈值电压,电压传输特性具有滞回特性。

4. 施密特触发器的构成形式有门电路构成的施密特触发器、集成施密特触发器和 555 定时器构成施密特触发器。电路主要应用于波形变换、整形和幅度的鉴别电路的主要参数有:正向阈值电压 V_{T+} 、负向阈值电压 V_{T-} 、回差电压 ΔV_T 。

正向阈值电压 V_{T+} :输入电压上升时,使电路输出状态发生转换时所对应的输入电压。

负向阈值电压 V_{T-} :输入电压下降时,使电路输出状态发生转换时所对应的输入电压。

回差电压 ΔV_T : $\Delta V_T = V_{T+} - V_{T-}$ 。

如 CMOS 反相器构成的施密特触发器的

$$\text{正向阈值电压} \quad V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH}$$

$$\text{负向阈值电压} \quad V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH}$$

$$\text{回差电压} \quad \Delta V_T = V_{T+} - V_{T-} = 2 \frac{R_1}{R_2} V_{TH} = \frac{R_1}{R_2} V_{DD}$$

5. 多谐振荡器是一种自激振荡电路。在接通电源后,无需外加信号电路就能自动产生脉冲波形,常用做数字系统作脉冲信号源。电路没有稳态,只有两个暂稳态,因此又称为无稳态电路。

多谐振荡器有门电路和 RC 延迟电路构成的多谐振荡器、施密特触发器构成的多谐振荡器、石英晶体振荡器和 555 定时器构成多谐振荡器。

多谐振荡器的主要参数有:振荡频率、占空比等。

6. 555 定时器是一种数-模混合的中规模集成电路,只要简单外接电路就可以构成施密特触发器、单稳态触发器和多谐振荡器。

本章的重点:

1. 单稳态触发器、施密特触发器和多谐振荡器的工作原理,电路分析及相关参数的计算。
2. 脉冲电路的分析方法。分析的关键在于电容在充、放电过程中,其电压变化对门电路输入电平的影响。

二、典型例题解析

例 9.1 由 CMOS 门组成的单稳态触发器如图 9.1(a) 所示。其中 $V_{DD} = 5V$, $V_{TH} = 0.4V_{DD}$, $C = 1nF$, $V_{OH} \approx 5V$, $V_{OL} \approx 0V$ 。

(1) 设输入 v_i 的波形如图 9.1(b) 所示,试画出 v_{i2} 及 v_o 的波形。

(2) 试确定电阻 R 的值,使输出脉冲宽度为 $10\mu s$ 。

解题思路:① 根据微分型单稳态触发器的工作原理,分析电路的工作过程。明确稳态时 v_{i2} 及 v_o 的电平和当触发脉冲到达时电路状态的变化。画波形时注意逻辑门电路的阈值电压值。

② 根据三要素公式推导出脉冲宽度的公式,然后确定脉冲宽度。

解:(1) 微分型单稳态触发器处于稳态时 $v_{i2} = V_{DD} = 5V$, $v_o = 0V$ 。当触发脉冲的上升沿到来时电路进入暂稳态, v_{i2} 跳变为低电平, v_o 跳变为高电平,电容开始充电。触发脉冲消失,当电容开始充电使 $v_{i2} = V_{TH} = 0.4V_{DD} = 2V$ 时电路从暂稳态返回至稳态。

图 9.1(a) 所示电路中 v_o 及 v_{i2} 的波形如图 9.1(c) 所示。

(2) 由三要素公式可知

$$v_c(t) = v_c(\infty) + [v_c(0^+) - v_c(\infty)]e^{-\frac{t}{\tau}}$$

$$t = \tau \ln \frac{v_c(\infty) - v_c(0^+)}{v_c(\infty) - v_c(t)}$$

当 $t = t_w$ 时, $v_c(t_w) = 0.4V_{DD} = 2V$, $v_c(0^+) = 0$, $v_c(\infty) = 5V$, 代入上式得

$$t_w = RC \ln \frac{5}{3} \approx 0.51RC$$

根据上式可求得

$$R = \frac{t_w}{0.51C} = \frac{10^{-5}}{0.51 \times 10^{-9}} \approx 19.6k\Omega$$

例 9.2 由集成单稳态触发器 74121 所组成的电路及参数如图 9.2(a) 所示,触发输入信号

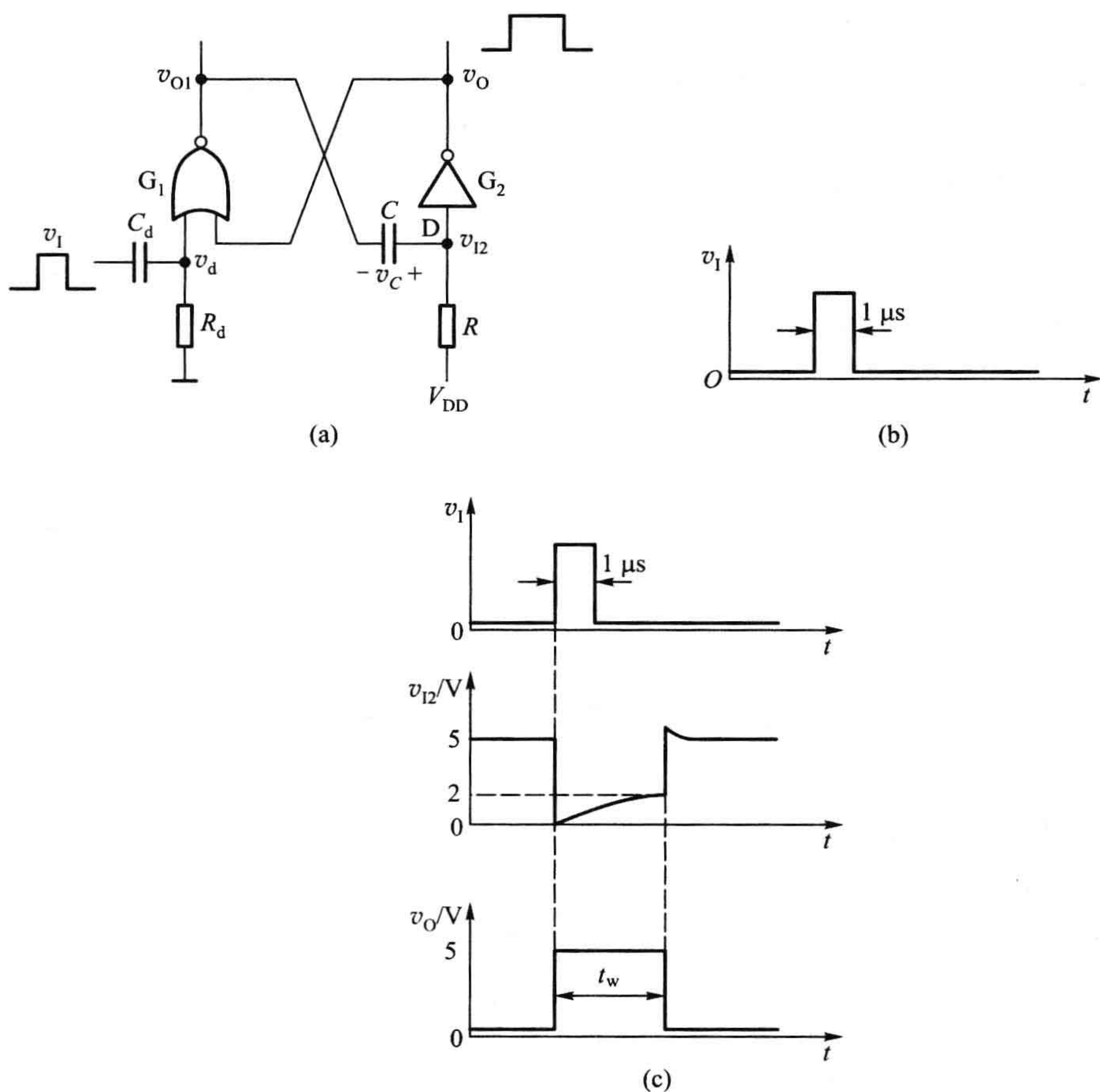


图 9.1

如图 9.2(b) 所示。

(1) 计算在 v_1 作用下 v_{O1} 、 v_{O2} 输出脉冲的宽度。

(2) 画出对应 v_1 的输出 v_{O1} 、 v_{O2} 的波形。

解题思路: ① 根据 74121 的功能, 确定每块集成芯片的工作状态。画波形时注意 A_1 、 A_2 为下降沿触发输入端, B 为上升沿触发输入端。

② 根据公式计算 v_{O1} 、 v_{O2} 输出脉冲的宽度。

解: (1) 74121 集成单稳态触发器输出脉冲宽度为

$$t_w \approx 0.7RC$$

将参数代入上式可求得

$$t_{w1} = 0.7 \times 5.5 \times 10^3 \times 1.3 \times 10^{-6} \approx 5 \text{ ms}$$

$$t_{w2} = 0.7 \times 1.1 \times 10^3 \times 1.3 \times 10^{-6} \approx 1 \text{ ms}$$

(2) 稳态时输出 v_{O1} 、 v_{O2} 均为 0。当触发脉冲 v_1 的下降沿到达时, v_{O1} 跳变为高电平, 片(1)进入暂稳态, 在持续 5ms 结束。 v_{O1} 的下降沿使 v_{O2} 跳变为高电平, 片(2)进入暂稳态并持续 1ms 结束。 v_{O1} 、 v_{O2} 的波形如图 9.2(c) 所示。

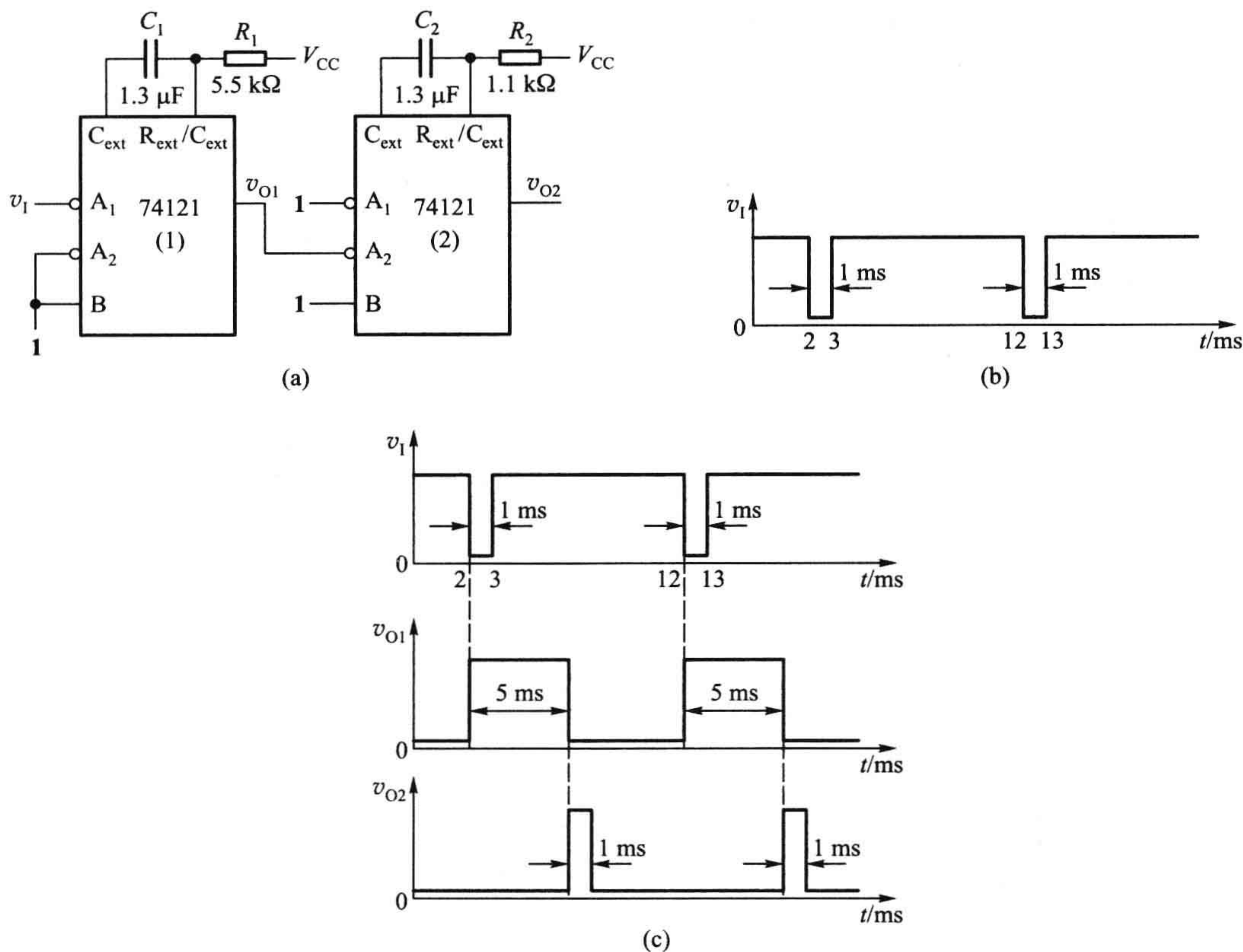


图 9.2 例 9.2 的电路及工作波形

(a) 电路 (b) 输入波形 (c) 工作波形

例 9.3 CMOS 施密特与非门组成的电路如图 9.3(a) 所示, 窄脉冲触发输入信号 v_i 如图 9.3(b) 所示。已知 $R = 5\text{ k}\Omega$, $C = 0.1\text{ }\mu\text{F}$, $V_{\text{DD}} = 5\text{ V}$, $V_{\text{OH}} \approx 5\text{ V}$, $V_{\text{OL}} \approx 0\text{ V}$, $V_{\text{T}+} = 3.3\text{ V}$, $V_{\text{T}-} = 1.8\text{ V}$ 。

(1) 分析电路的工作原理, 画出 v_c 及 v_o 的波形 (两个触发脉冲间隔的时间足够长)。

(2) 计算输出高电平持续的时间。

解题思路: ① 正确分析电路: 电路由施密特与非门和场效应管构成。场效应管截止时电容充电, 导通时电容放电。注意电容充、放电会导致 v_c 的电压的变换, 进而会改变施密特与非门的输出状态。

② 通过分析可知, 输出高电平持续的时间为电容从 $V_{\text{T}-}$ 充电到 $V_{\text{T}+}$ 所需时间, 可根据三要素公式计算输出高电平持续的时间。

解: (1) 触发信号来到之前, v_i 的低电平使场效应管截止, 电容充电到稳态值, $v_c = V_{\text{DD}} = 5\text{ V}$ 。施密特与非门的两个输入端均为高电平, 输出 $v_o = 0$ 。电路处于稳定状态,

当正触发脉冲到达时, MOS 管 T 导通, 其导通电阻通常为几十至几百欧。电容 C 通过 MOS 管放电。当 v_c 下降到 $V_{\text{T}-}$ 时, 施密特与非门关闭, 输出 $v_o = 1$, 电路进入暂稳态。

在暂稳态期间触发脉冲已经消失, v_i 的低电平又使 T 截止, V_{DD} 通过 R 向 C 充电, v_c 从 $V_{\text{T}-}$ 开始逐渐增加, 当增加到 $v_c = V_{\text{T}+}$ 时, 输出 $v_o = 0$ 暂稳态结束, 此时下一个触发脉冲没有到来时, T 仍

然截止, v_c 继续充电至 V_{DD} 。分析电路可知图 9.3(a) 所示电路为单稳态触发器。稳态时, 输出低电平; 暂稳态时, 输出高电平。

(2) 根据三要素公式

$$v_c(t) = v_c(\infty) + [v_c(0^+) - v_c(\infty)] e^{-\frac{t}{\tau}}$$

并且 $v_i(0^+) = V_{T-} = 1.8\text{V}$, $v_i(\infty) = V_{DD} = 5\text{V}$, $v_i(t_w) = V_{T+} = 3.3\text{V}$, $\tau = RC$

于是可求出

$$t_w = RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} = 5 \times 10^3 \times 0.1 \times 10^{-6} \ln \frac{5 - 1.8}{5 - 3.3} \approx 0.32\text{ms}$$

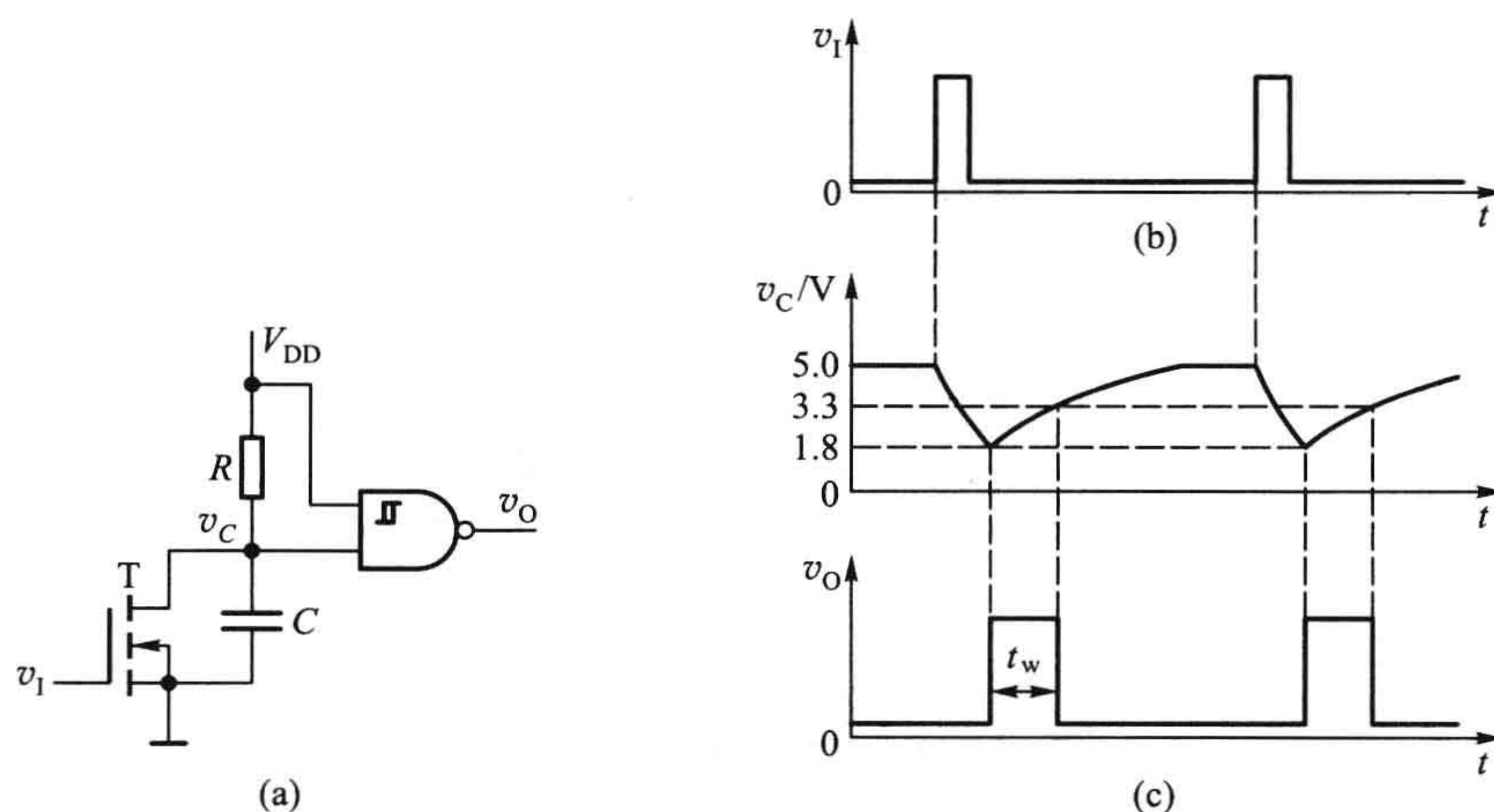


图 9.3 例 9.3 的电路及工作波形

(a) 电路 (b) 输入波形 (c) 输出波形

例 9.4 由 CMOS 施密特与非门构成的门控多谐振荡器如图 9.4(a) 所示。触发控制信号 v_i 如图 9.4(b) 所示。

(1) 分析电路的工作原理, 画出 v_c 及 v_o 的波形。

(2) 试写出该电路各个充、放电时间及振荡频率的表达式。

解题思路: ① 分析电路工作原理。当 $v_i = 0$ 时, 与非门关闭, 输出为高电平。当 $v_i = 1$ 时, 与非门导通, 此时电路为多谐振荡器。电路为可控振荡器。

② 稳态时电容的充、放电时间即为两个暂态维持时间, 可根据三要素公式计算。在确定充、放电时间后即可得到振荡频率的表达式。

解: (1) 当 $v_i = 0$ 时, 与非门关闭, 输出为高电平, 并通过 R 向电容 C 充电至 $v_{cc} = V_{DD}$ 。当 $v_i = 1$ 时, 与非门输出 v_o 跳变为低电平。此后电容 C 开始放电, v_c 下降。当 v_c 下降到 V_{T-} 时, 电路发生翻转, v_o 由低电平跳变为高电平, C 又被重新充电。当 v_c 上升到 V_{T+} 时, 施密特触发器又发生翻转, v_o 又由高电平跳变为低电平, C 又开始放电。如此周而复始, 在输出端得到矩形波, 如图 9.4(c) 所示。

(2) 根据 RC 电路过渡过程可知

$$t = \tau \ln \frac{v_c(\infty) - v_c(0^+)}{v_c(\infty) - v_c(t)}$$

当 $t = T_0$ 时, $v_c(T_0) = V_{T-}$, $v_c(0^+) = V_{DD}$, $v_c(\infty) = 0$, 代入上式得

$$T_0 = RC \ln \frac{V_{DD}}{V_{T-}}$$

同理可求得电路振荡稳定时的充、放电时间为

$$T_1 = RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}}$$

$$T_2 = RC \ln \frac{V_{T+}}{V_{T-}}$$

振荡频率

$$f = \frac{1}{T_1 + T_2} = \frac{1}{RC \ln \frac{V_{T+}(V_{DD} - V_{T-})}{V_{T-}(V_{DD} - V_{T+})}}$$

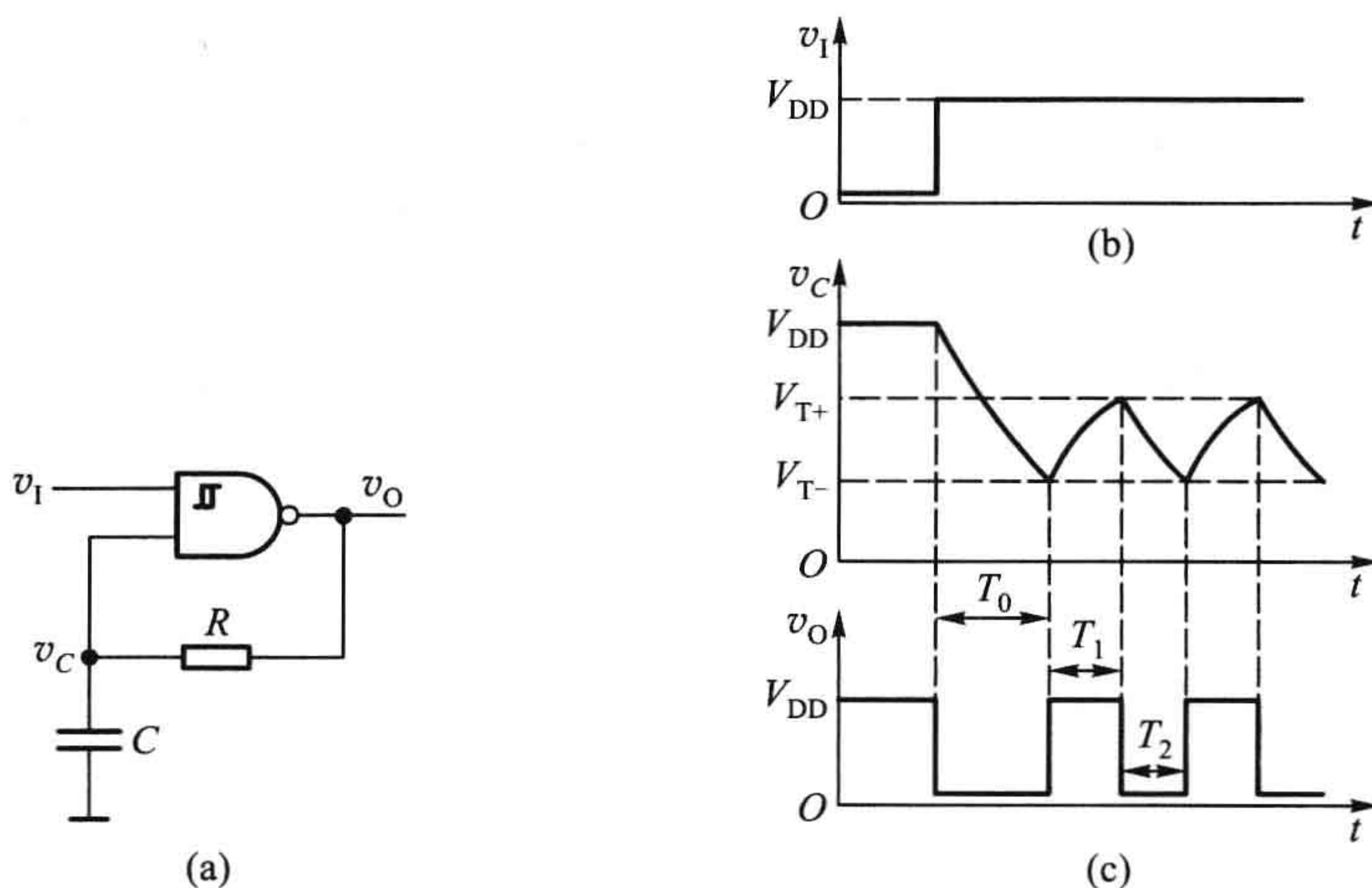


图 9.4

(a) 电路 (b) 输入波形 (c) 工作波形

例 9.5 由 555 定时器组成的电路如图 9.5(a) 所示, 图中 $R_1 = R_2 = 5\text{k}\Omega$, $C = 0.01\text{ }\mu\text{F}$, D 为理想二极管。理想运放 A 的供电电压为 $\pm 15\text{V}$, 其他参数如图所示。

(1) 试问 555(0)、555(1) 各组成什么电路;

(2) 画出 v_C 、 v_A 和 v_O 的波形, 并计算出 v_O 的周期。

解题思路: ① 根据电路结构确定电路功能。图 9.5(a) 所示电路包含多谐振荡器、施密特触发器及运放构成的反相加法电路。

② 确定单元电路的功能及相互连接关系, 正确画出 v_C 、 v_A 和 v_O 的波形。

解: (1) 555(0) 组成多谐振荡器, 555(1) 组成施密特触发器。施密特触发器的正向阈值电压 $V_{T+} = \frac{2V_{CC}}{3} = 3.33\text{V}$, 负向阈值电压 $V_{T-} = \frac{V_{CC}}{3} = 1.67\text{V}$

(2) 如果忽略 $50\text{k}\Omega$ 电阻对多谐振荡器充、放电的影响, 可以画出 v_A 的波形。由运放构成的反相加法电路将 v_C 与 -10V 直流电压相加, 得到信号 v_A ($v_A = 10 - v_C$), v_A 为施密特触发器的触发信号, 根据施密特触发器的工作原理, 可以画出输出 v_O 的波形如图 9.5(b) 所示。多谐振荡器充、放

电的时间分别为

$$t_{\text{pH}} = R_1 C \ln 2 \approx 0.7 R_1 C$$

$$t_{\text{pL}} = R_2 C \ln 2 \approx 0.7 R_2 C$$

施密特触发器输出电压 v_o 的周期

$$T \approx 0.7 (R_1 + R_2) C$$

$$= 0.7 \times (5 + 5) \times 10^3 \times 0.01 \times 10^{-6} = 70 \mu\text{s}$$

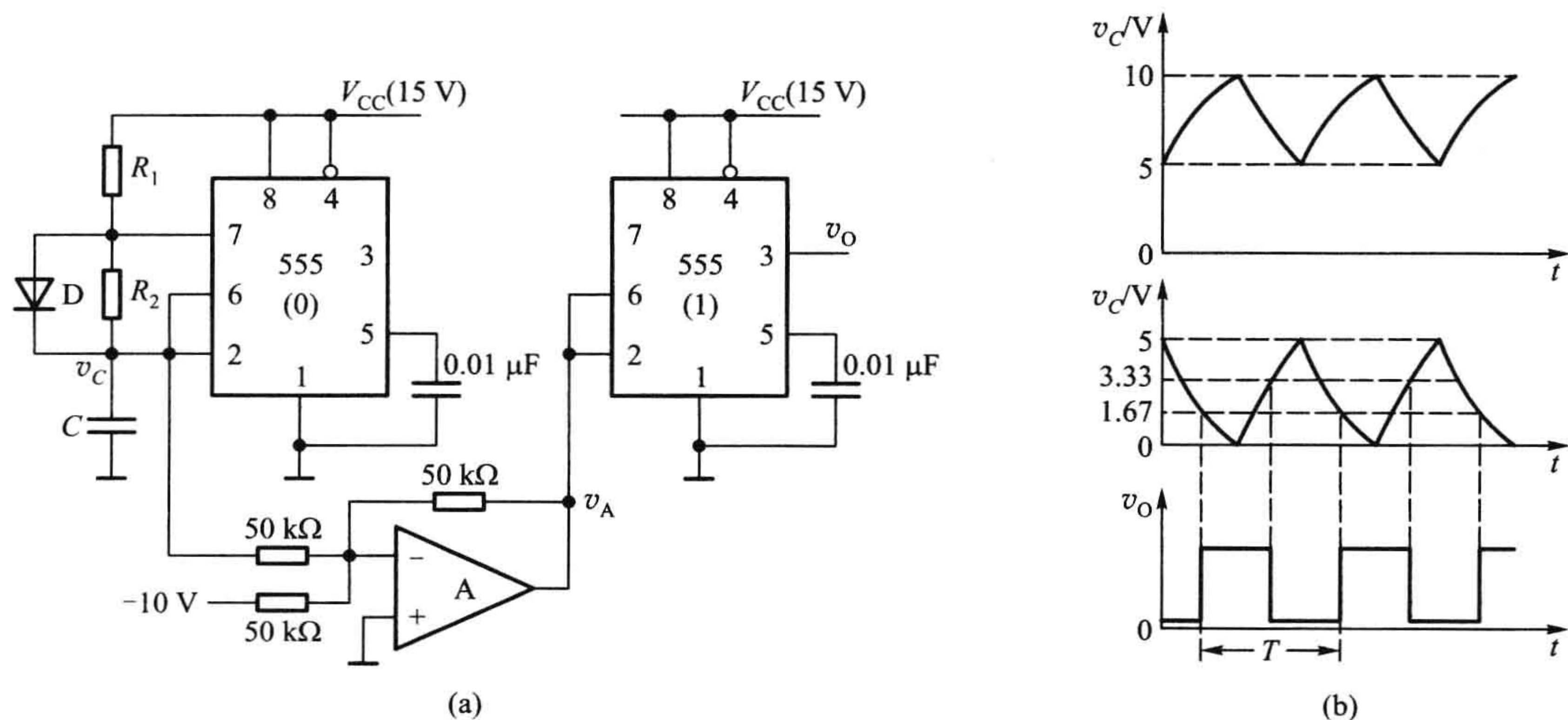


图 9.5 例 9.5 电路及工作波形

(a) 电路 (b) 工作波形

三、习题全解

9.1 单稳态触发器

9.1.1 微分型单稳态电路如图题 9.1.1 所示, 已知 $C = 0.01 \mu\text{F}$, $R = 9.1 \text{k}\Omega$, 电源电压 $V_{\text{DD}} = 10\text{V}$ 。试对应已知输入波形画出电路输出 v_o 的波形, 并确定输出脉宽 t_w 及幅值大小。

解: 根据微分型单稳态电路分析可知, 电路在输入信号的上升沿到来时, 从稳态进入暂稳态, 暂稳态在维持一段时间后, 会自动返回到稳态。于是, 可对应输入波形画出输出波形如图题解 9.1.1 所示。

暂稳态持续时间由电路中的 RC 延时环节参数值决定。

电路的输出脉宽

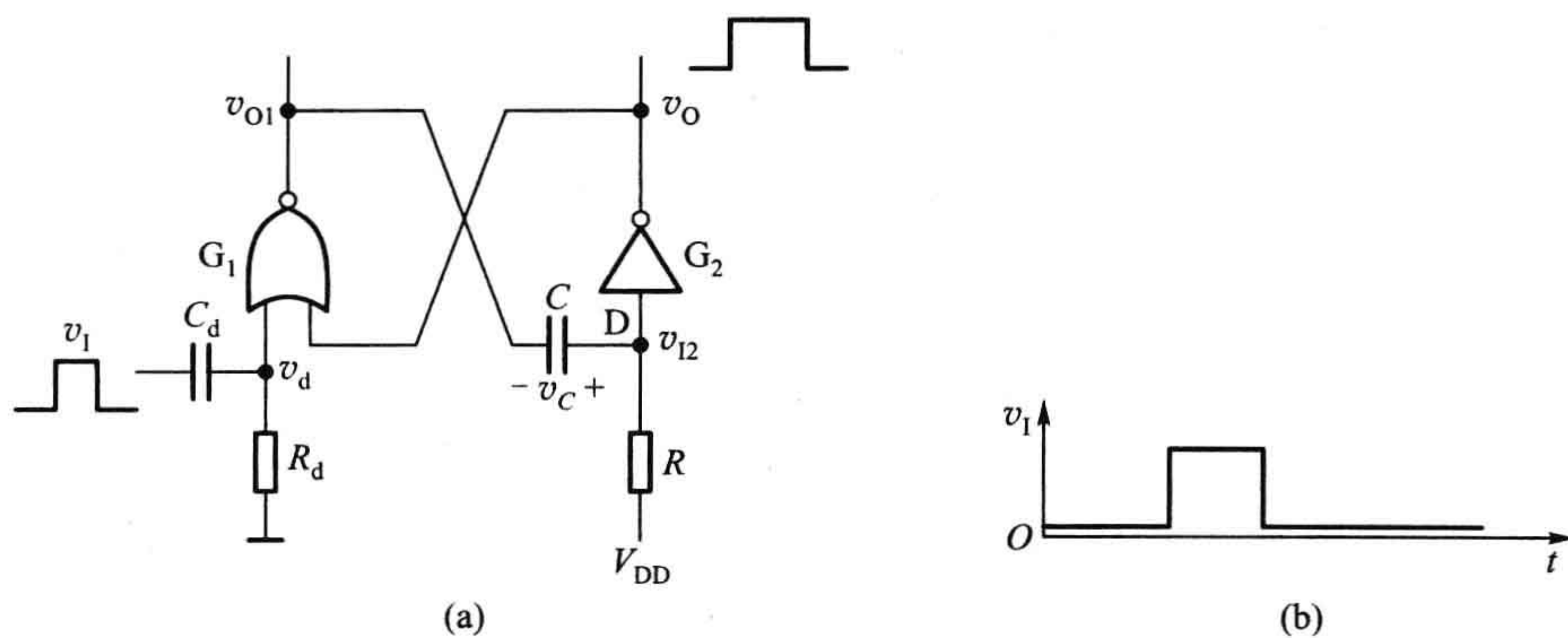
$$t_w \approx 0.7 RC$$

将 $C = 0.01 \mu\text{F}$, $R = 9.1 \text{k}\Omega$ 代入上式

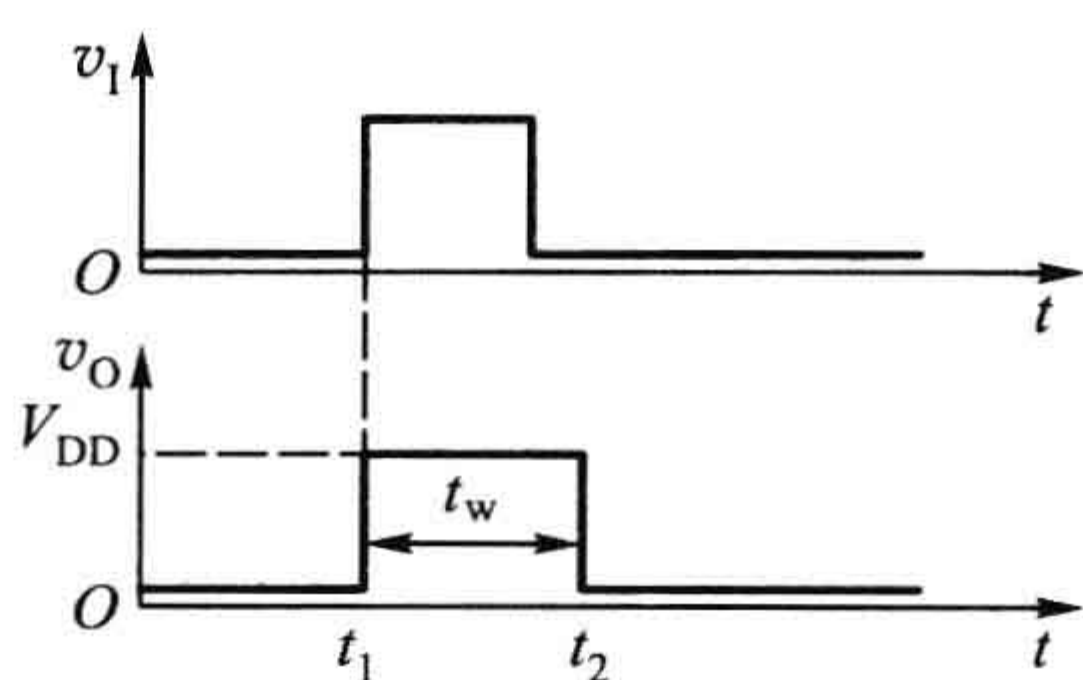
$$t_w \approx 0.7 \times 0.01 \times 10^{-6} \times 9.1 \times 10^3 \\ = 0.0637 \text{ms}$$

输出波形的幅值

$$V_m = V_{\text{OH}} - V_{\text{OL}}$$



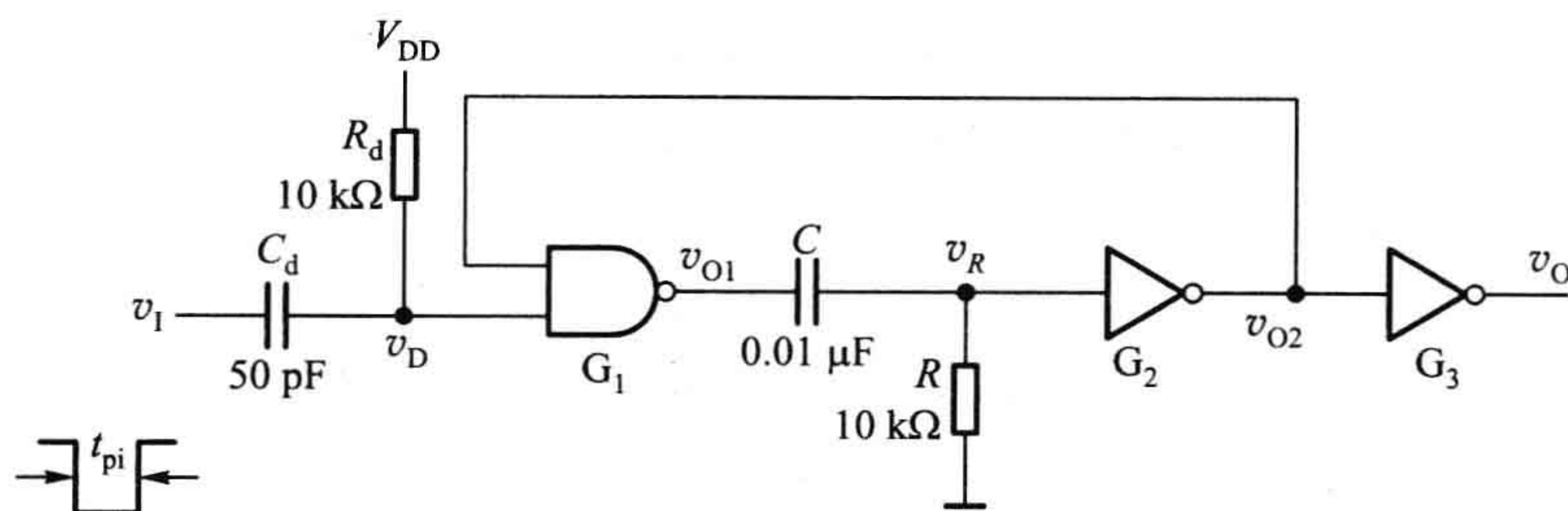
图题 9.1.1



图题解 9.1.1

$$\approx V_{DD} - 0 = V_{DD}$$

9.1.2 由 CMOS 逻辑门组成的微分型单稳电路如图题 9.1.2 所示。其中 t_{pi} 为 $3\mu s$ 、 $C_d = 50\text{ pF}$ 、 $R_d = 10\text{ k}\Omega$ 、 $C = 0.01\mu F$ 、 $R = 10\text{ k}\Omega$ ，试对应 v_1 分别画出 v_D 、 v_{O1} 、 v_R 、 v_{O2} 、 v_O 的波形，并求出输出脉冲宽度。



图题 9.1.2

解：设定 CMOS 反相器的阈值电压 $V_{TH} \approx \frac{V_{DD}}{2}$ ；CMOS 门的 $V_{OL} \approx 0V$ ， $V_{OH} \approx V_{DD}$ 。

首先分析由电路的工作过程。

(1) 没有触发信号时电路处于一种稳定状态

没有触发信号时， v_1 为高电平， $v_D = V_{DD}$ 。由于 G_2 门的输入端经电阻 R 接地， $v_{O2} \approx V_{DD}$ ； $v_O \approx 0$ 这样， G_1 门的输出 $v_{O1} \approx 0$ 。电路处于一种稳定状态。

(2) 外加触发信号, 电路由稳态翻转到暂稳态。

在输入触发脉冲 v_i 的下沿, R_d 、 C_d 微分电路输出的负脉冲使 v_{01} 迅速地从低电平跳变为高电平。由于电容 C 两端的电压不可能突变, v_R 也同时跳变为高电平。 v_{02} 跳变为低电平, v_o 跳变为高电平, 电路进入暂稳态。

(3) 电容器 C 充电, 电路自动从暂稳态返回至稳态。

进入暂稳态期后, 随着电容 C 的充电, 电阻 R 上的电流逐渐减弱, v_R 按指数规律下降, 当 v_R 下降到 G_2 的阈值电压 V_{TH} 时, v_{02} 跳回到高电平, v_o 返回到低电平, 暂稳态结束。在 v_{01} 跳回低电平后, 电容 C 放电, 经一段恢复时间, 电路完全恢复到稳态。

根据上述分析可画出单稳态触发器各点电压工作波形如图题解 9.1.2 所示。

(4) 输出脉宽 t_w 的计算

根据 RC 电路过渡过程分析可知,

$$v_R(t) = v_R(\infty) + [v_R(0^+) - v_R(\infty)] e^{-t/RC},$$

将 $v_R(0^+) = V_{DD}$, $v_R(\infty) = 0V$, $v_R(t_w) = V_{TH} \approx V_{DD}/2$ 代入上式,

$$\begin{aligned} \text{得} \quad t_w &= RC \ln \frac{v_R(\infty) - v_R(0^+)}{v_R(\infty) - v_R(t_w)} \\ &= 10 \times 10^3 \times 0.01 \times 10^{-6} \times \ln 2 \text{ s} \\ t_w &= 69 \mu\text{s} \end{aligned}$$

9.1.3 图题 9.1.3 所示电路是用 CMOS 或非门构成的单稳态触发器的另一种形式。试回答下列问题:

(1) 分析电路的工作原理; (2) 画出加入触发脉冲后 v_{01} 、 v_{02} 及 v_R 的工作波形; (3) 写出输出脉宽 t_w 的表达式。

解: (1) 电路工作过程如下:

稳态: G_1 门的一个输入端经 R 接地, $v_R = 0$, 无触发信号, $v_i = 0$, $v_{01} = 1$, $v_{02} = 0$, v_c 为 $0V$ 。

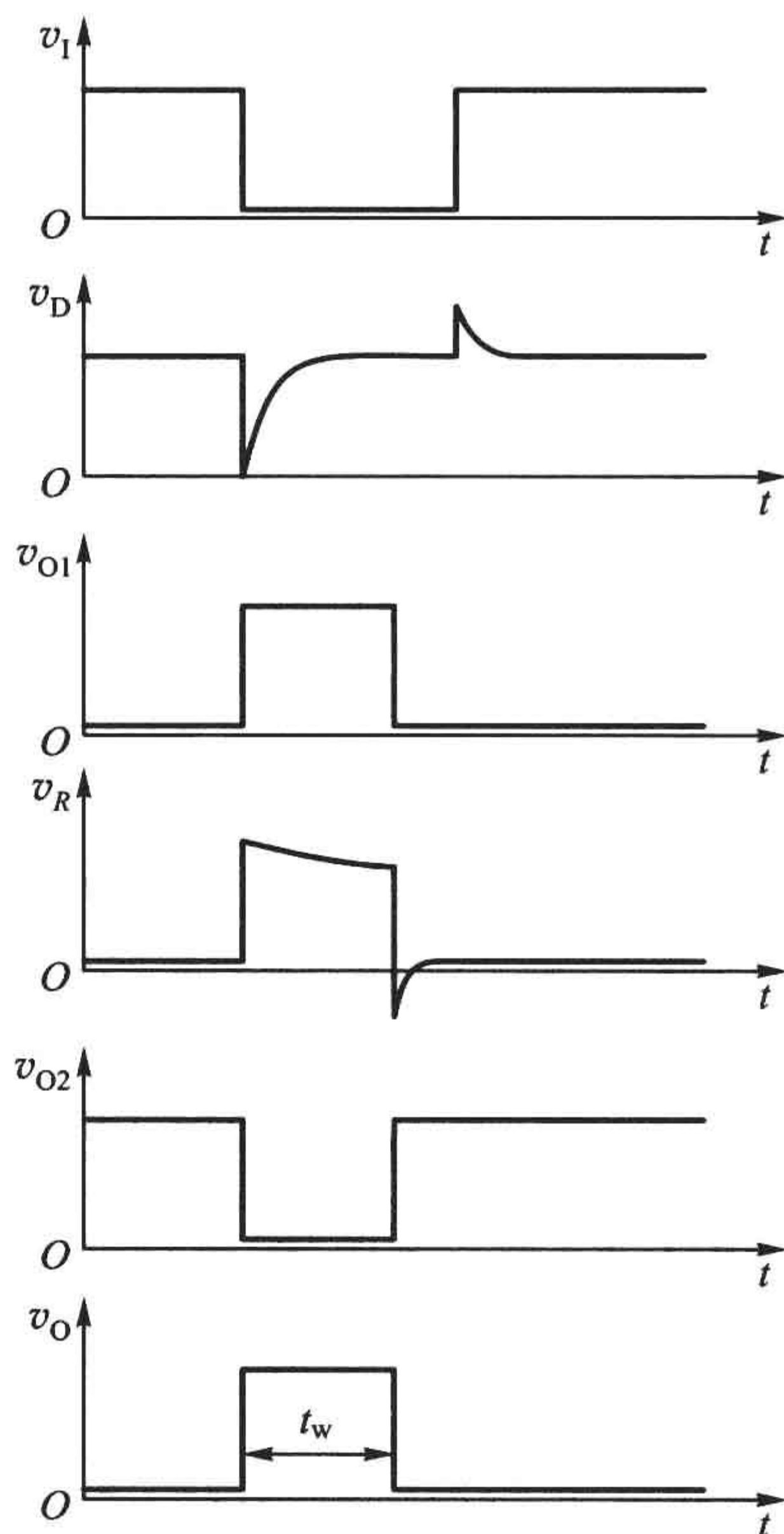
暂稳态: 当触发脉冲 v_i 由 0 上跳至高电平, G_1 门输出下跳至低电平, G_2 门输出 v_{02} 上跳至高电平, 由于电容两端的电压不能突变, 于是 v_R 由低电平跳变至高电平, 且与 v_{02} 跳变幅度相同。此后 G_2 门输出的高电平向电容 C 放电, v_R 成指数规律下降。

返回稳态: v_i 撤销后, 电容放电, v_R 成指数规律下降, 当 v_R 下降至 G_1 的门阈值电压 V_{TH} 时, 使 G_1 输入全为 0, v_{01} 跳变到高电平, v_{02} 跳变回低电平, 暂稳态结束。

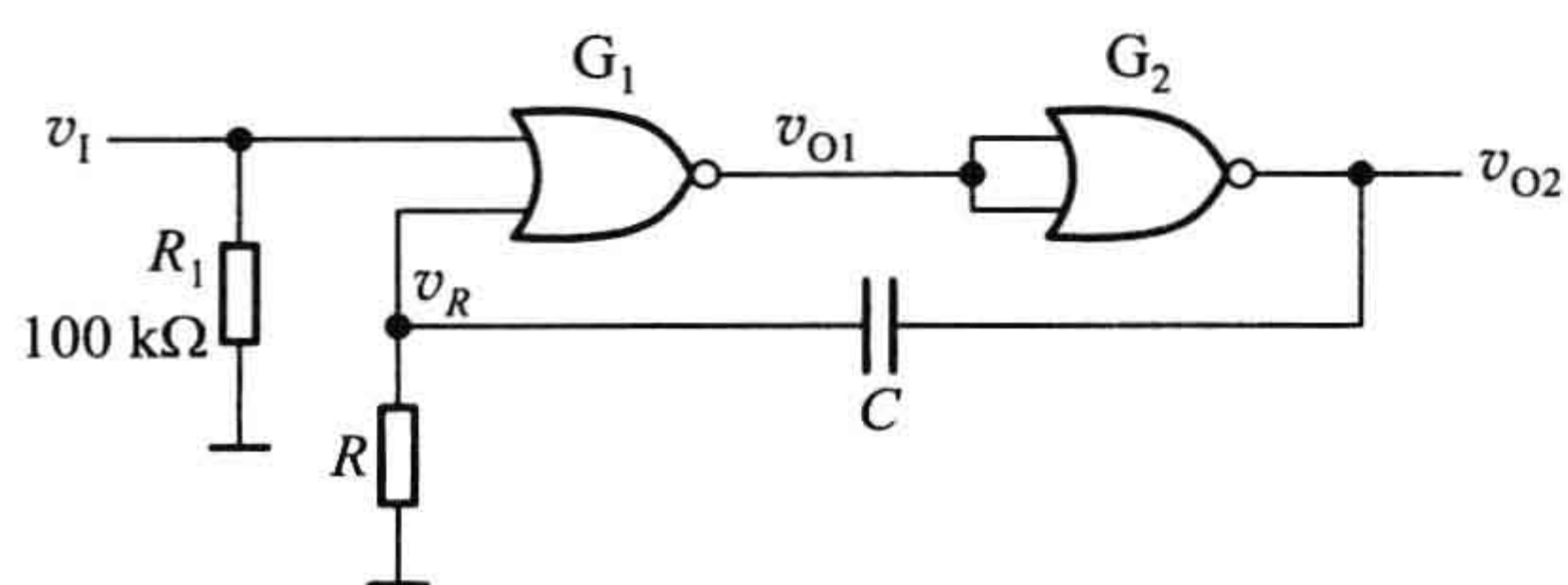
恢复阶段: 此后电容充电, 使 v_R 回到稳态值, 电路返回到稳态。

(2) v_i 、 v_{01} 、 v_{02} 、 v_R 的工作波形如图题解 9.1.3 所示。

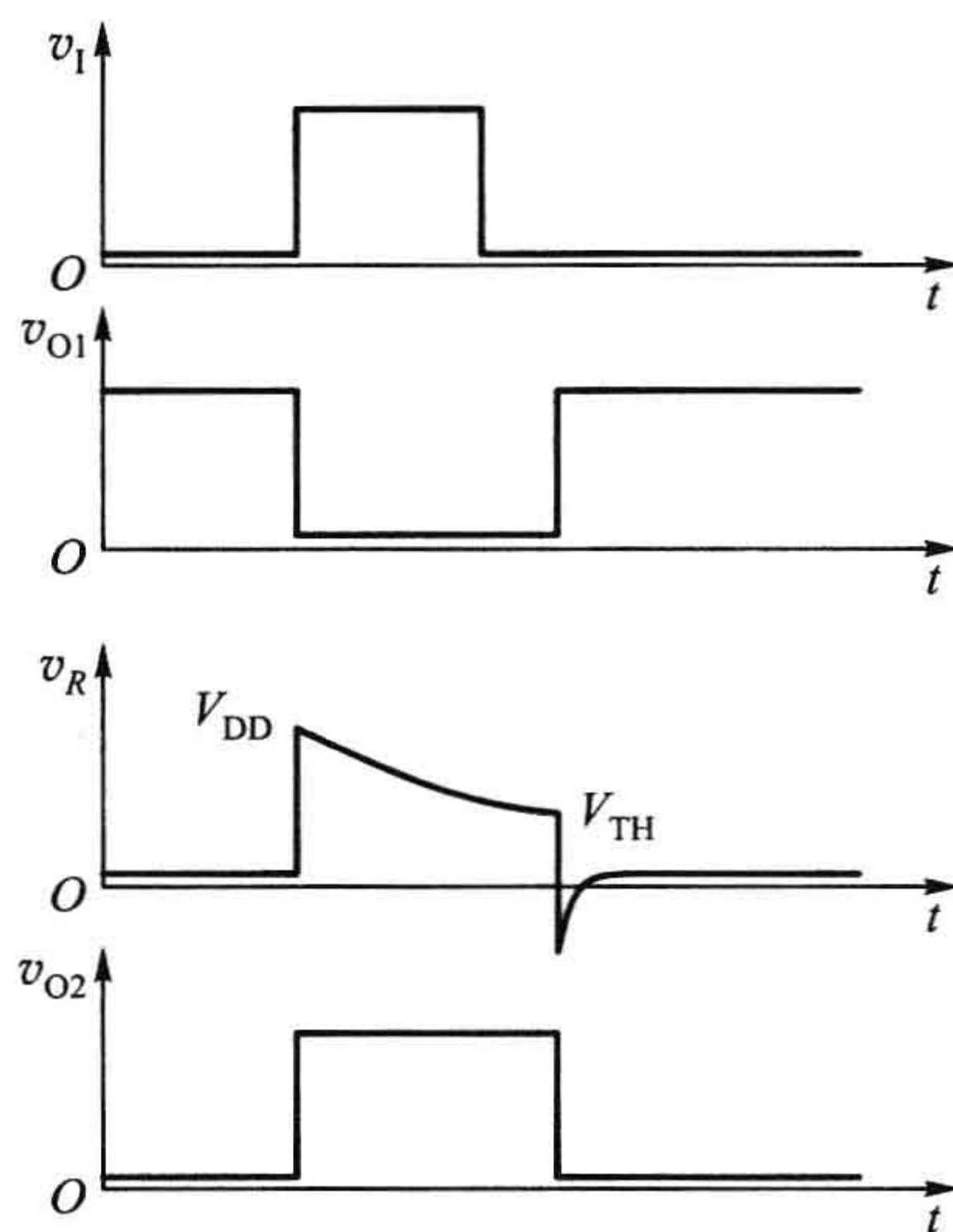
(3) 输出脉宽 t_w 取决于暂稳态的持续时间, 其值为



图题解 9.1.2



图题 9.1.3



图题解 9.1.3

$$t_w = \tau \ln \frac{v_R(\infty) - v_R(0^+)}{v_R(\infty) - v_R(t_w)}$$

式中 $v_R(\infty) = 0$, $v_R(0^+) = V_{DD}$, $v_R(t_w) = v_{TH}$

设 $V_{TH} = \frac{V_{DD}}{2}$, 则

$$t_w \approx 0.7RC$$

9.1.4 由集成单稳态触发器 74121 组成的延时电路及输入波形如图题 9.1.4 所示。(1) 计算输出脉宽的变化范围;(2) 解释为什么使用电位器时要串接一个电阻。

解:(1) 电路中集成单稳 74121 的输出脉宽与电路外接电阻、电容取值有关。

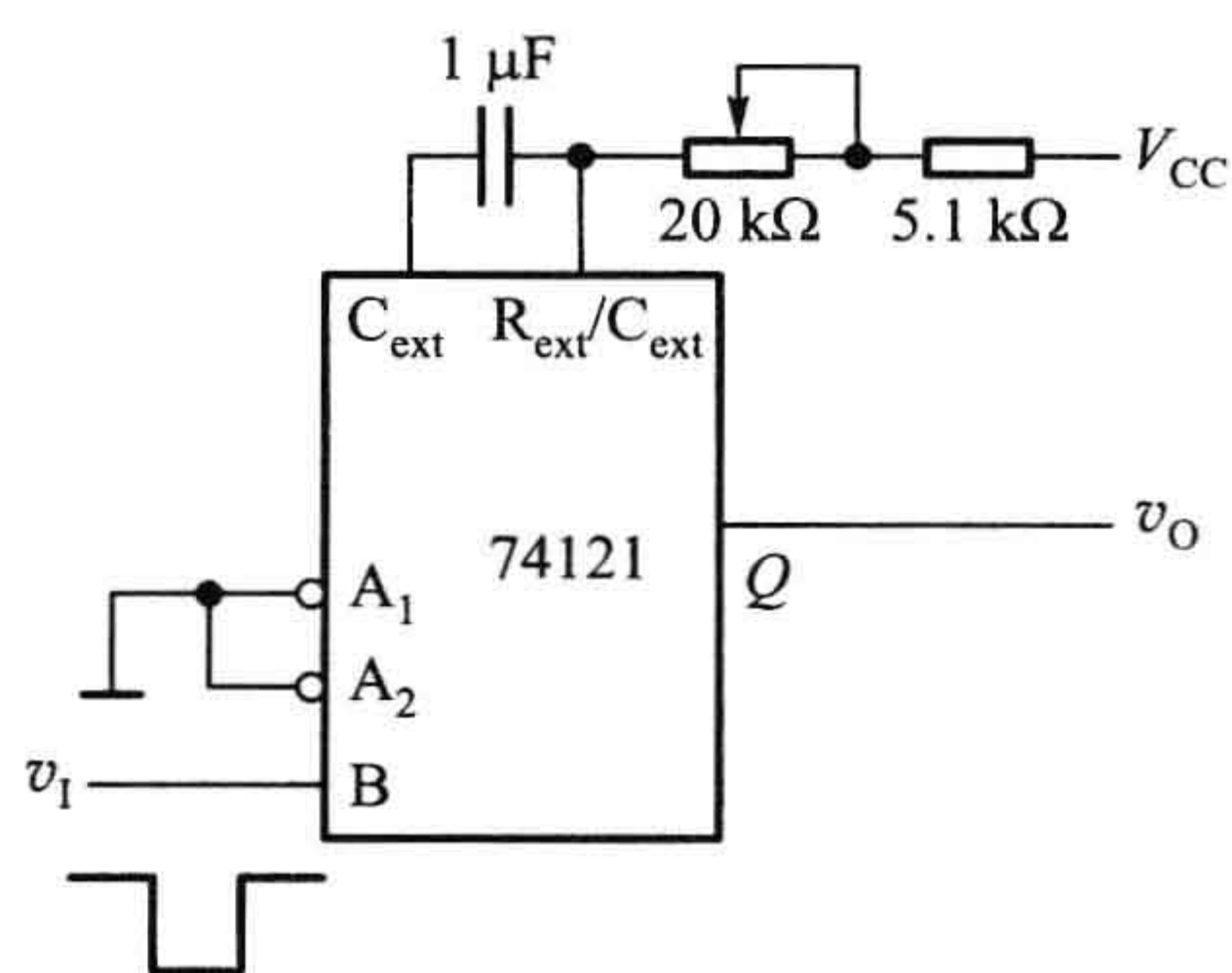
$$t_w \approx 0.7RC$$

依题意将 $C = 1 \mu\text{F}$ $R = (5.1 \sim 25.1) \text{k}\Omega$ 代入上式

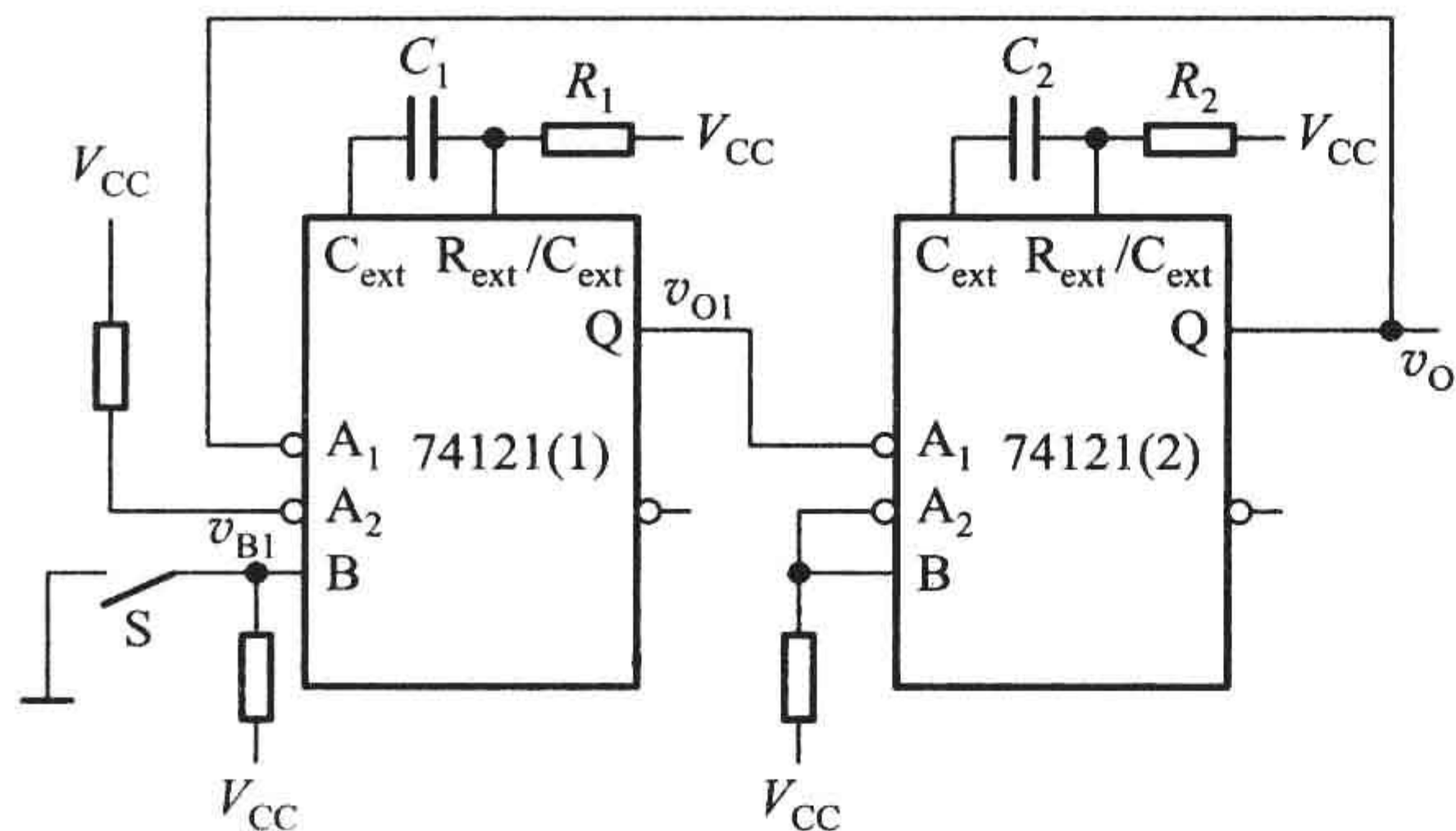
可算得 $t_w \approx (3.57 \sim 17.57) \text{ms}$

(2) 若不串接 $5.1 \text{k}\Omega$ 电阻, 单稳 74121 外接电阻仅为电位器, 那么当电位器阻值一旦调为 0 时, 单稳态会因无定时电阻而无法开始正常工作。

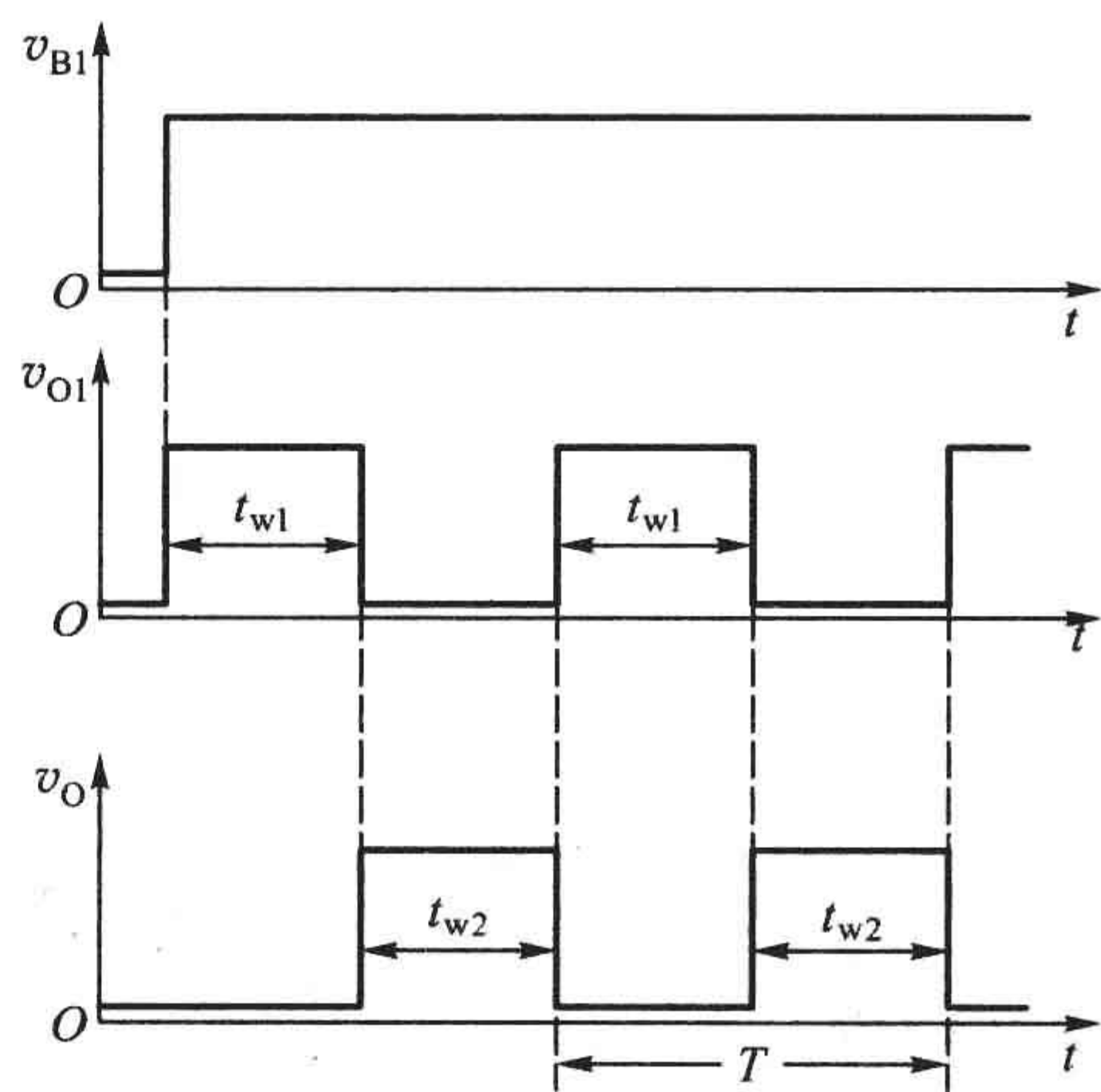
9.1.5 利用两片集成单稳态触发器 74LS121 构成的多谐振荡器如图题 9.1.5 所示, 试说明其工作原理, 并计算电路的振荡频率。



图题 9.1.4



图题 9.1.5



图题解 9.1.5

解: 当开关 S 从闭合变为断开时, 74121(1) B 端从低电平跳变为高电平使单稳(1)进入暂稳态, v_{O1} 输出正脉冲, 脉宽为 $0.7R_1C_1$ 。随后, 在 v_{O1} 的下降沿到来时, 单稳(2)进入暂稳态, 脉宽为 $0.7R_2C_2$ 。由于 v_O 与 74121(1) 的 $\overline{A_1}$ 相接, 当 74121(2) 的暂稳态结束, v_O 的下降沿到来时, 74121(1) 在其触发下进入暂稳态……, 如此循环往复不断。于是, 在 v_O 端得到一定频率的脉冲输出, 电路为多谐振荡器。其工作波形如图题解 9.1.5 所示。

从分析所得工作波形可见, 电路周期为: $T = t_{w1} + t_{w2} = 0.7(R_1C_1 + R_2C_2)$ 。

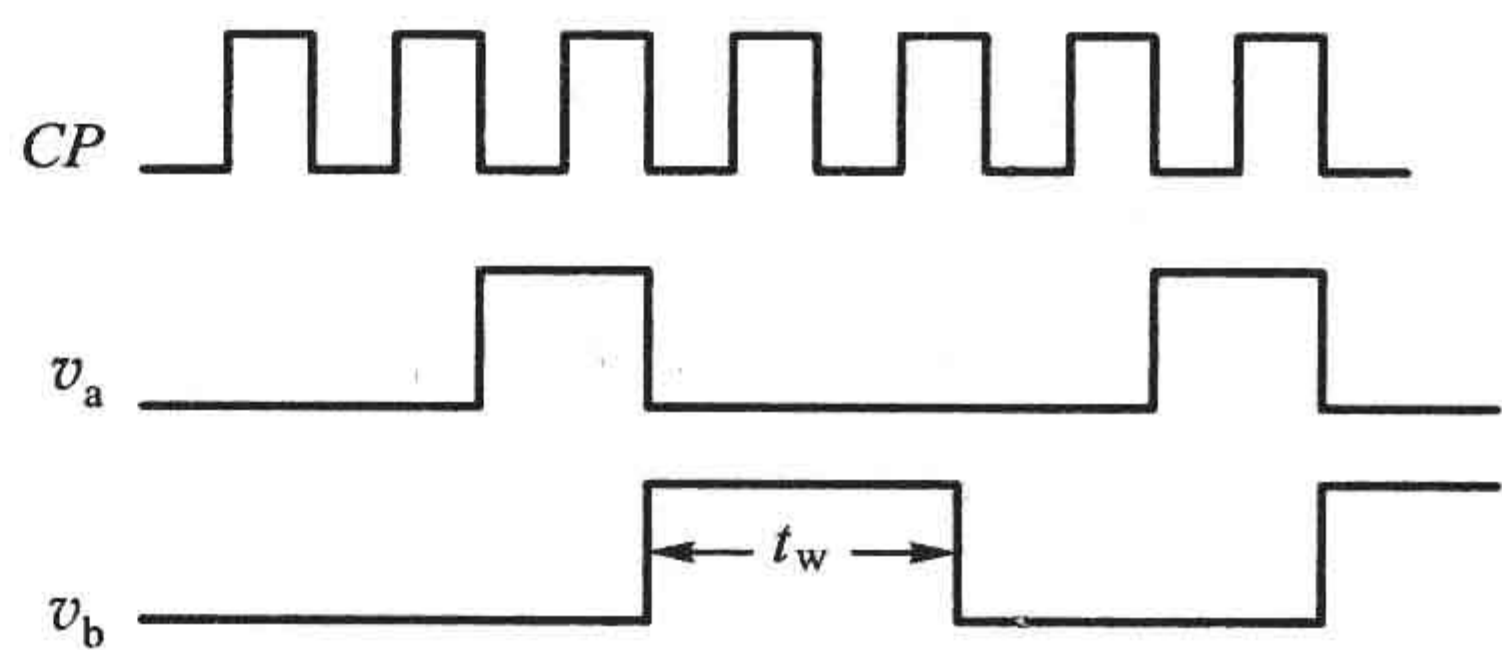
振荡频率, $f = \frac{1}{T} = \frac{1}{0.7(R_1C_1 + R_2C_2)}$ 。

9.1.6 某控制系统要求在 CP 的作用下产生时序信号 v_a 、 v_b 。两信号与 CP 的时序关系如图题 9.1.6 所示。用 4 位二进制计数器 74LVC161、集成单稳 74121 设计该信号产生电路, 试画出电路图。

解: 分析题中给定的 CP、 v_a 及 v_b 的时序关系可知, v_a 与 CP 呈四分频关系, 而 v_b 则是在 v_a 波形的下降沿触发下, 产生的脉宽为 t_w 的正脉冲。

电路设计应做如下考虑: 首先, 设计出 v_a 产生电路, 然后将 v_a 作为单稳态触发器的触发信号, 即可得到输出波形 v_b 。

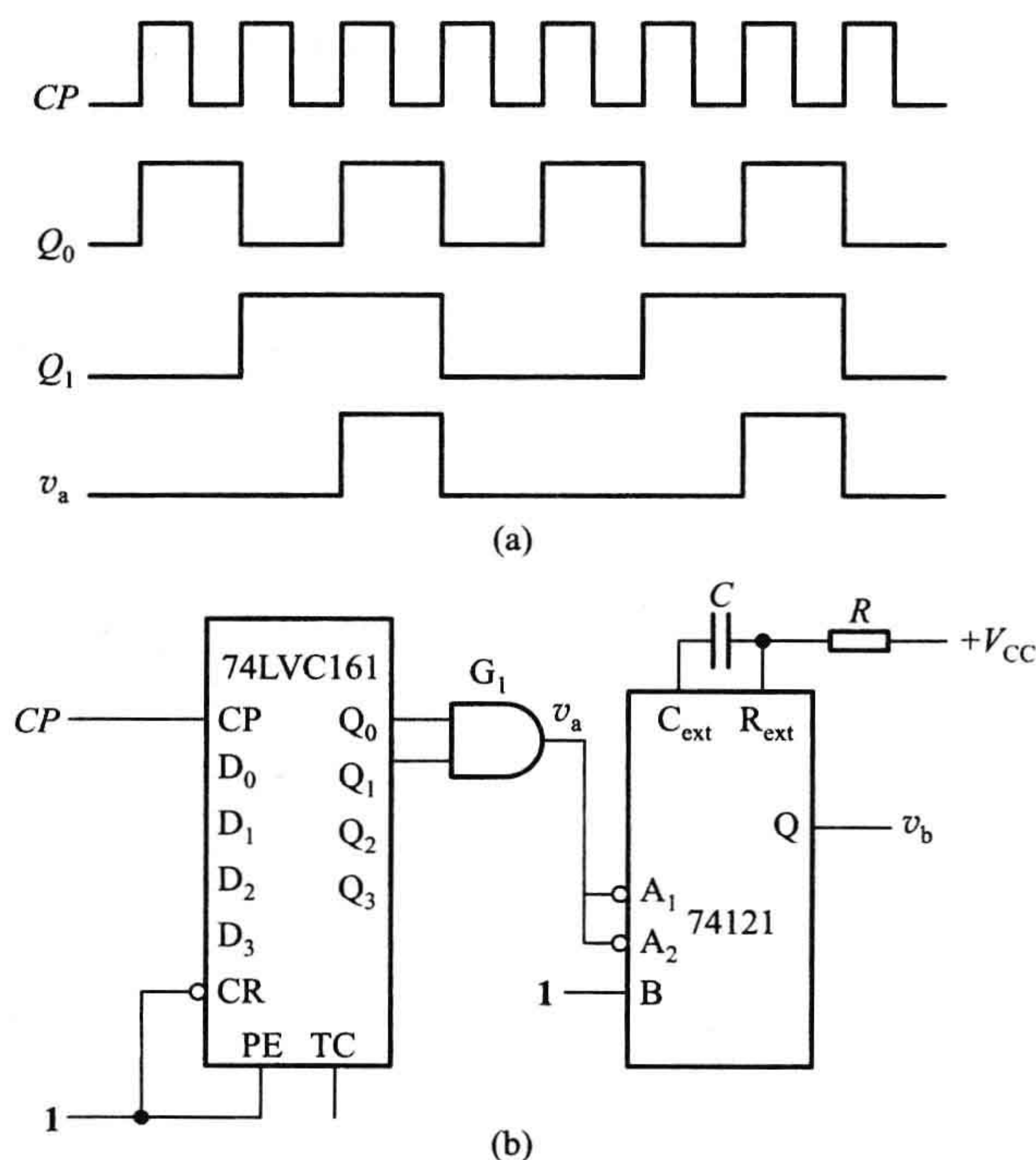
根据 74LVC161 的逻辑功能表, 将其连接为 4 位二进制加法计数器的工作状态。画出计数器 Q_1Q_0 的工作波形如图题解 9.1.6(a) 所示, $v_a = Q_1Q_0$ 。于是, 用一片 74LVC16 和与门就可组成 v_a 产生电路。然后, 再用 v_a 作为集成单稳触发器 74121 的触发信号, 这样, 在 74121 的 Q 端即可得到 v_b 波形。合理选择 R、C 的值 ($t_w = 0.7RC$), 使 t_w 的值满足题意要求。由以上分析, 可画出 v_a 、 v_b 时序信号产生电路如图题解 9.1.6(b) 所示。



图题 9.1.6

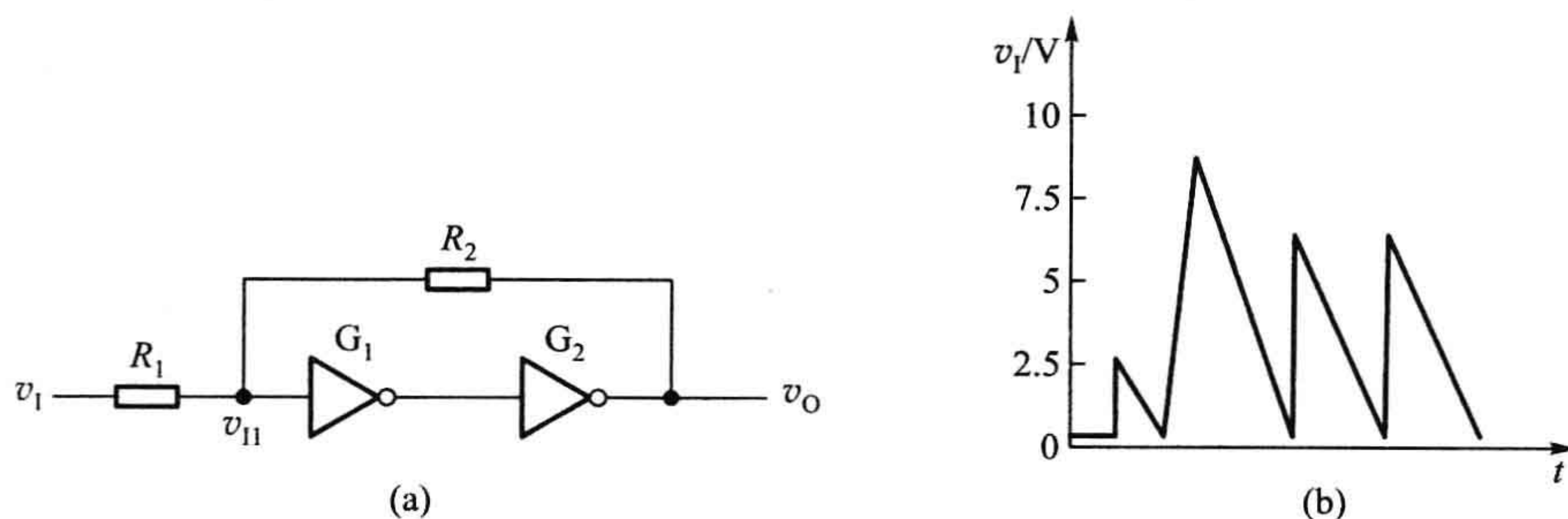
9.2 施密特触发器

9.2.1 在图题 9.2.1 所示的施密特触发器电路中, 已知 $R_1 = 10k\Omega$, $R_2 = 20k\Omega$ 。 G_1 、 G_2 为



图题解 9.1.6

CMOS 反相器, $V_{DD} = 10V$, $V_{TH} = \frac{1}{2}V_{DD}$ 。



图题 9.2.1

(1) 试计算电路的正向阈值电压 V_{T+} 、负向阈值电压 V_{T-} 和回差电压 ΔV_T 。

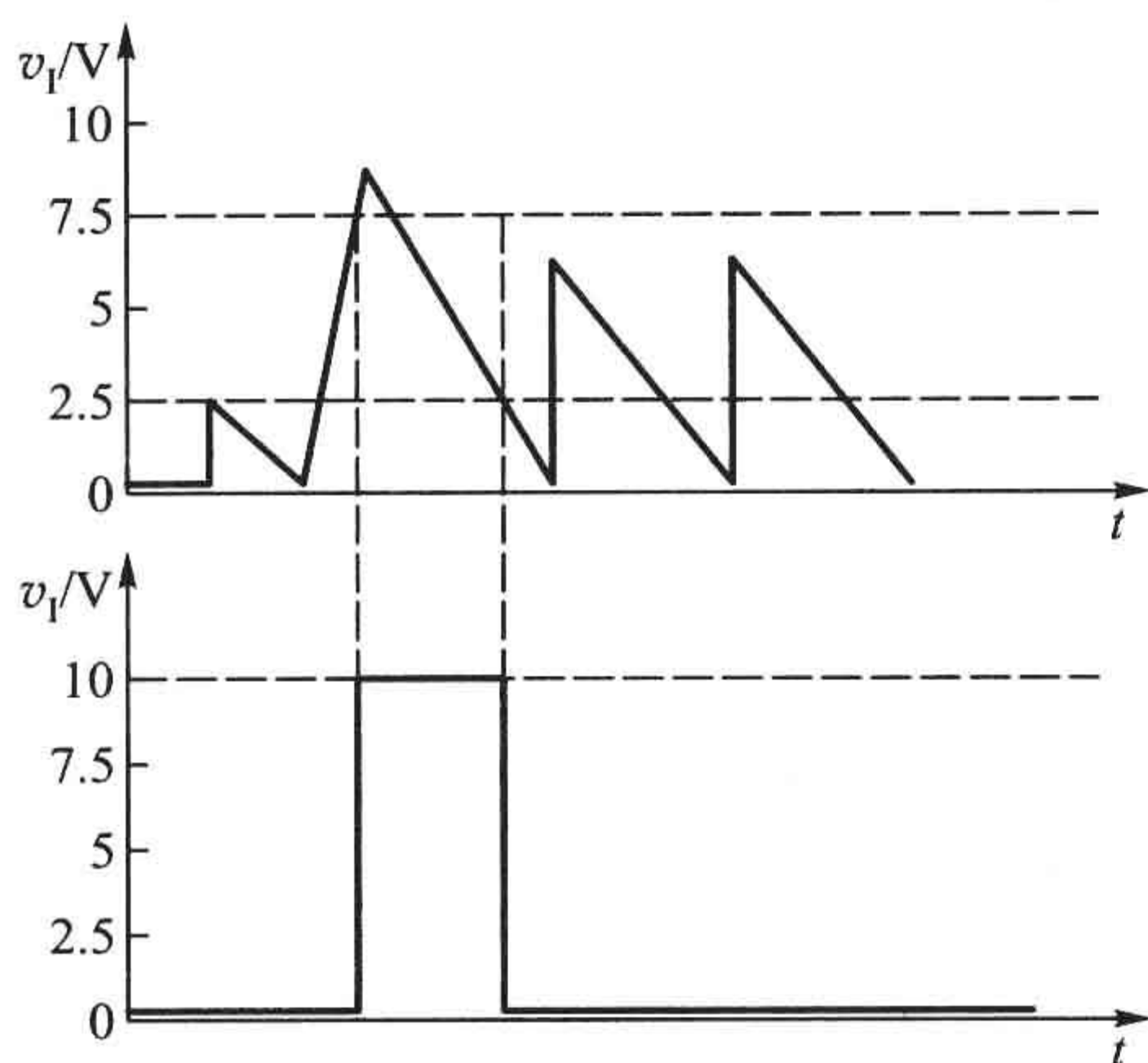
(2) 若电路的输入信号 v_i 波形如图题 9.2.1(b) 所示, 试画出相应的输出电压 v_o 的波形。

解: 由电路分析可知 $V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH}$, $V_{T-} \approx \left(1 - \frac{R_1}{R_2}\right) V_{TH}$ $\Delta V_T \approx 2 \frac{R_1}{R_2} V_{TH} = \frac{R_1}{R_2} V_{DD}$

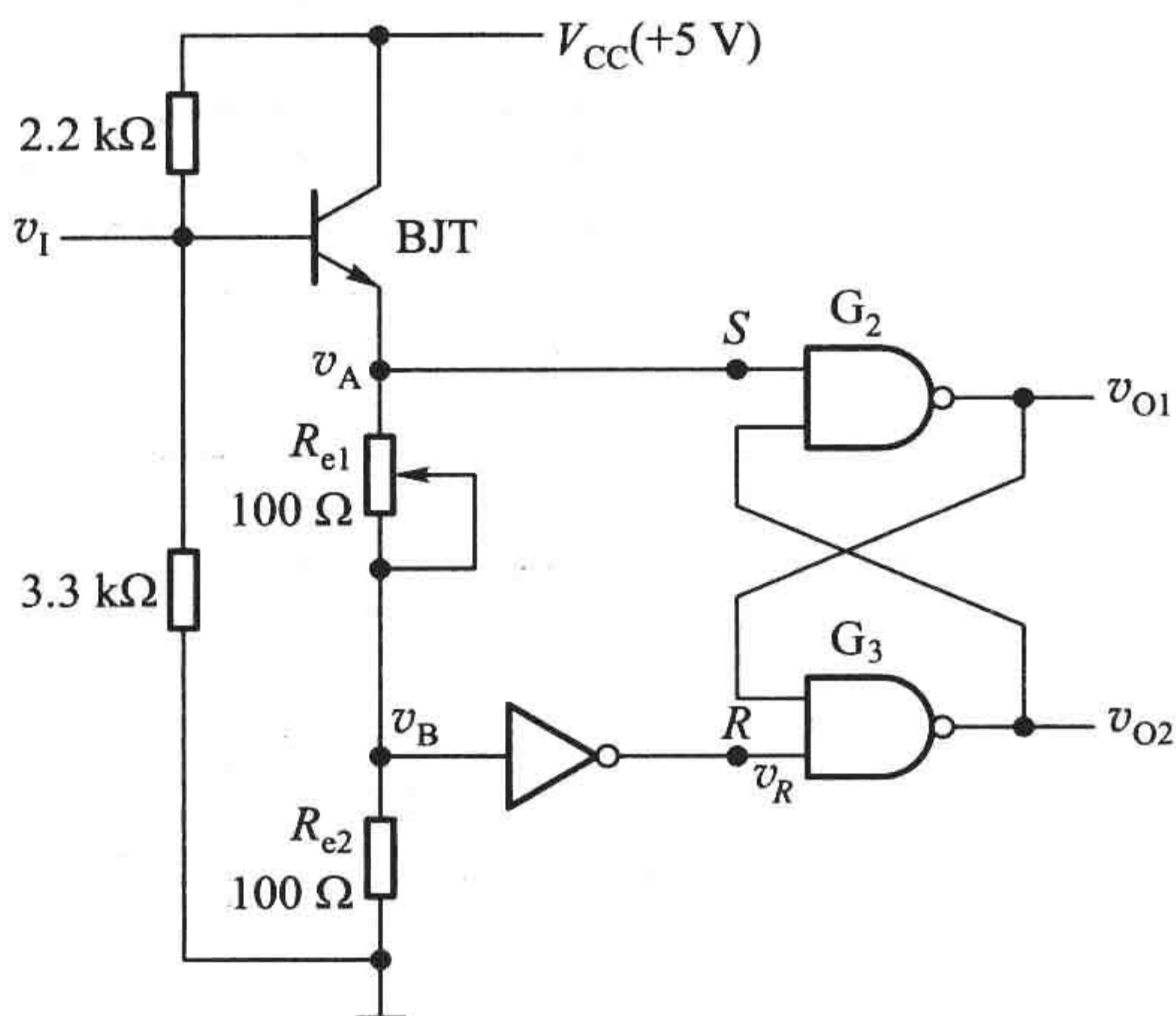
将 $V_{DD} = 15V$, $V_{TH} = \frac{1}{2}V_{DD}$ $R_1 = 10k\Omega$, $R_2 = 20k\Omega$ 等参数代入上述各式, 可得

$$V_{T+} = 7.5V \quad V_{T-} = 2.5V \quad \Delta V_T \approx \frac{R_1}{R_2} V_{DD} = 5V$$

根据施密特触发器的电压传输特性,对应输入波形可画出输出波形如图题解 9.2.1 所示。



图题解 9.2.1



图题 9.2.2

9.2.2 图题 9.2.2 电路为一个回差可调的施密特电路,它是利用射极跟随器的射极电阻来调节回差的。

(1) 分析电路的工作原理;

(2) 当 R_{e1} 在 $50 \sim 100 \Omega$ 的范围内变动时,试计算回差的变化范围。

解: 图题 9.2.2 是利用射极跟随器的射极电阻分压改变滞后电压的施密特电路。工作原理如下:

当 v_I 足够高时, v_A 、 v_B 均为高电平, v_R 为低电平, v_{O1} 为低电平, v_{O2} 为高电平。输入电压减小,当 v_I 下降到 $v_B = 1.4V$ (G_3 门的阈值电压) 时, G_3 门关闭, v_R 为高电平,但 v_A 仍高于 $1.4V$, G_2 开通,电路仍维持原来状态。只有当 v_A 也下降 $1.4V$ 时,基本 RS 触发器才发生翻转,这时的 v_I 为负向阈值电平。显然 $V_{T-} = 1.4V + V_{BE}$ 。

当 v_I 上升,使 v_A 上升至 $1.4V$ 时,基本 RS 触发器并不翻转,只有当 v_B 上升至 $1.4V$ 时,电路返回至第一稳态,这时 v_I 为正向阈值电平,

$$\text{显然} \quad V_{T+} = \frac{1.4}{R_{e1}} \times (R_{e1} + R_{e2}) + V_{BE}$$

$$\text{故} \quad \Delta V_T = V_{T+} - V_{T-} = R_{e1}/R_{e2} \times 1.4V$$

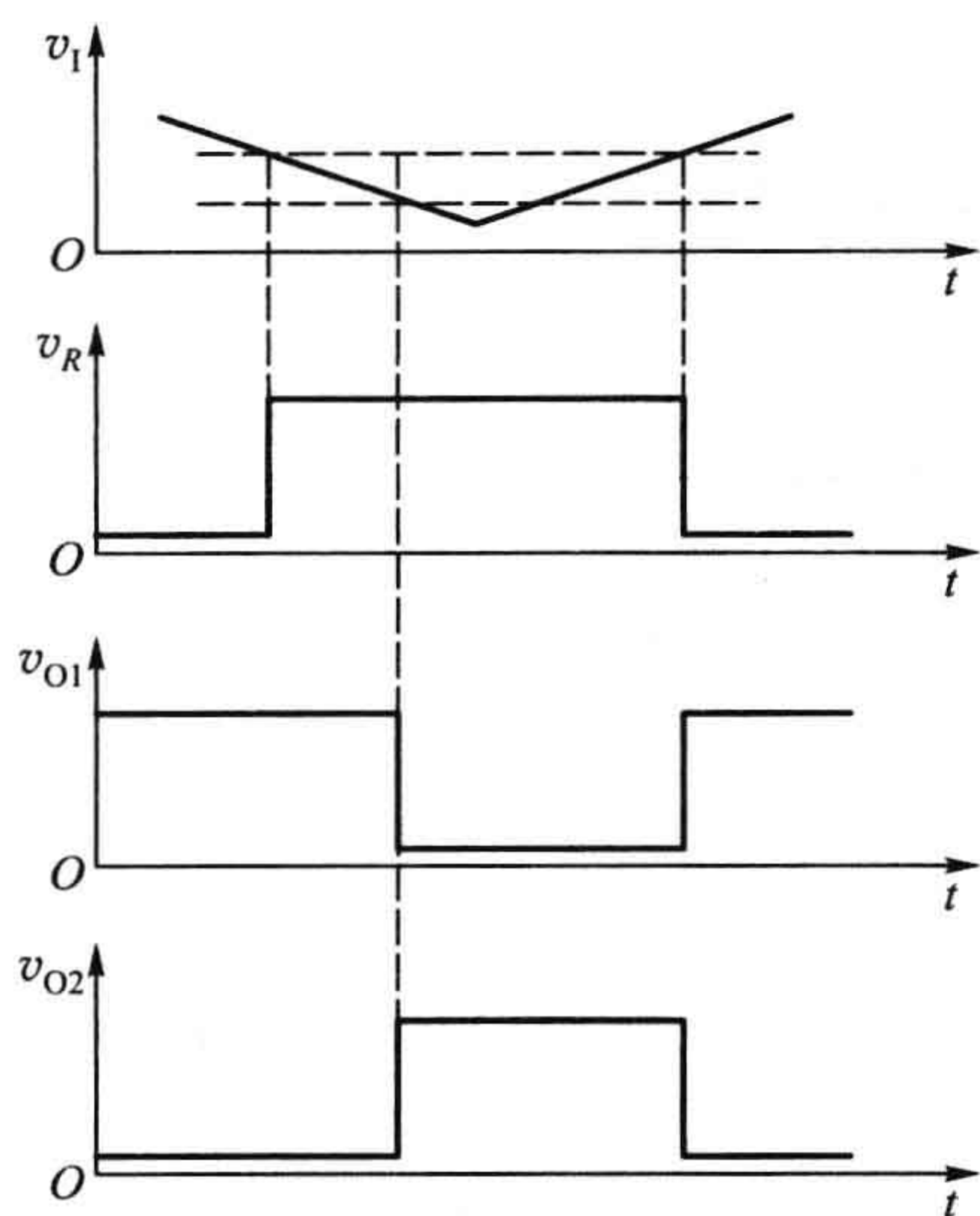
从上述分析可知,改变电阻 R_{e1} 的大小,即可调节滞后电压。当 v_I 输入为三角波时,电路各点波形如图题解 9.2.2 所示。

由上式可以算出,当 $R_{e1} = 50 \Omega$ 时, $\Delta V_T = 50/100 \times 1.4 = 0.7V$; 当 $R_{e1} = 100 \Omega$ 时, $\Delta V_T = 1.4V$ 。可见 R_{e1} 在 $50 \sim 100 \Omega$ 之间变化时, ΔV_T 变动范围为 $0.7 \sim 1.4V$ 。

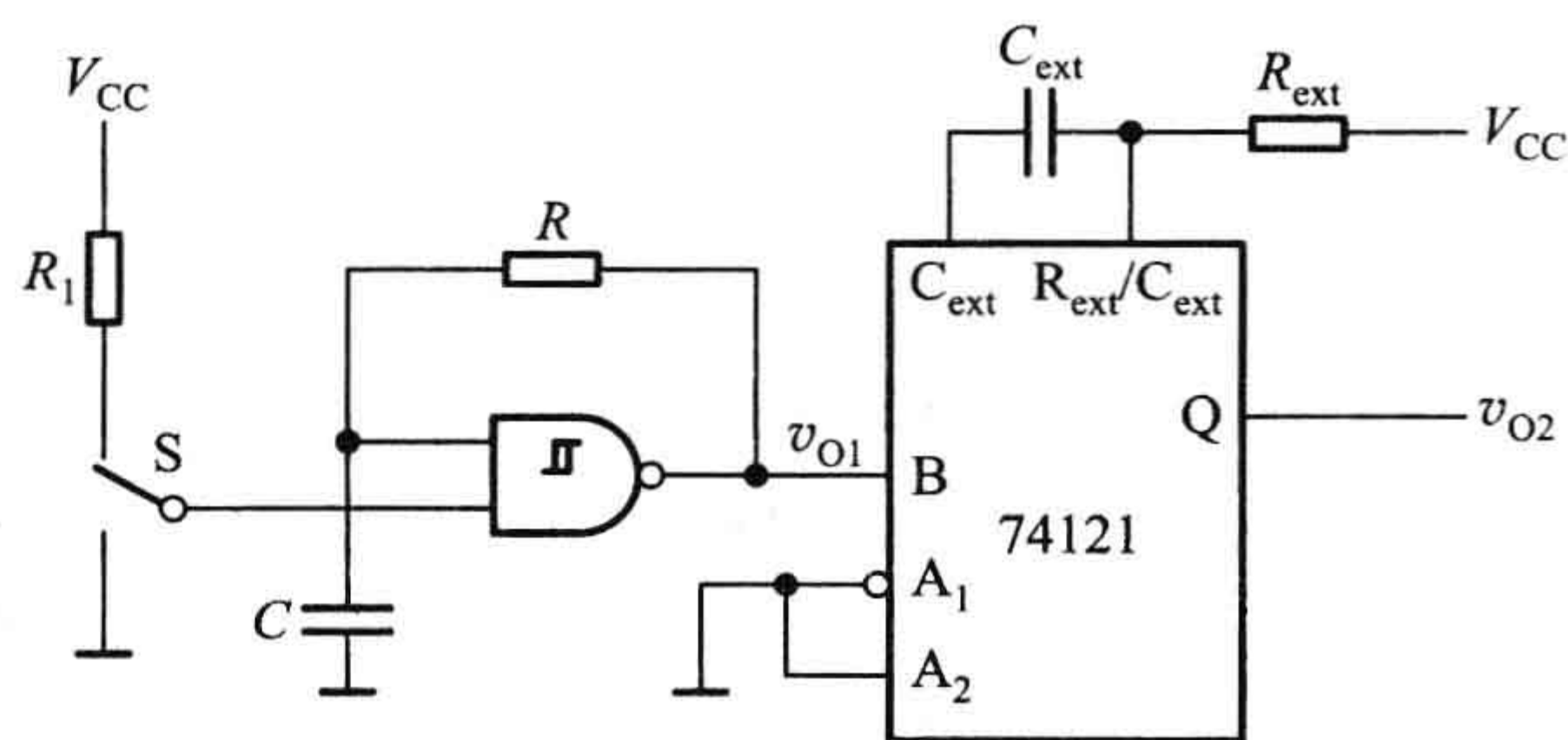
9.2.3 集成施密特和集成单稳态触发器 74121 构成的电路如图题 9.2.3 所示。已知集成施密特的 $V_{DD} = 10V$, $R = 100k\Omega$, $C = 0.01 \mu F$, $V_{T+} = 6.3V$, $V_{T-} = 2.7V$, $C_{ext} = 0.01 \mu F$, $R_{ext} = 30k\Omega$ 。

(1) 分别计算 v_{O1} 的周期及 v_{O2} 的脉宽。

(2) 根据计算结果画出 v_{O1} 、 v_{O2} 的波形。



图题解 9.2.2



图题 9.2.3

解:(1) 集成施密特组成多谐振荡器,当 S 开关接高电平后,电路开始振荡,其振荡周期

$$T = RC \ln \left(\frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \cdot \frac{V_{T+}}{V_{T-}} \right) = \left[10^5 \times 10^{-8} \times \ln \frac{7.3}{3.7} \cdot \frac{6.3}{2.7} \right] \text{S}$$

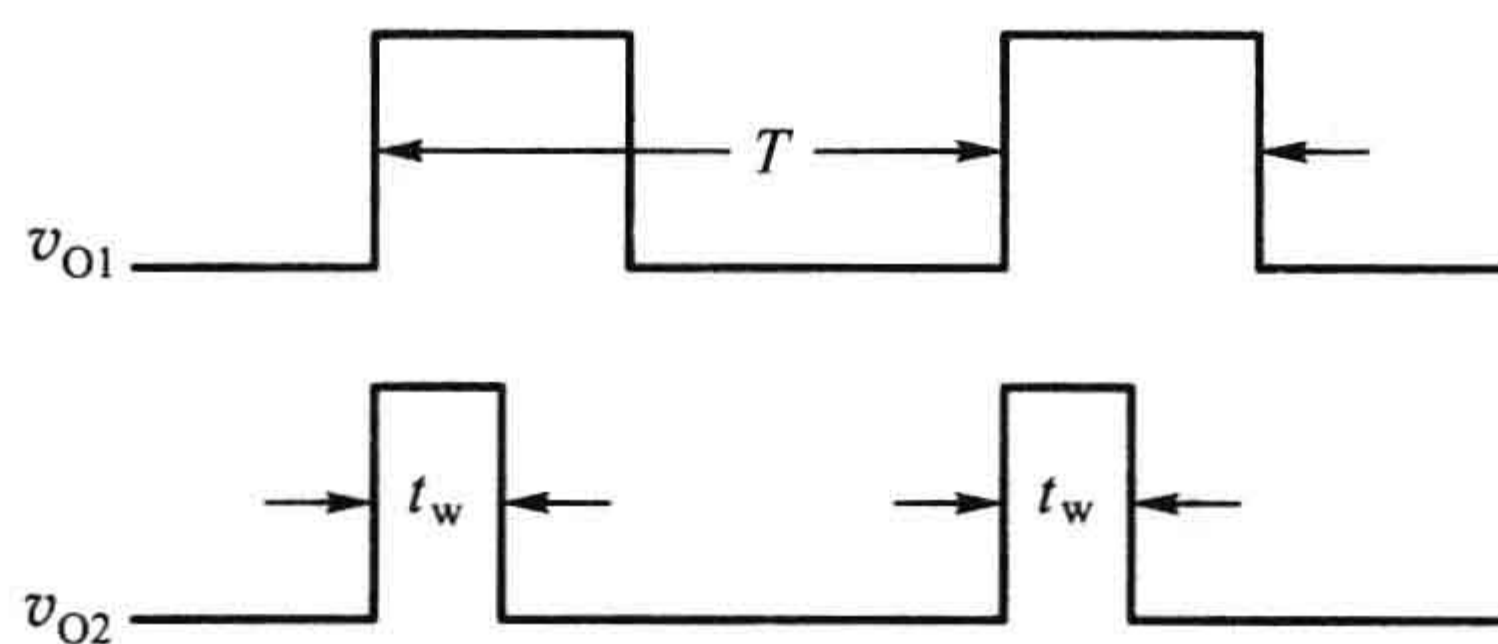
$$T = 1.53 \text{ms}$$

单稳输出脉宽为

$$t_w \approx 0.7 R_{\text{ext}} C_{\text{ext}} = (0.7 \times 3 \times 10^4 \times 10^{-8}) \text{S}$$

$$t_w = 0.21 \text{ms}$$

(2) 分析电路可画出 v_{O1} 及 v_{O2} 的波形图题解 9.2.3 所示。

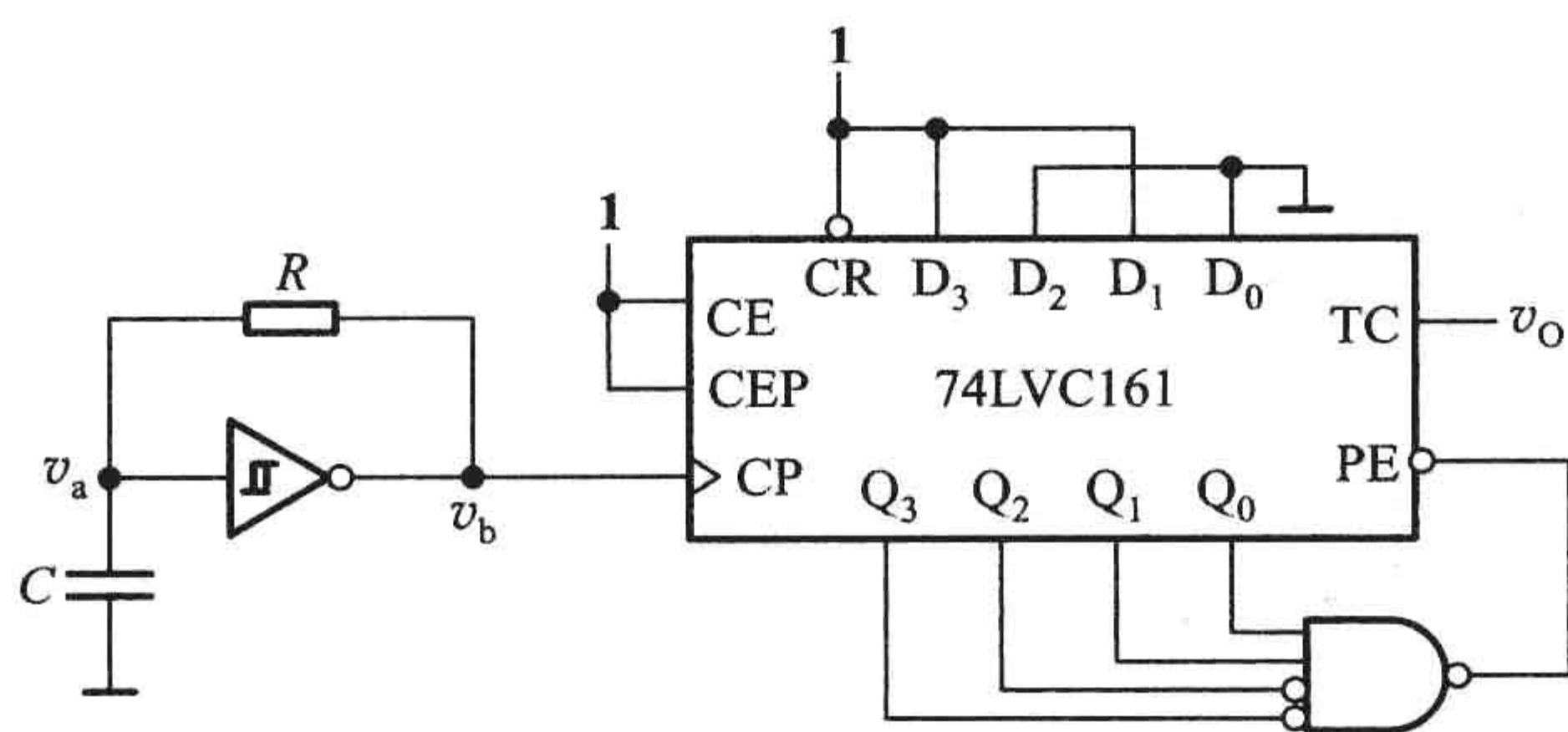


图题解 9.2.3

9.2.4 集成施密特触发器和 4 位同步二进制加法器 74LVC161 组成的电路如图题 9.2.4 所示。

- (1) 分别说明图中两部分电路的功能;
- (2) 画出图中 74LVC161 组成的电路的状态图;
- (3) 画出图中 v_a 、 v_b 和 v_o 的对应波形。

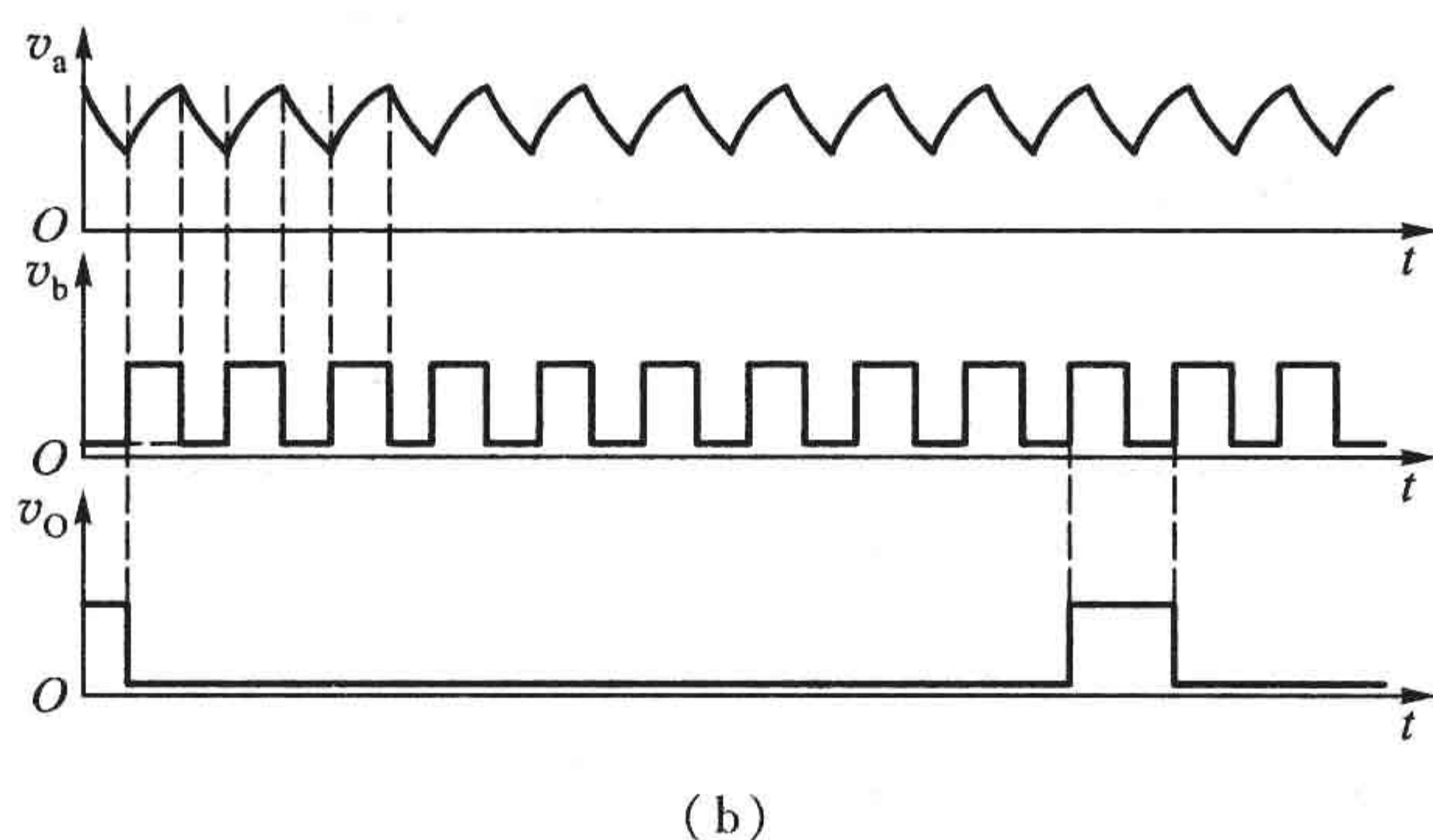
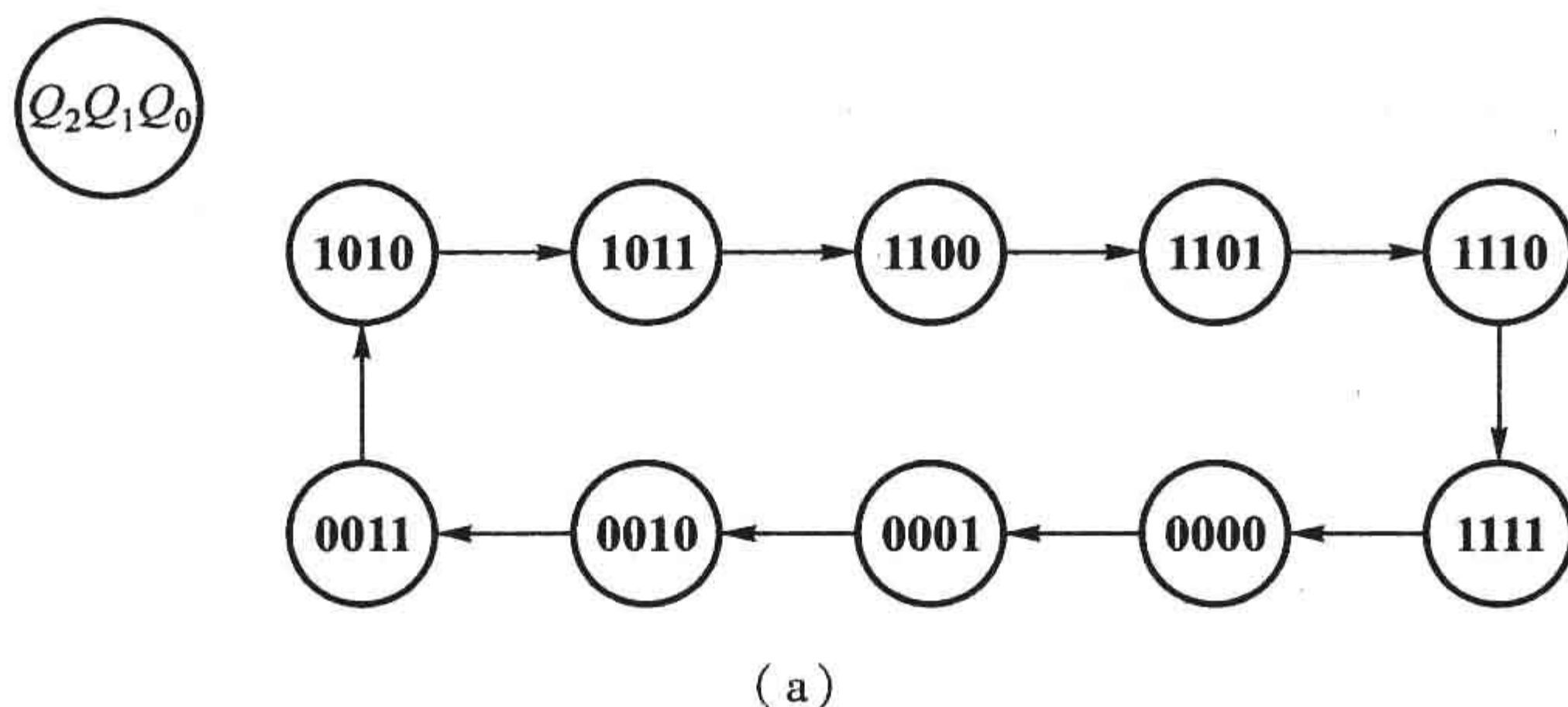
解:(1) 图题 9.2.4 所示电路由脉冲产生电路和计数器两部分组成。集成施密特触发器和电阻 R 、电容 C 组成多谐振荡器,为计数器提供时钟脉冲。而 4 位同步二进制加法器 74LVC161 和与非门组成二进制加法计数器。



图题 9.2.4

(2) 图中 74LVC161 用“反馈置数法”构成的计数器。设电路的初始状态为 **1010**, 在第 10 个脉冲作用后, $Q_3 Q_2 Q_1 Q_0 = \mathbf{0011}$ 。这时, Q_3 、 Q_2 、 Q_1 、 Q_0 信号经与非门使 74LVC161 的同步置数为 0011 状态, 完成一个计数周期。电路只有 **1010 ~ 0011** 十个状态, 状态图如图题解 9.2.4(a) 所示。该电路经 10 个时钟脉冲完成一次循环, 因此, 模为 $M=10$, 是十进制计数器。

(3) 根据上述分析可画出图中 v_a 、 v_b 和 v_o 的波形如图题解 9.2.4(b) 所示。



图题解 9.2.4

9.2.5 已知某些电路的输入、输出波形分别如图题 9.2.5(a)、(b)、(c)、(d) 所示, 试问应选择哪些电路才能实现如图所示的输入、输出波形对应关系?

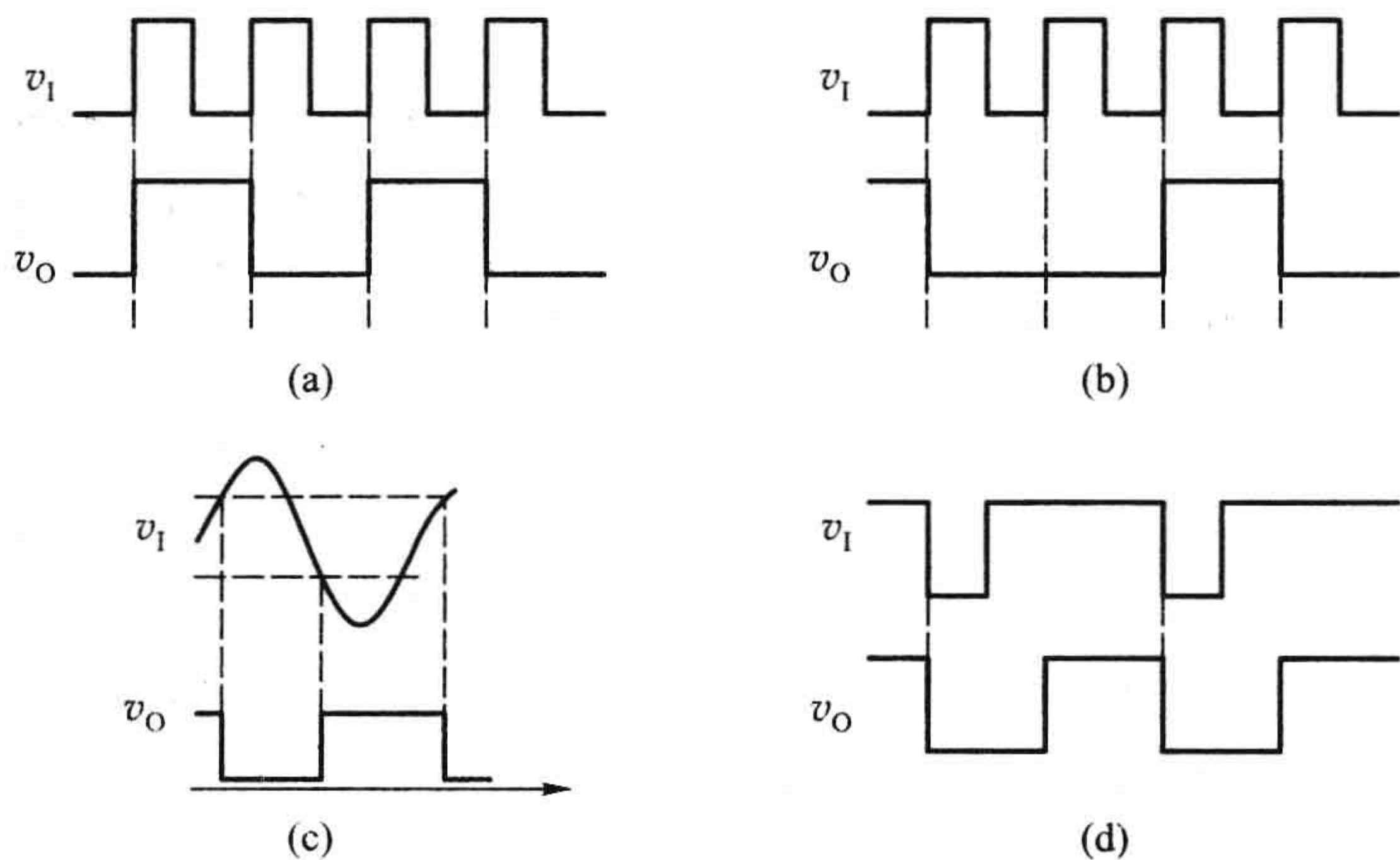
解: 分析图题 9.2.5(a) 所示输入、输出波形的对应关系, 可见一个输出波形的周期内包含了

输入信号两个周期,它们之间是 2 分频关系,所以,应用 2 分频电路实现。

同理,图题 9.2.5(b)中一个输出波形的周期内包含了三个输入信号周期,它们之间是 3 分频关系,所以,应用 3 分频电路实现。

图题 9.2.5(c)所示输入波形为正弦波,而输出波形为矩形波,显然,这种输入输出波形关系是通过施密特触发器实现波形变换。

而图题 9.2.5(d)所示输入、输出波形的对应关系是,在每个输入波形的下降沿触发下都会产生一个负脉冲。所以,要选择下降沿触发,输出为负脉冲的单稳态触发器才能实现这种输入、输出波形的对应关系。

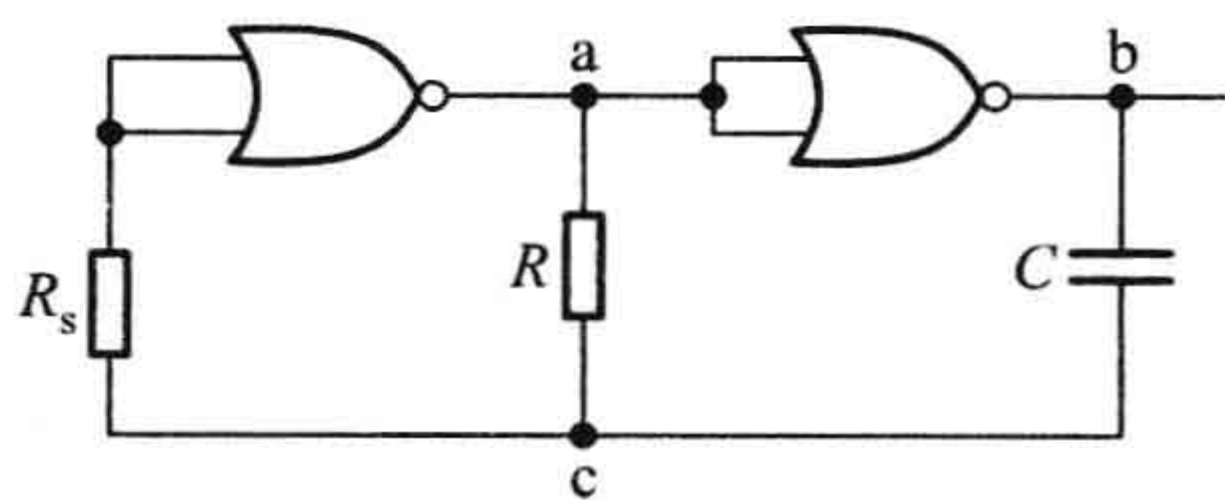


图题 9.2.5

9.3 多谐振荡器

9.3.1 图题 9.3.1 所示电路为 CMOS 或非门构成的多谐振荡器,图中 $R_s = 10R$ 。

(1) 画出 a 、 b 、 c 各点的波形;(2) 计算电路的振荡周期;(3) 当阈值电压 V_{TH} 由 $V_{DD}/2$ 改变至 $2V_{DD}/3$ 时,电路的振荡频率如何变化? 与主教材中图 9.3.1(a) 电路相比说明 R_s 的作用。



图题 9.3.1

解: (1) 图题 9.3.1 属改进后的 RC 振荡器,电阻 R_s ($10R$) 的加入,使得电容 C 的一端(c 点)电位变化时,其过冲由无 R_s 时的 V_{DD} (或 V_{SS}) 上升为 $V_{TH} + V_{DD}$ (或下降至 $V_{TH} - V_{DD}$),这样电容 C 两端电压的峰-峰值由原来的 $V_{DD} - V_{SS}$ 上升至 $(V_{TH} + V_{DD}) - (V_{TH} - V_{DD})$,从而大大减小了由于转折电压的离散性所导致的振荡周期的变化。另一方面 R_s 电阻的串入有限流作用,保护了输入二极管。 a 、 b 、 c 各点波形如图题解 9.3.1 所示。

(2) 振荡周期 T 的计算:根据 RC 电路过渡过程分析可知

$$v_c = v_c(\infty) + [v_c(0^+) - v_c(\infty)] e^{-\frac{t}{RC}}$$

可得

$$t = RC \ln \frac{v_c(0^+) - v_c(\infty)}{v_c(t) - v_c(\infty)}$$

由于 $R_s \gg R$, 因此, 可忽略 G_1 门输入二极管导通时由 R_s 支路对电容充放电的影响, 于是, 计算出:

$$t_1 = RC \ln \frac{V_{DD} + V_{TH}}{V_{TH}}$$

$$t_2 = RC \ln \frac{2V_{DD} - V_{TH}}{V_{DD} - V_{TH}}$$

$$T = t_1 + t_2 = RC \ln \frac{(V_{DD} + V_{TH})(2V_{DD} - V_{TH})}{V_{TH}(V_{DD} - V_{TH})}$$

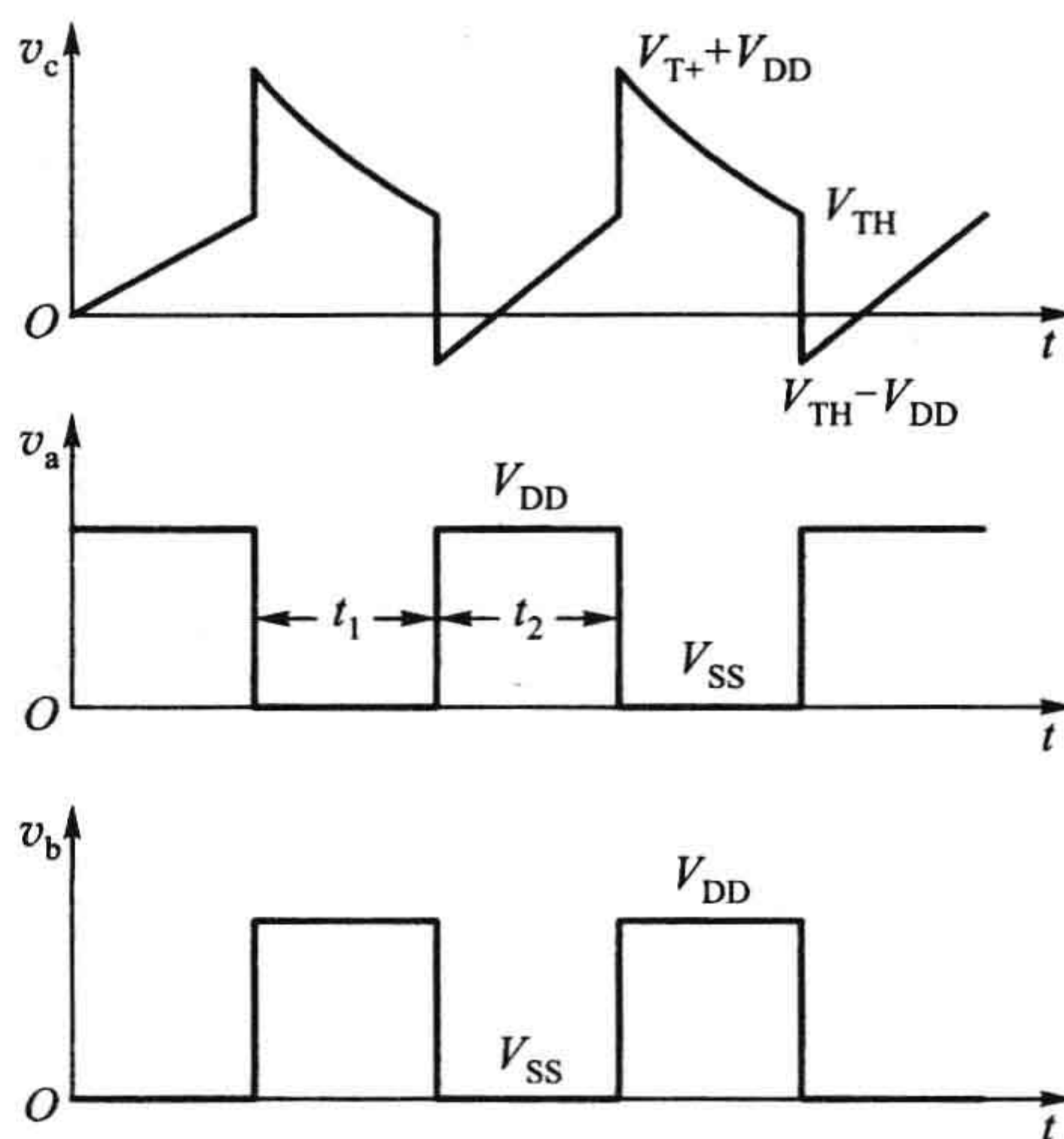
如 $V_{TH} = \frac{V_{DD}}{2}$, 则

$$T = RC \ln 9 \approx 2.2RC$$

如 $V_{TH} = \frac{2}{3}V_{DD}$, 则

$$T = RC \ln 10$$

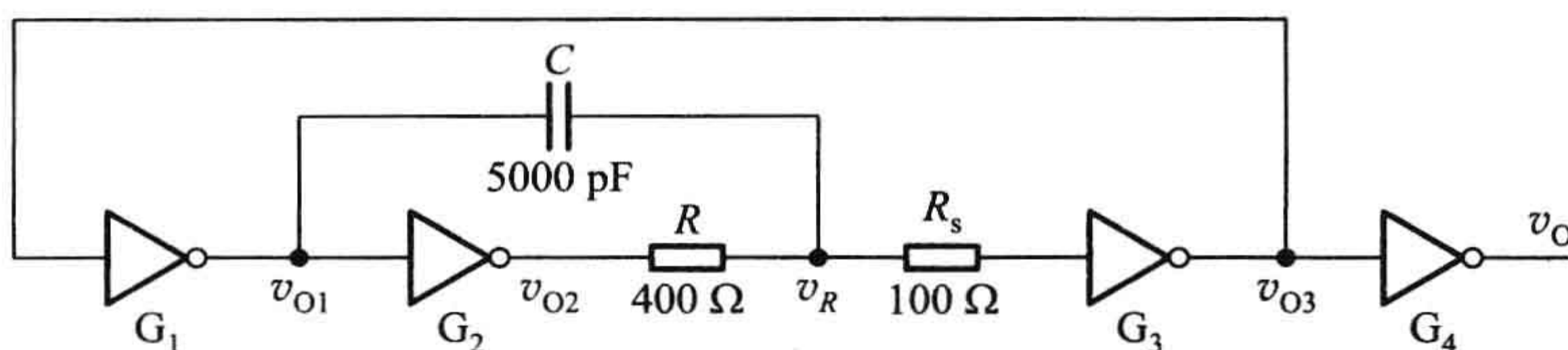
当 V_{TH} 由 $\frac{V_{DD}}{2}$ 改变至 $\frac{2}{3}V_{DD}$ 后, 频率减小。



图题解 9.3.1

9.3.2 RC 环型多谐振荡电路如图题 9.3.2 所示

示, 试分析电路的振荡过程, 画出 v_{O1} 、 v_{O2} 、 v_R 、 v_{O3} 及 v_O 的波形。



图题 9.3.2

解: 若电路接通电源瞬间, v_{O3} 输出为 1, 则 v_{O1} 为 0, v_{O2} 为 1。由于电容电压不能突变, v_R 也为 0, 从而保持 v_{O3} 为高电平, 这是电路第一暂稳态: $v_{O1} = 0$, $v_{O2} = 1$, $v_{O3} = 1$, $v_O = 0$ 。

此稳态不能长久维持, 电容 C 通过图题解 9.3.2(a) 所示电路进行充电, 使 v_R 上升。一旦 v_R 达到门坎电平, 就会产生正反馈雪崩过程:

$$v_R \uparrow \rightarrow v_{O3} \downarrow \rightarrow v_{O1} \uparrow \rightarrow v_{O2} \downarrow$$



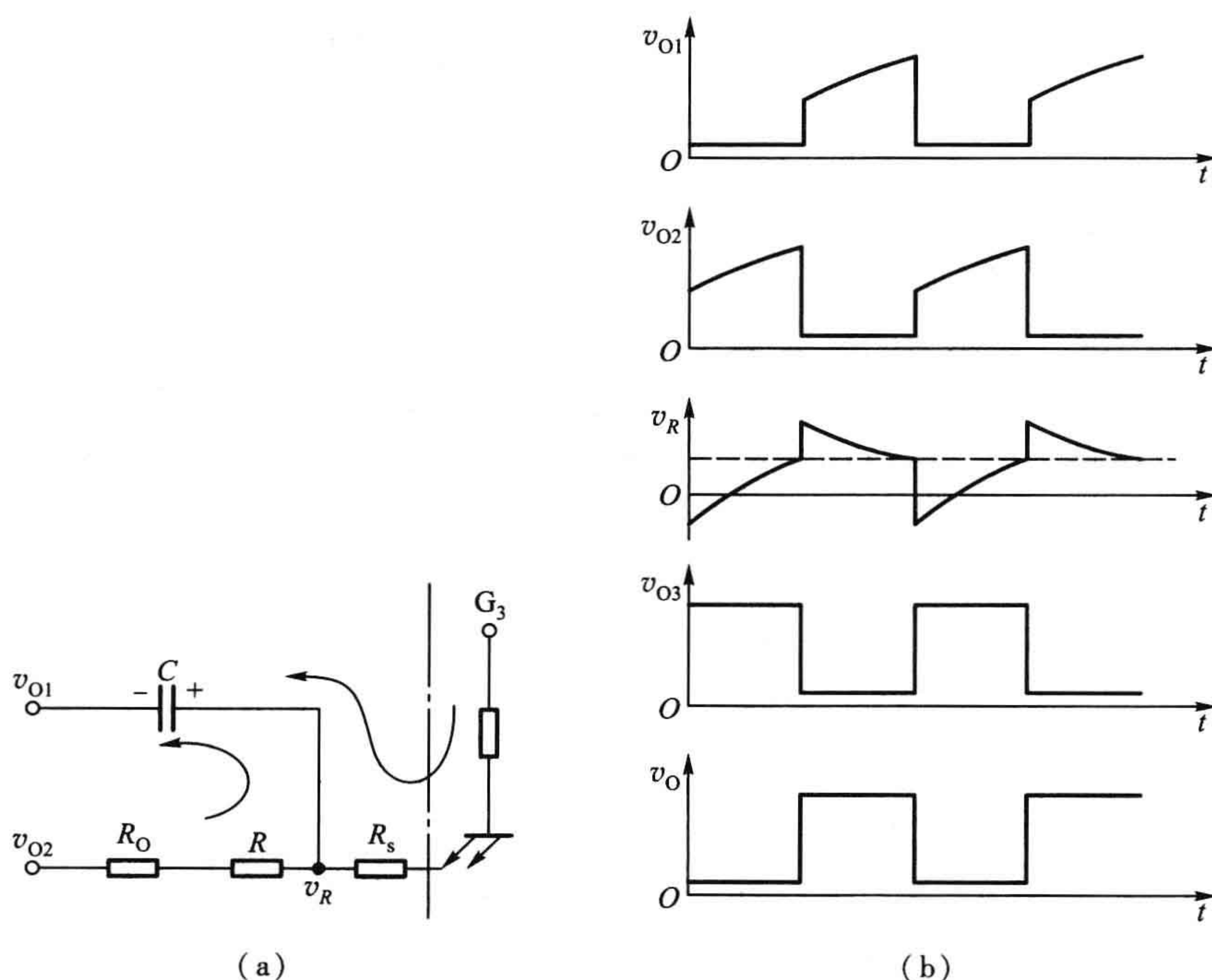
v_C 不能突变

使电路进入第二暂稳态: $v_{O1} = 0$, $v_{O2} = 0$, $v_{O3} = 0$, $v_O = 1$ 。

同样第二暂稳态也不能长久维持。在此期间, v_{O1} 通过电阻 R 及 G_2 门对电容 C 反向充电, v_R 将按指数规律下降。当 v_R 下降至门坎电平, 又发生下述雪崩过程:

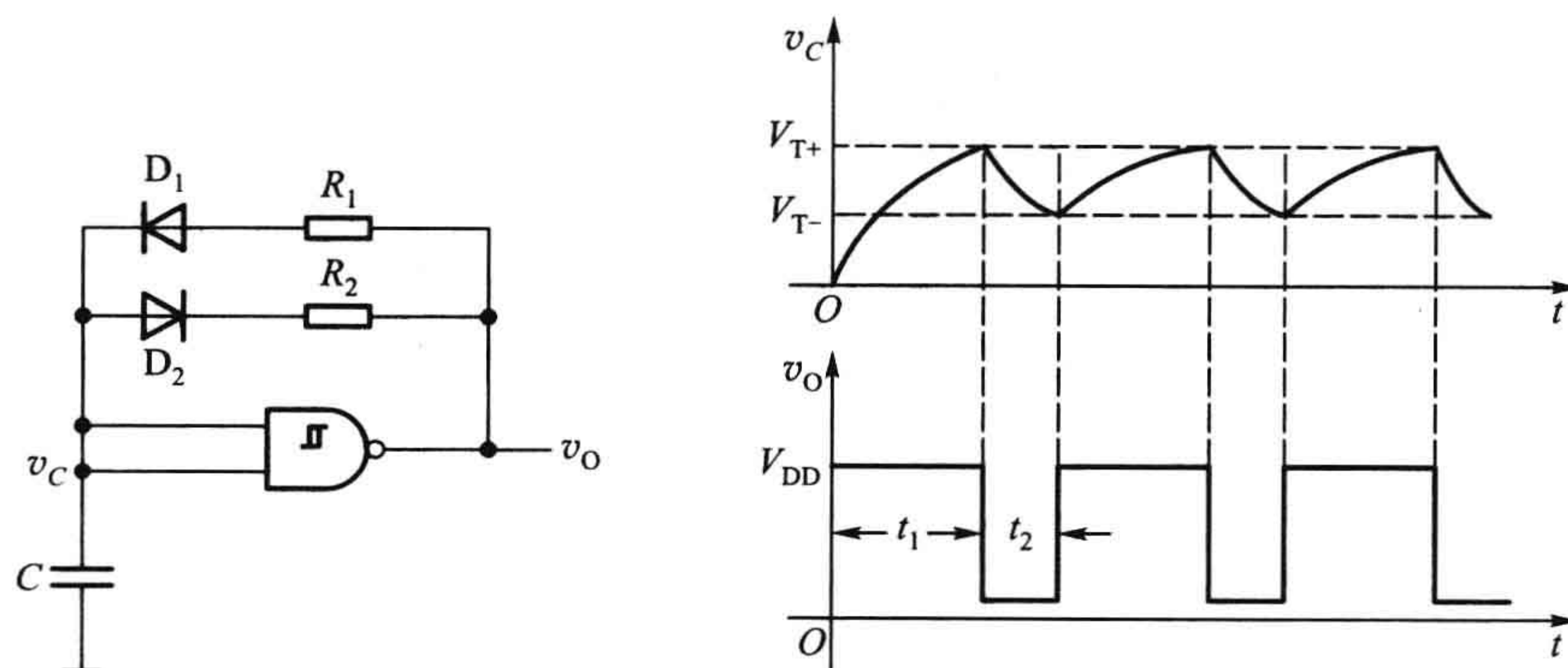
$$v_R \downarrow \rightarrow v_{O3} \uparrow \rightarrow v_{O1} \downarrow \rightarrow v_{O2} \uparrow$$

结果使电路返回至第一暂稳态,如此周而复始,产生振荡。各点的工作波形如题解 9.3.2 (b) 所示。



图题解 9.3.2

9.3.3 由集成施密特 CMOS 与非门电路组成的脉冲占空比可调多谐振荡器如图题 9.3.3 所示。设电路中 R_1 、 R_2 、 C 及 V_{DD} 、 V_{T+} 、 V_{T-} 的值已知, (1) 定性画出 v_c 及 v_o 波形; (2) 写出输出信号 v_o 频率表达式。



图题 9.3.3

图题解 9.3.3

解: (1) 设当电路接通电源时, 电容 C 上的初始电压为零, v_o 输出高电平, 并经 R_1 、 D_1 向 C 充电, 当电容两端电压充到使 $v_c = V_{T+}$ 时, 输出跳变为低电平, 电容 C 又经 D_2 、 R_2 放电。当放至 $v_c =$

V_{T-} 时, v_o 又变为高电平, 电容 C 重新开始充电, 如此周而复始, 在输出端便可得到振荡波形。设 $R_1 > R_2$, 分析可得 v_c 及 v_o 的电压波形如图题解 9.3.3 所示。

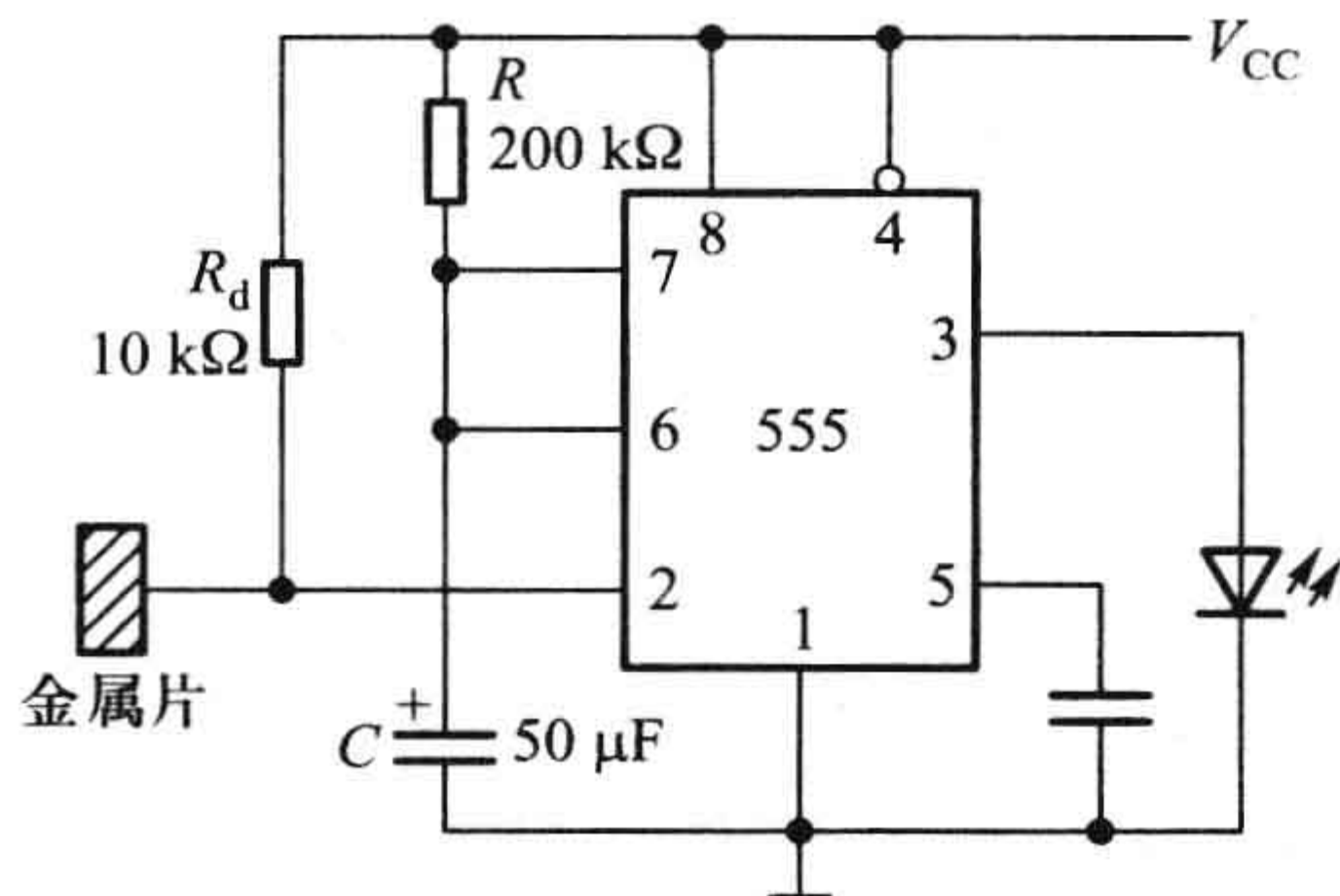
(2) 根据 v_c 及 v_o 电压波形得到 v_o 信号周期的表达式为:

$$\begin{aligned} T &= t_1 + t_2 \\ &= R_1 C_1 \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} + R_2 C_2 \ln \frac{V_{T+}}{V_{T-}} \\ f &= \frac{1}{T} \end{aligned}$$

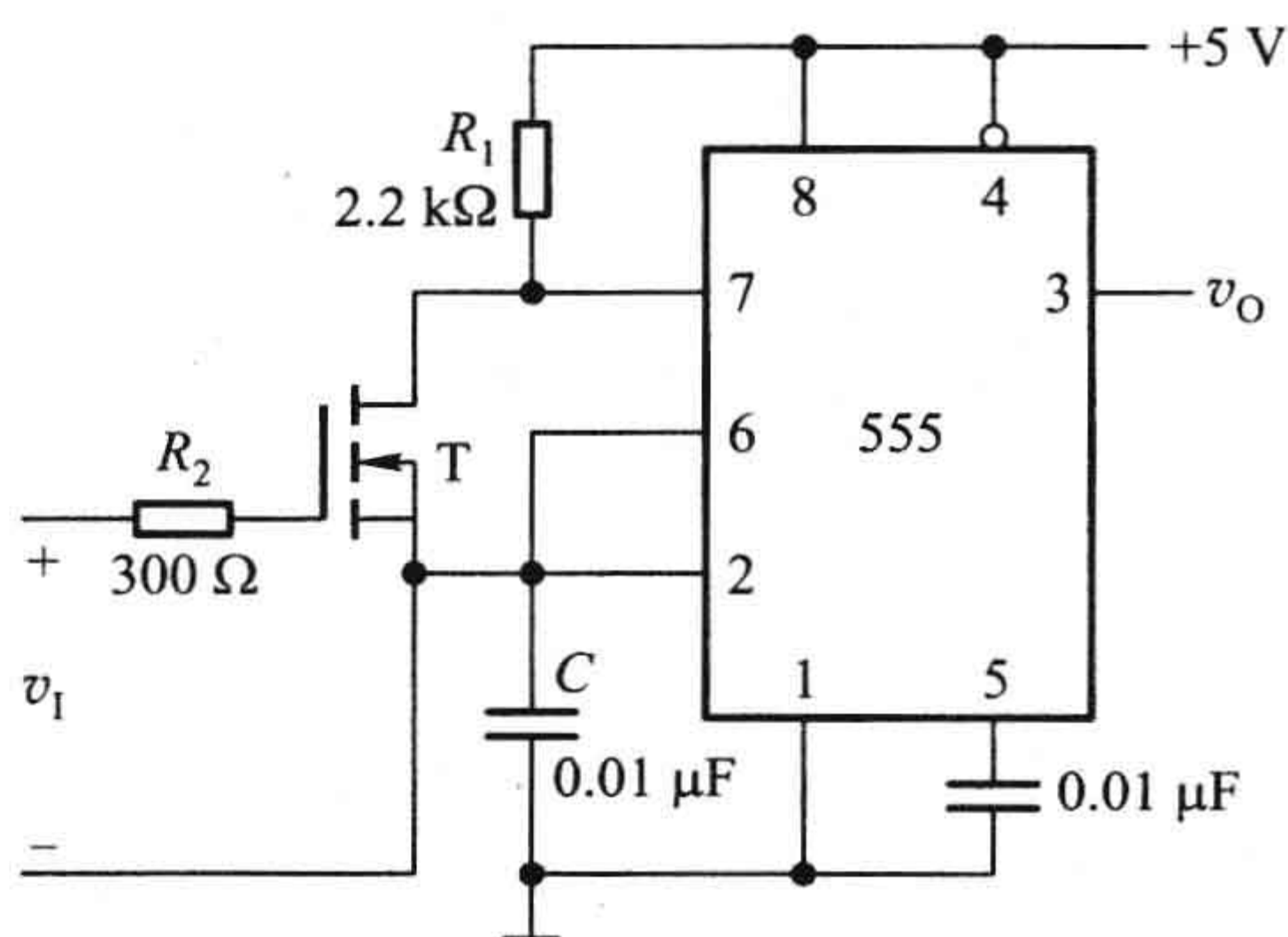
9.4 555 定时器及其应用

9.4.1 图题 9.4.1 所示为一简易触摸开关电路。当手摸金属片时, 发光二极管亮, 经过一定时间后, 发光二极管自动熄灭。试说明其工作原理, 试问发光二极管亮多长时间自动熄灭?

解: 图题 9.4.1 所示电路中, 555 定时器与 R 、 C 组成单稳态触发器。当手摸金属片时, 给单稳态触发器输入触发信号, 单稳态触发器从稳态时进入暂稳态, 输出高电平, 发光二极管发亮。经 t_w 暂稳态结束, 单稳态触发器自动返回到稳态, 输出高电平, 发光二极管自动熄灭。发光二极管亮的时间 $t = t_w \approx 1.1RC = 1.1 \times 200 \times 10^3 \times 50 \times 10^{-6} \text{ s} = 11 \text{ s}$



图题 9.4.1



图题 9.4.2

9.4.2 由 555 定时器及场效应管 T 组成的某功能电路如图题 9.4.2 所示, 电路中 T 工作于可变电阻区, 其导通电阻为 R_{DS} 。(1) 说明电路功能;(2) 写出输出 v_o 频率的表达式。

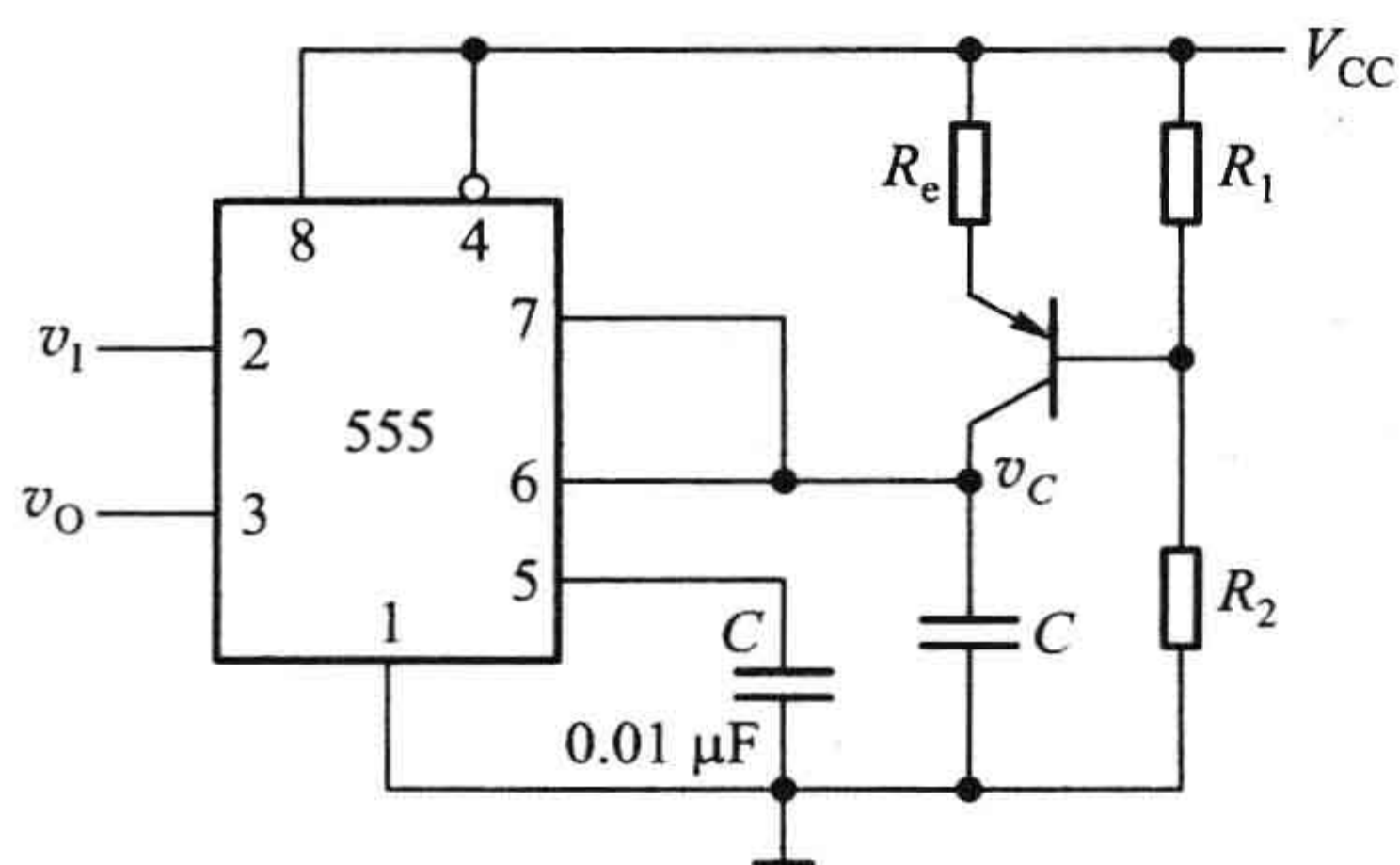
解: (1) 555 定时器与 R_1 、 R_{DS} 及 C 组成多谐振荡器。依题意, 场效应管 T 工作于可变电阻区, 当 v_i 变化时, R_{DS} 的阻值不同, 改变 v_i 的数值, 可改变振荡器的振荡频率。电路为压控振荡器。

(2) 根据 555 组成多谐振荡器的工作原理可得:

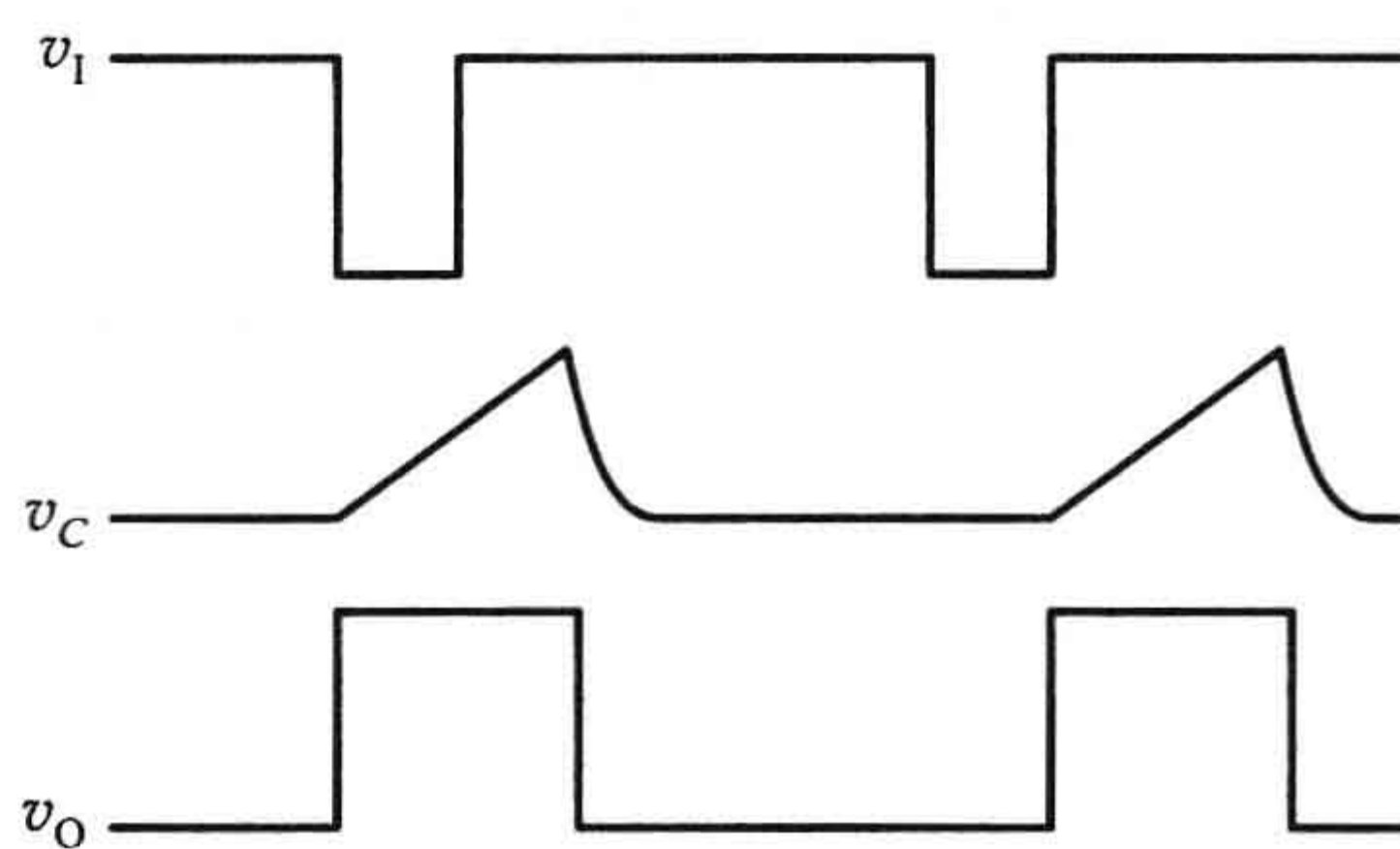
$$\begin{aligned} t_{PH} &\approx 0.7(R_1 + R_{DS})C \\ t_{PL} &\approx 0.7R_{DS}C \\ f &= \frac{1}{t_{PH} + t_{PL}} \approx \frac{1.43}{(R_1 + 2R_{DS})C} \end{aligned}$$

9.4.3 由 555 定时器构成的锯齿波发生器如图题 9.4.3 所示。图中三极管 T 和电阻 R_1 、 R_2 、 R_c 构成恒流源, 给定时电容 C 充电, 当触发输入端输入负脉冲后, 画出电容电压 v_c 及 555 输出端 v_o 的波形, 并计算电容 C 充电的时间。

解:(1)当 v_i 输入一负脉冲后,555 内 RS 触发器置 1,放电 BJTT 截止,定时电容由恒流源电路充电,有 $v_c = \frac{1}{C} \int_0^t i_c dt = \frac{1}{C} \int_0^t I_0 dt = \frac{I_0}{C} t$ 。故电容两端电压 v_c 随时间线性增长。当 $v_c \geq \frac{2V_{CC}}{3}$ 时, BJTT 导通,电容放电,各点波形如图题解 9.4.3 所示。



图题 9.4.3



图题解 9.4.3

(2) 输出脉宽 t_w

t_w 为定时电容 C 上电压 v_c 从 0 充电至 $\frac{2}{3}V_{CC}$ 所需的时间。

$$t_w = \left(\frac{2}{3} \cdot V_{CC} \cdot C \right) / I_0$$

其中,

$$I_0 = \frac{V_{CC} - \frac{R_2}{R_1 + R_2} V_{CC} + V_{BE}}{R_e}$$

若 $\frac{V_{CC} R_2}{R_1 + R_2} \gg V_{BE}$, 则

$$t_w = \frac{2R_e(R_1 + R_2)C}{3R_2}$$

9.4.4 由 555 定时器组成的脉冲宽度鉴别电路及输入 v_i 波形如图题 9.4.4 所示。集成施密特触发器的 $V_{T+} = 3.3\text{ V}$ 、 $V_{T-} = 1.6\text{ V}$ 。已知单稳的输出脉宽 t_w 与 t_1 、 t_2 关系为 $t_1 < t_w < t_2$ 。对应 v_i 画出电路中 B、C、D、E 各点波形,并说明 D、E 端输出负脉冲的作用。

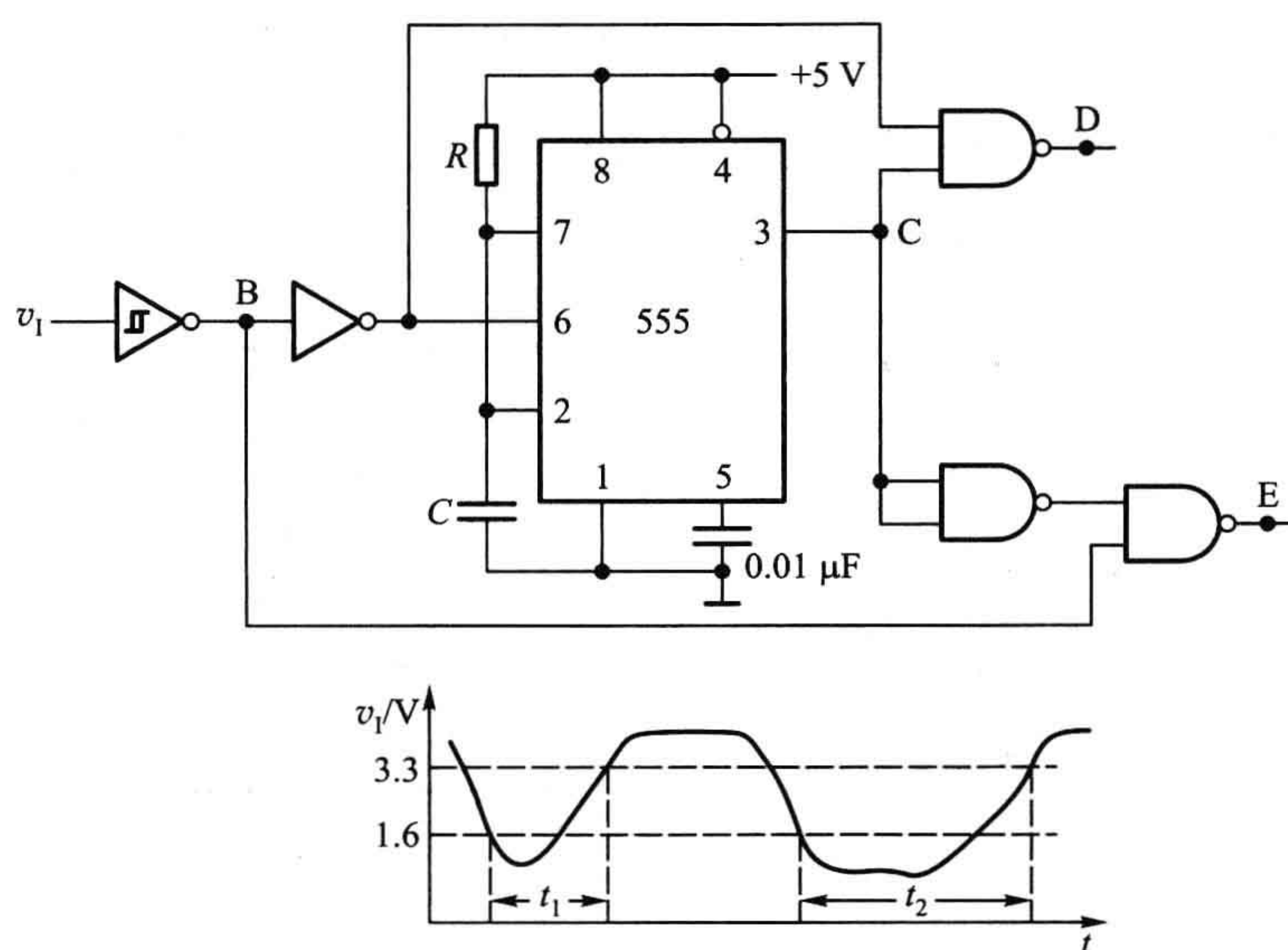
解:电路中集成施密特触发器将 v_i 整形为矩形波后,作为由 555 定时器组成的单稳态触发器的触发信号,分析电路可得电路中 B、C、D 及 E 各点的电压波形图题解 9.4.4 所示。

根据波形分析可知,当 D 端输出负脉冲时,表明 $t_w > t_1$,而 E 端输出负脉冲时表明 $t_w < t_2$ 。

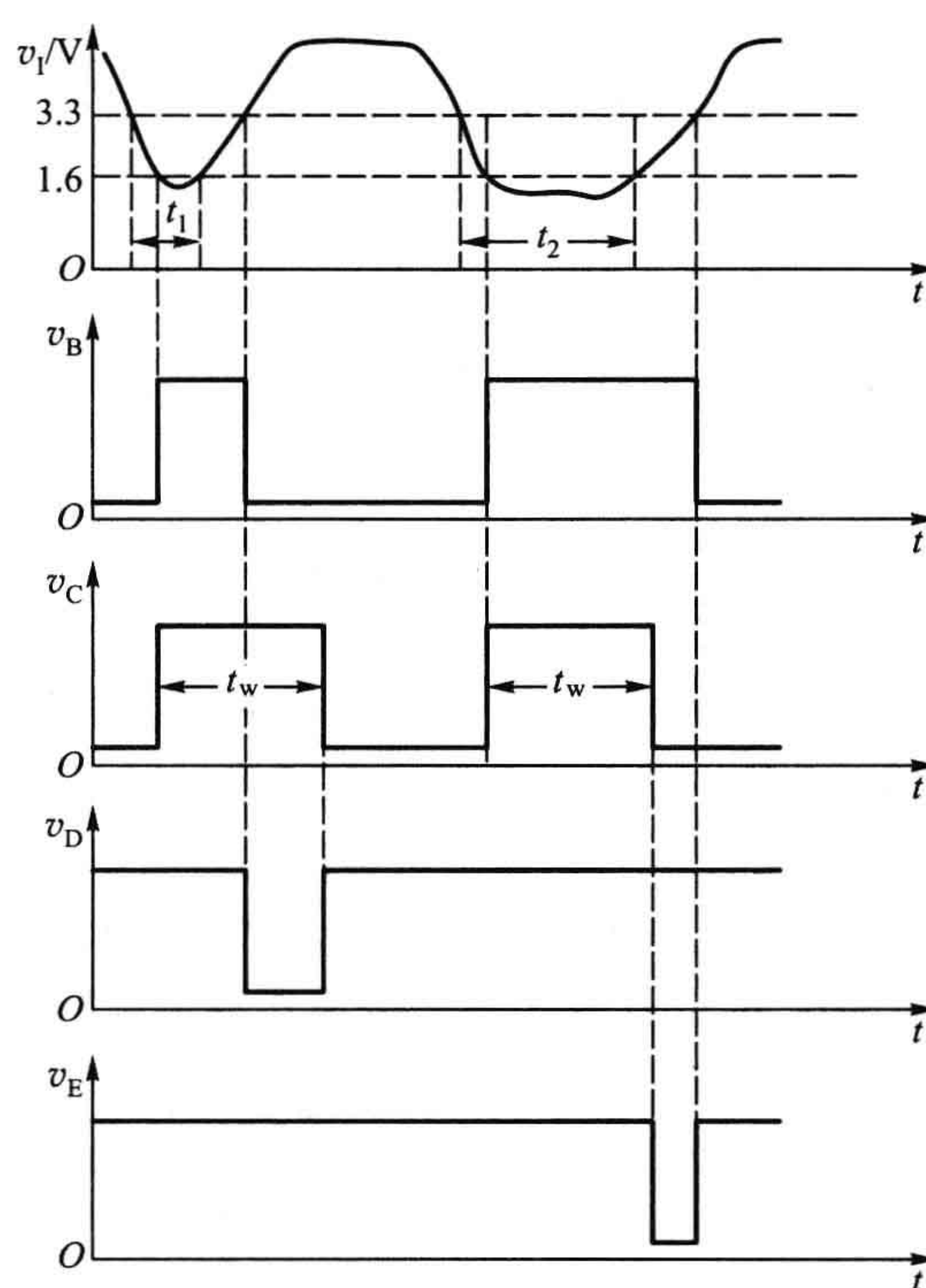
9.4.5 图题 9.4.5(a) 为心律失常报警电路,经放大后的心电信号 v_i 如图(b)所示, v_i 的幅值 $v_{im} = 4\text{ V}$ 。(1) 对应 v_i 分别画出图中 A、B、E 三点波形;(2) 说明电路的组成及工作原理。

解:图题 9.4.5(a) 中 555 定时器(1) 组成施密特触发器,将输入心电信号变换为脉冲信号。555(2) 与三极管、 R 、 C 组成可重复触发的单稳。电路中, RC 参数取值使单稳输出脉宽 t_w 大于正常心电信号周期。分析该电路可画出 v_A 、 v_B 、 v_C 各点电压波形如图题解 9.4.5 所示。

根据 v_A 、 v_B 、 v_E 各点电压波形可知,当心律失常产生漏波时, E 点输出低电平,发光二极管 D_2 亮,心电情况正常时发光二极管 D_1 亮。

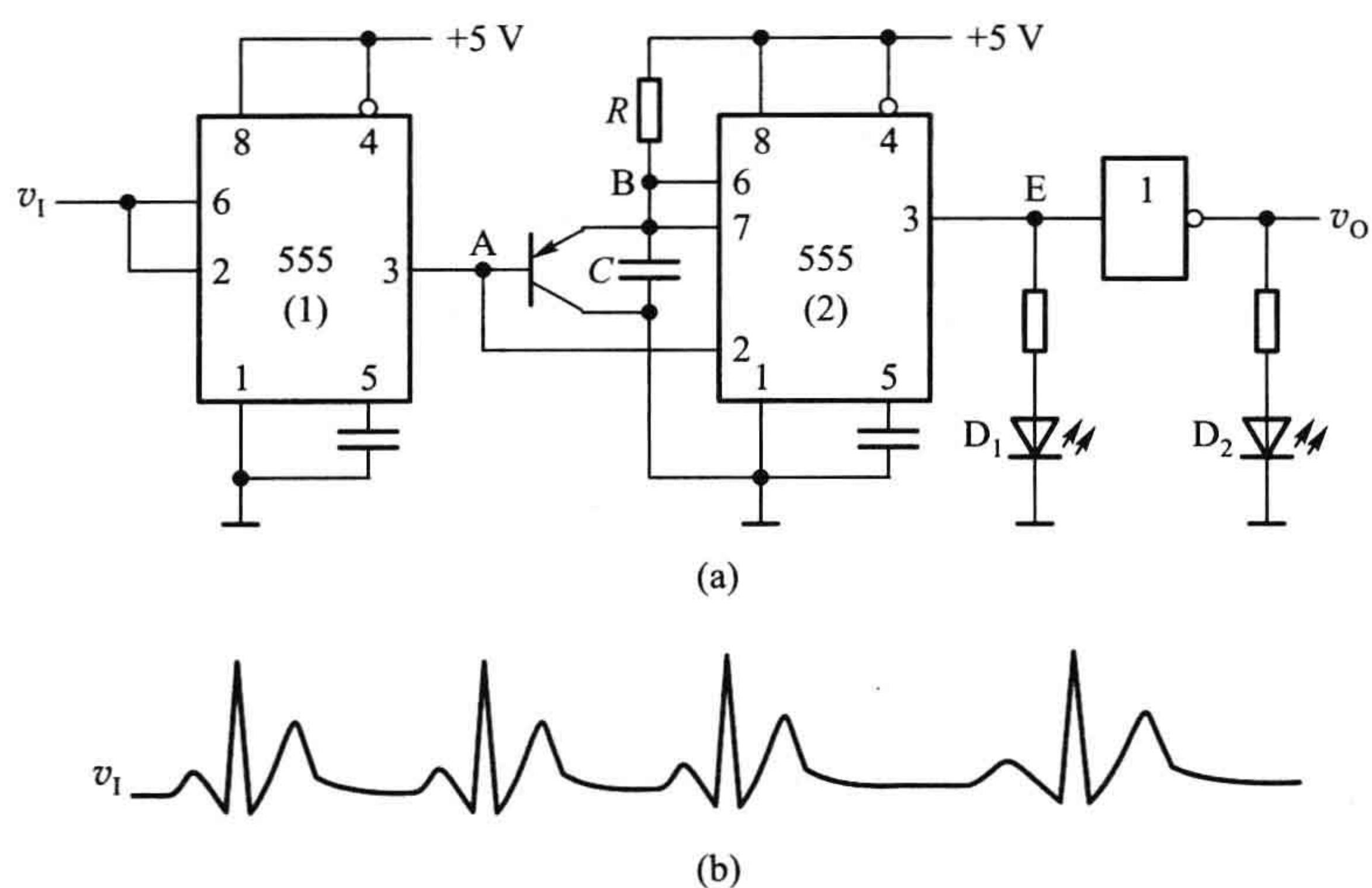


图题 9.4.4

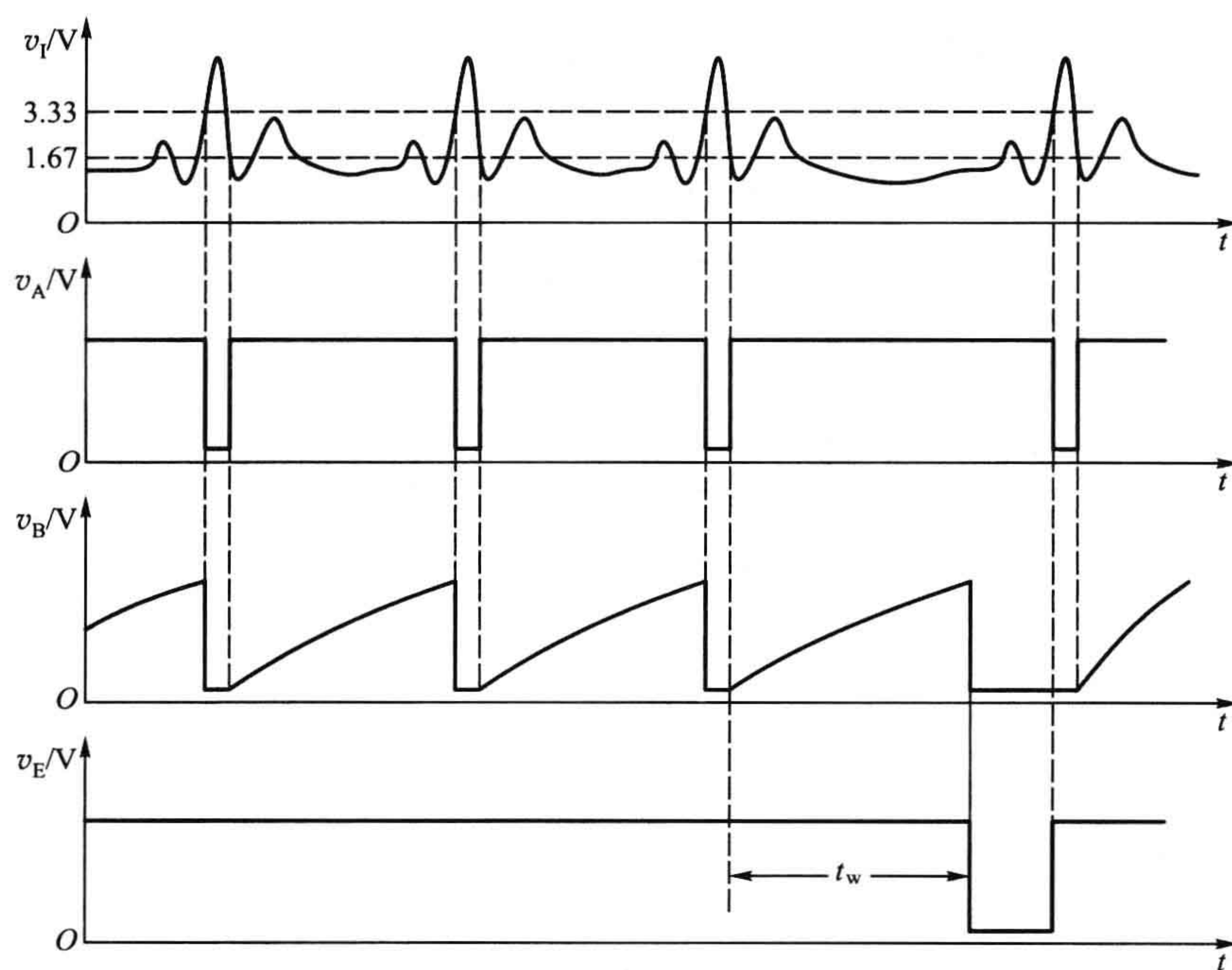


图题解 9.4.4

9.4.6 一防盗报警电路如图题 9.4.6 所示, a、b 两端被一细铜丝接通, 此铜丝置于小偷必经之处。当小偷闯入室内将铜丝碰断后, 扬声器即发出报警声。



图题 9.4.5

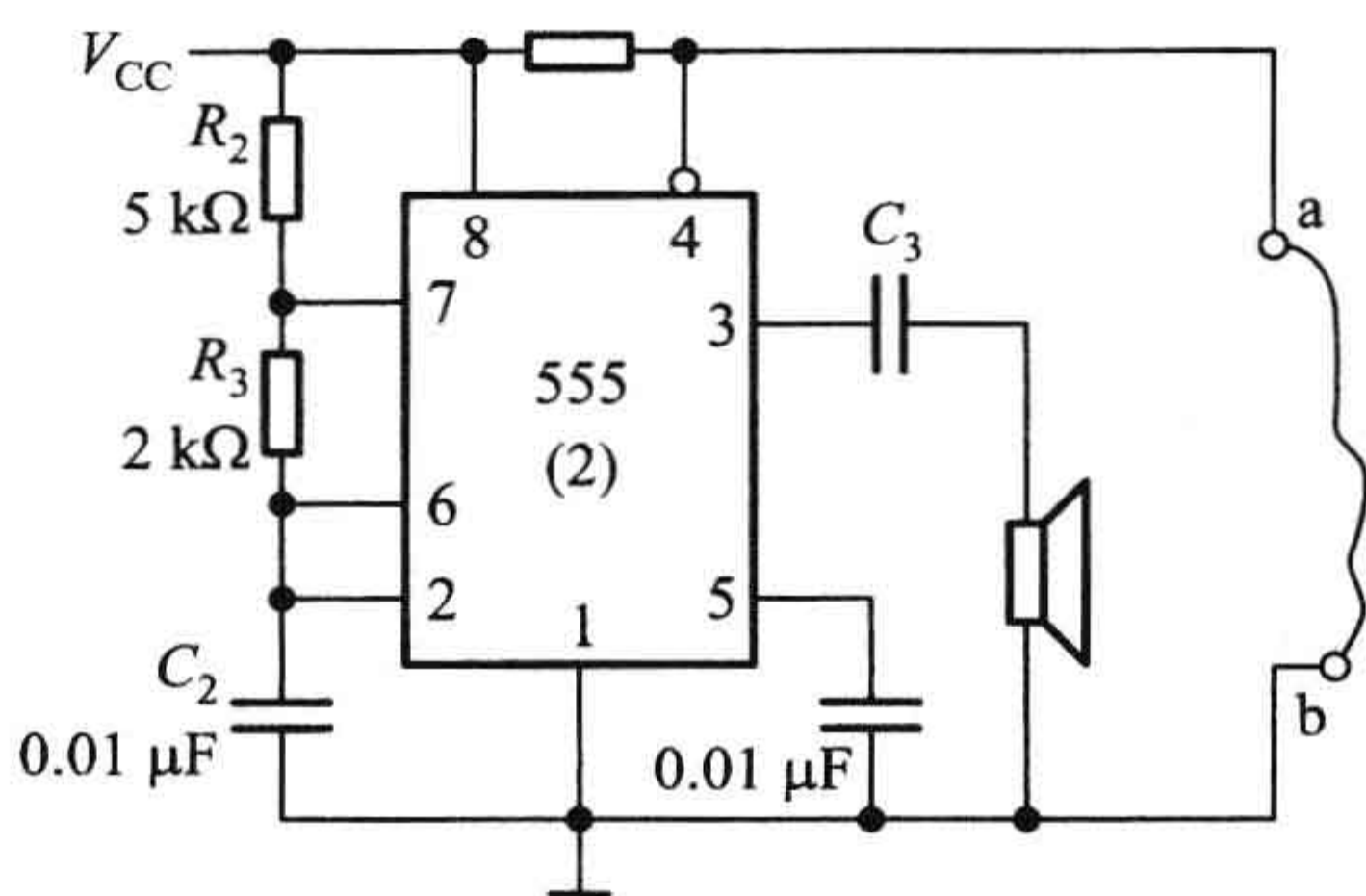


图题解 9.4.5

- (1) 试问 555 定时器接成何种电路?
- (2) 简要说明该报警电路的工作原理。
- (3) 试根据图中参数计算电路的振荡频率。

解: (1) 当细铜丝断开时, 555 定时器为“多谐振荡器电路”。

(2) 正常情况下, a、b 两端被一细铜丝接通, 555 定时器的 4 脚为低电平使其输出端 3 脚复



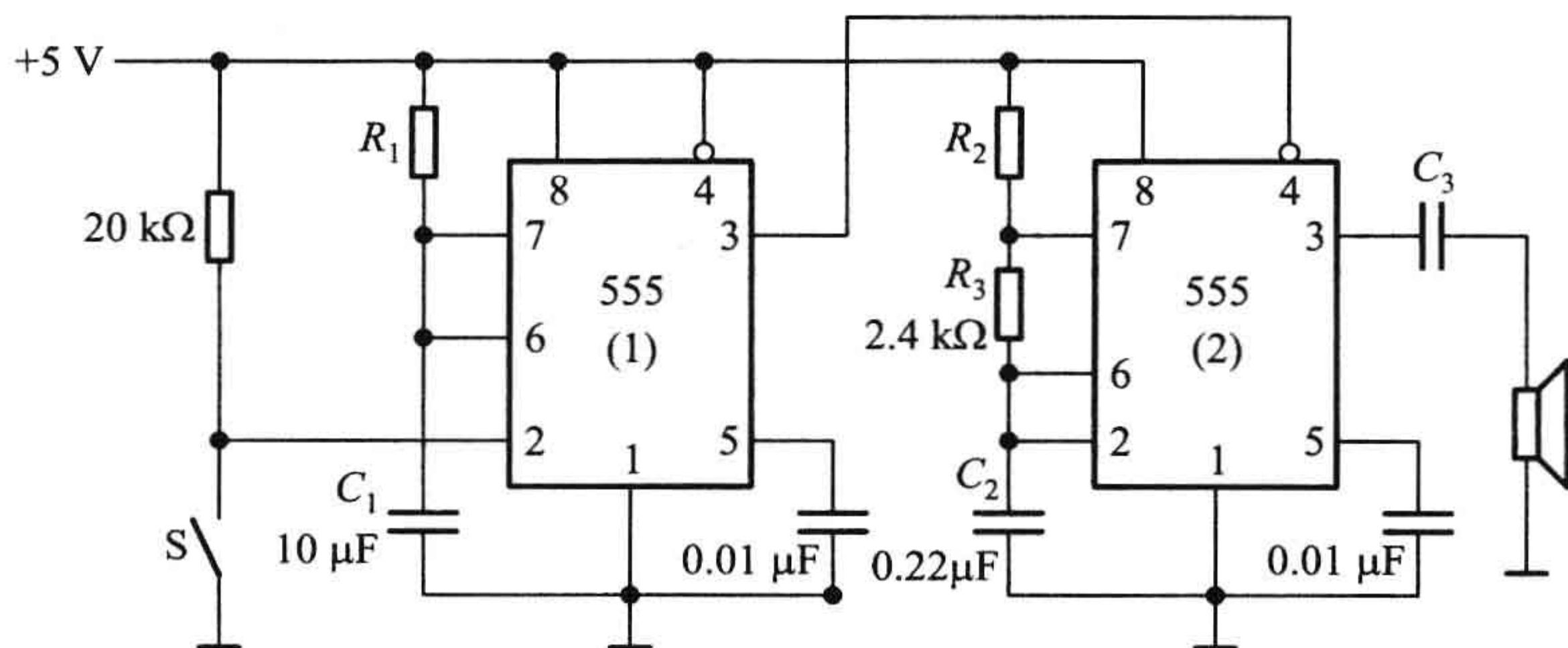
图题 9.4.6

位,扬声器无声音发出;当小偷闯入室内将铜丝碰断后,则4脚变为高电平,多谐振荡器工作,输出端3脚产生连续的方波信号,此时扬声器即发出报警声。

$$(3) \text{ 多谐振荡器的振荡频率 } f = \frac{1}{0.7(R_2 + 2R_3)C_2}$$

将 $R_2 = 5\text{k}\Omega$, $R_3 = 2\text{k}\Omega$, $C_2 = 0.01\text{ }\mu\text{F}$ 代入上式求得报警时扬声器的振荡频率 $f = 15.87\text{kHz}$ 。

9.4.7 分析如图题 9.4.7 所示电路。简述电路组成及工作原理。若要求扬声器在开关 S 按下后以 1.2 kHz 的频率持续响 10 秒钟,试确定图中 R_1 、 R_2 的阻值。



图题 9.4.7

解:图中 555(1) 组成单稳态触发器,其输出 v_{o1} 当作为 555(2) 组成的多谐振荡器的清零信号。当 S 开关接通,555(1) 的②脚由高电平跳变为低电平,单稳被触发,输出脉宽为 t_w 的正脉冲。在 t_w 时间内 555(2) 的清零信号为高电平,多谐振荡器工作,其振荡频率为 1.2kHz 。当单稳返回稳态后, $v_{o1} = 0$, 555(2) 被清零,多谐振荡器停振。

依题意,单稳脉宽 $t_w = 10\text{s}$

$$t_w = 1.1R_1C_1$$

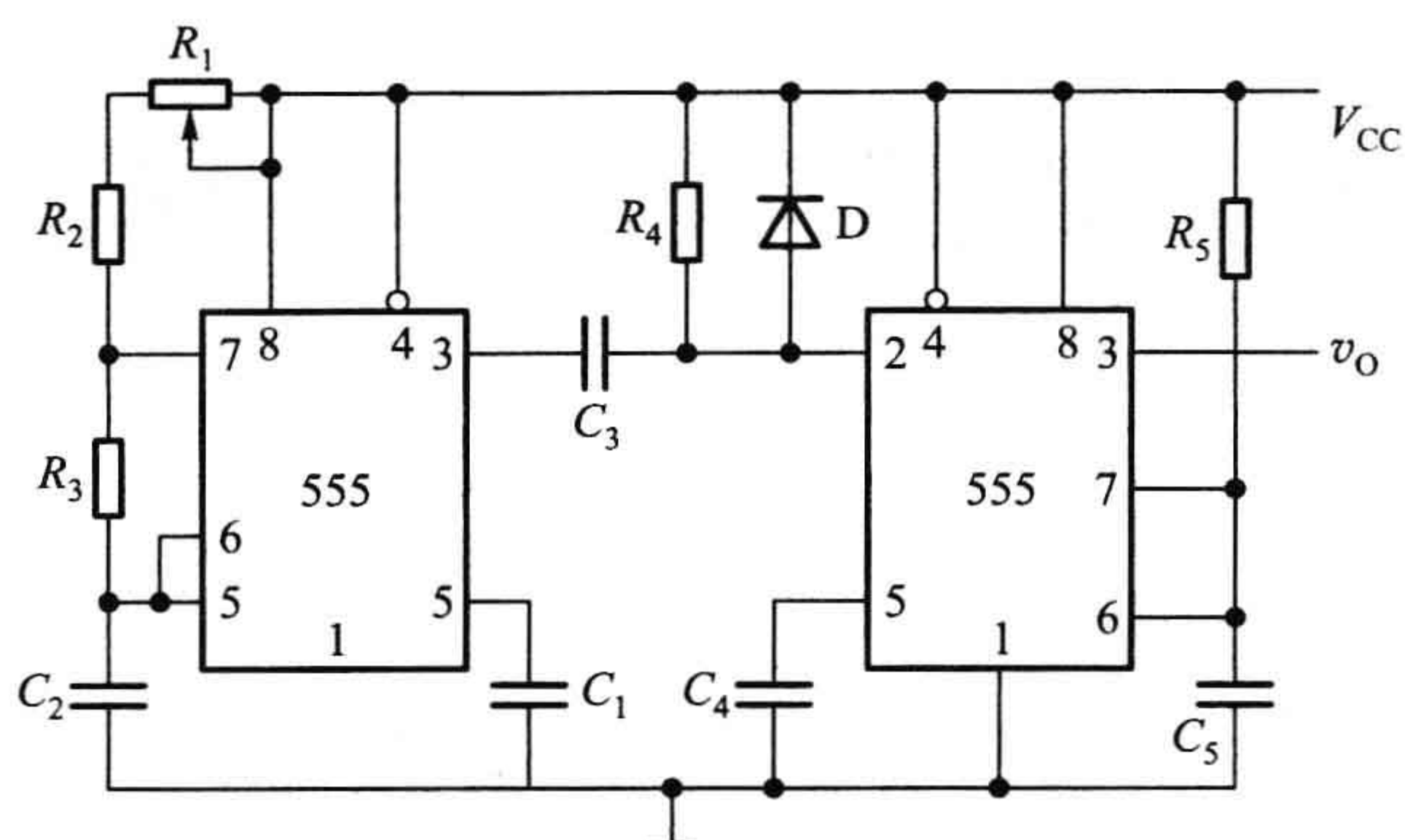
已知 $C_1 = 10\text{ }\mu\text{F}$, 代入上式求得 $R_1 = 910\text{k}\Omega$

$$\text{多谐振荡器振荡频率 } f = \frac{1}{0.7(R_2 + 2R_3)C_2}$$

已知 $R_3 = 2.4\text{k}\Omega$, $C_2 = 0.22\text{ }\mu\text{F}$, 代入上式求得 $R_2 = 0.61\text{k}\Omega$

9.4.8 图题 9.4.8 电路为两个 555 定时器构成的频率可调而脉宽不变的方波发生器,试说

明工作原理;确定频率变化的范围和输出脉宽;解释二极管 D 在电路中的作用。



图题 9.4.8

解:前级 555 为多谐振荡器,后级 555 构成单稳态触发器。调节多谐振荡器电位器 R_1 可改变其输出频率,多谐振荡器的输出经 C_3 、 R_4 微分电路变换为窄脉冲后作为单稳触发信号,由于单稳的定时元件 R_5 、 C_5 不变,故输出脉宽不变。于是,在单稳的输出端得到频率可调而输出脉宽不变的矩形波。其振荡频率变化范围为

$$\frac{1}{0.7(R_1 + R_2 + 2R_3)C} \sim \frac{1}{0.7(R_2 + 2R_3)C}$$

输出脉宽 $t_w = R_5 C_5 \ln 3 = 1.1 R_5 C_5$

二极管 D 在电路中起限幅削波的作用,避免大电压加到单稳输入端,造成电路因过压损坏。

10 数模与模数转换器

一、内容提要及重点

本章的内容提要：

1. D/A 转换器输出模拟量 v_o (或 i_o)，与输入量数字量之间的一般关系式为 v_o (或 i_o) = $K \sum_{i=0}^{n-1} D_i 2^i$ 。D/A 转换器主要有电阻网络 D/A 转换器、倒 T 形电阻网络 D/A 转换器和权电流 D/A 转换器等。

2. AD7533 是 10 位 CMOS 电流开关型 D/A 转换器，它与求和放大电路可组成 10 位倒 T 形电阻网络 D/A 转换器。

3. D/A 转换器的主要技术指标有转换精度、转换速度和温度系数等。 n 位 D/A 转换器的分辨率为 $\frac{1}{2^n - 1}$ 。

4. A/D 转换器能将输入模拟量转换为时间离散，幅值也离散的数字信号。转换一般需要经过采样、保持、量化及编码四个过程。

5. A/D 转换器分为直接和间接 A/D 转换器两种。并行比较、逐次比较 A/D 转换器属于直接 A/D 转换器，而双积分型 A/D 转换器则是一种间接 A/D 转换器。

6. A/D 转换器的主要技术指标是转换精度、转换速度。

本章的重点：

1. 电阻网络 D/A 转换器、倒 T 形电阻网络 D/A 转换器的工作原理，输出电压的计算。

2. 并行比较、逐次比较 A/D 转换器和双积分 A/D 转换器的工作原理及性能特征。

3. D/A 和 A/D 转换器的主要性能指标(转换精度、转换速度)及其应用。

二、典型例题解析

例 10.1 可控增益放大电路如图 10.1 所示。当 $Q_i = 1$ 时 S_i 与 v_i 接通； $Q_i = 0$ 时， S_i 接地。

- (1) 试写出电路电压增益 $A_v = \frac{v_o}{v_i}$ 的表达式。
- (2) 当 $v_i = +5 \text{ mV}$, $Q_3 Q_2 Q_1 Q_0 = 1001$ 时, 计算 v_o 的值。
- (3) 求出电压增益的最大值。

解题思路: ① 根据各器件在电路中间的连接关系, 确定其功能。电路由计数器和权电阻网络 D/A 转换器组成。计数器的输出为 D/A 转换器输入数字量。可控增益放大电路的输入电压为 D/A 转换器的基准电压。

- ② 写出权电阻网络 D/A 转换器输出电压表达式, 进而推导出电压增益 $A_v = \frac{v_o}{v_i}$ 的表达式。

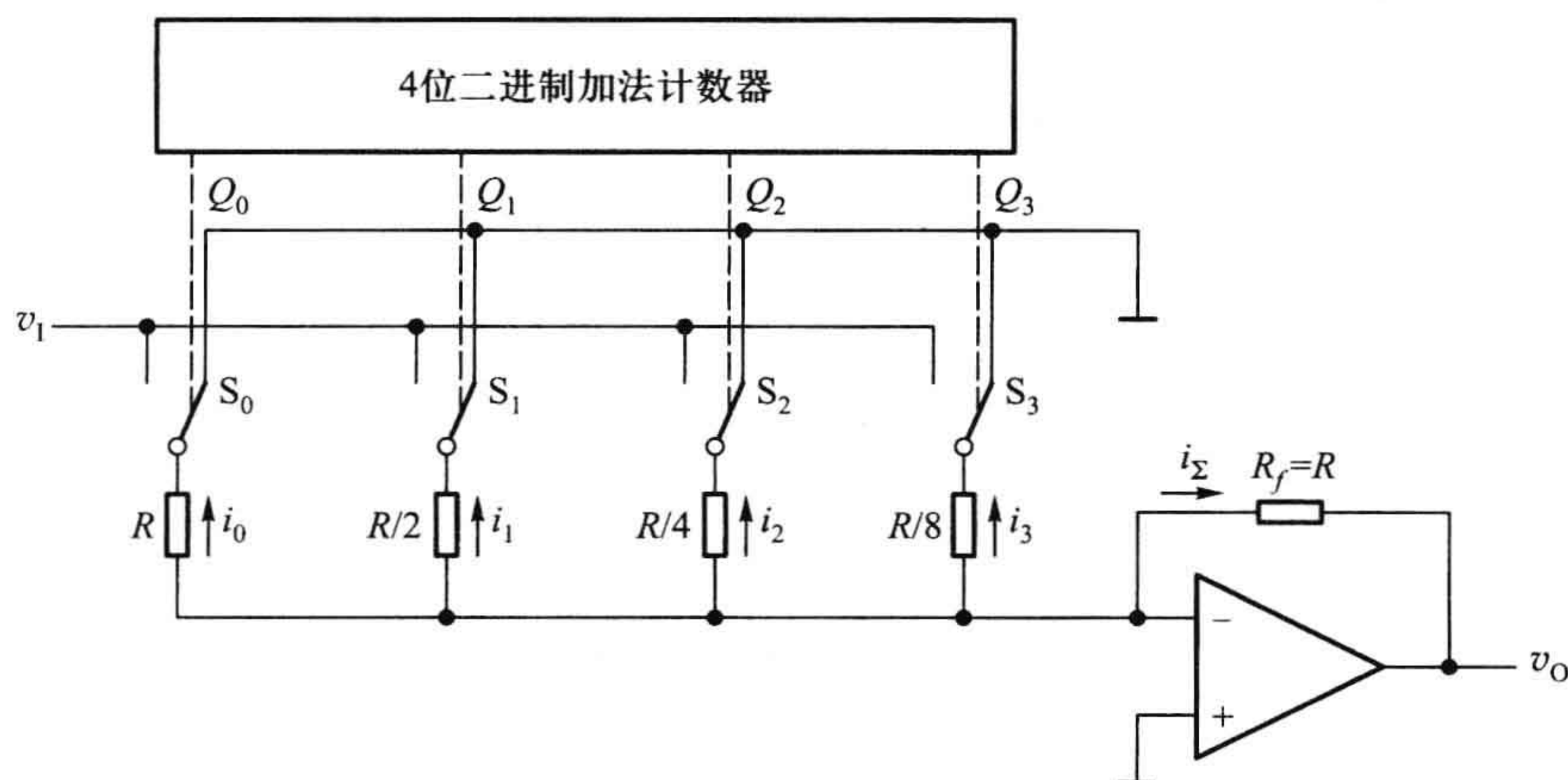


图 10.1 例 10.1 电路图

解: (1) 权电阻网络 D/A 转换器输出电压表达式为

$$v_o = V_{\text{REF}}(D_3 2^3 + D_2 2^2 + D_1 2^1 + D_0 2^0)$$

$$= V_{\text{REF}} \sum_{i=0}^3 D_i \cdot 2^i$$

将式 $V_{\text{REF}} = v_i$, $D_i = Q_i$ 代入上式得

$$v_o = v_i(Q_3 2^3 + Q_2 2^2 + Q_1 2^1 + Q_0 2^0) = v_i \sum_{i=0}^3 Q_i 2^i$$

于是可得电压增益表达式

$$A_v = \frac{v_o}{v_i} = \sum_{i=0}^3 Q_i 2^i$$

(2) $v_i = +5 \text{ mV}$, $Q_3 Q_2 Q_1 Q_0 = 1001$ 代入式 $v_o = V_{\text{REF}}(D_3 2^3 + D_2 2^2 + D_1 2^1 + D_0 2^0)$ 中得

$$v_o = (1 \times 2^3 + 1 \times 2^0) \times 5 = 45 \text{ mV}$$

(3) 从电压增益表达式可知当计数器输出 $Q_3 Q_2 Q_1 Q_0 = 1111$ 时, 电压增益 A_v 为最大值。将 $Q_3 Q_2 Q_1 Q_0 = 1111$ 代入电压增益表达式得

$$A_{v\text{max}} = (1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0) = 15$$

例 10.2 由 D/A 转换器、计数器和 ROM 组成的波形产生电路如图 10.2(a) 所示, 图中

ROM 的数据表如表 10.2 所示。对应 CP 波形,画出输出 v_o 的波形,并标出波形上各点的电压值。

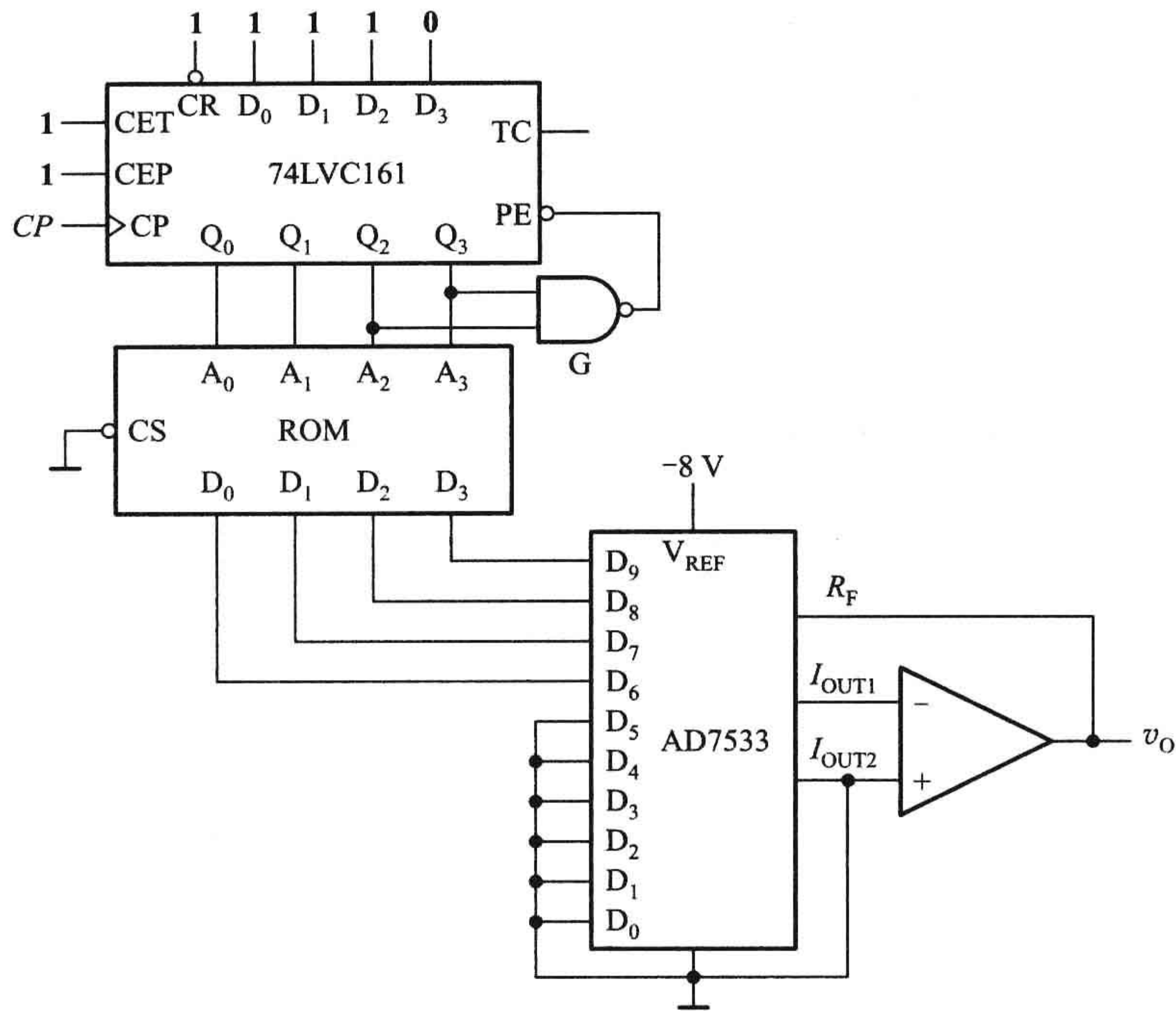


图 10.2(a)

表 10.2 ROM 的数据表

A_3	A_2	A_1	A_0	D_9	D_8	D_7	D_6
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	1	1
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	1	0
1	0	1	0	0	0	1	1
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	1

续表							
A_3	A_2	A_1	A_0	D_9	D_8	D_7	D_6
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	1	0	0	0

解题思路:① 分析电路,了解电路的工作状态。电路中计数器 74LVC161 的输出 $Q_3Q_2Q_1Q_0$ 为 ROM 提供地址信号,ROM 的输出为 D/A 转换器的高 4 位数据,而 D/A 转换器的低 4 位均为 0。D/A 转换器的输出电压随不同地址单元输出数据变化。

② 分析计数器,列出其状态表。

③ 根据表 10.2 查出计数器不同状态时,ROM 对应的地址单元的数据,确定 D/A 转换器输入数字量。

④ 根据 D/A 转换器输出电压表达式,计算对应输出电压值,进而画出 v_o 的波形。

解:分析 74LVC161 和门 G 电路可得计数器的状态表如表题解 10.2 所示。

表题解 10.2 例 10.2 计数器状态表

$Q_3(A_3)$	$Q_2(A_2)$	$Q_1(A_1)$	$Q_0(A_0)$
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0

根据表 10.2 所示 6 个地址查 ROM 数据,得 D/A 转换器高 4 位的($D_9D_8D_7D_6$)的 6 组数据分别为 0111,0001,0010,0011,0100 和 0011。已知电路中 $R_f=R, V_{REF}=-8\text{ V}$ 将数据代入 D/A 转换器输出

电压表达式 $v_o = -\frac{V_{REF}}{2^{10}} \cdot \frac{R_f}{R} \left[\sum_{i=0}^9 (D_i \cdot 2^i) \right]$ 即可算出 v_o 的值。

如 $D_9D_8D_7D_6=0111$ 时,D/A 转换器 $D_9D_8D_7D_6D_5D_4D_3D_2D_1D_0=0111000000$,可求得 $v_o=3.5\text{ V}$ 。6 组数据对应的输出电压如下表所示。

D_9	D_8	D_7	D_6	v_o/V
0	0	1	1	1.5
0	1	0	0	2
0	0	1	1	1.5
0	0	1	0	1
0	0	0	1	0.5
0	1	1	1	3.5

对应 CP 波形画出输出 v_o 的波形如图 10.2(b) 所示。

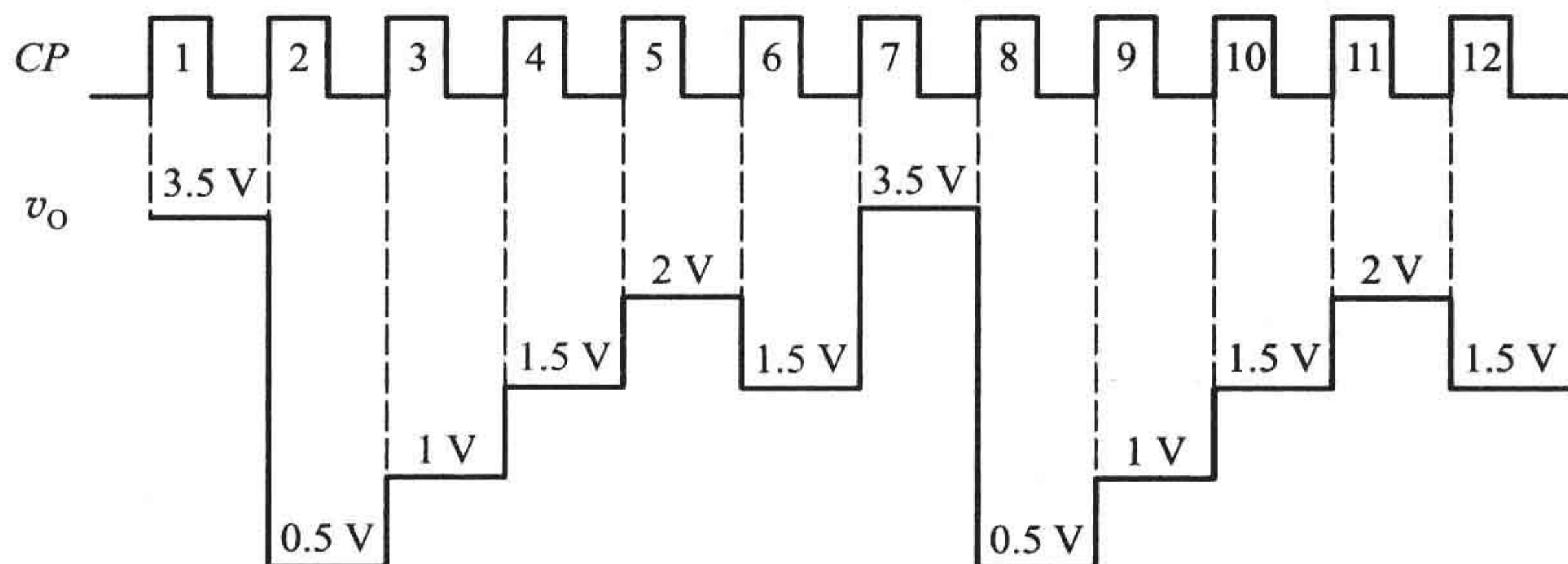


图 10.2(b)

例 10.3 双积分 A/D 转换器的参考电压 $V_{REF} = -10\text{ V}$, 计数器为 12 位二进制加法计数器。已知时钟频率 $f_{CP} = 1\text{ MHz}$ 。

(1) 该 A/D 转换器允许输入的最大模拟电压是多少? 完成一次转换所需要的时间是多少?

(2) 当输入模拟电压 $V_I = 6\text{ V}$ 时, 求输出的数字量。

(3) 若输入电压的最大值为 2 V , 要求能分辨的最小电压为 0.1 mV , 试问双积分 A/D 转换器中的计算器的位数应该是几位?

解题思路: ① 双积分 A/D 转换器正常工作时, 要求 v_i 与 V_{REF} 的极性相反且 $v_i \leq |V_{REF}|$ 。

② 完成一次转换所需要的时间等于 $T_1 + T_2$; 与时钟频率、A/D 转换器的位数相关。

③ 根据双积分 A/D 转换器中计数器 λ 值的表达式, 求输出的数字量。

解: (1) 该 A/D 转换器允许输入的最大模拟电压 $v_{I\max} \approx |V_{REF}| = 10\text{ V}$ 。

$$\begin{aligned} T_{\max} &= T_1 + T_2 = 2^n T_C + (2^n - 1) T_C = (2^{n+1} - 1) T_C \\ &= (2^{13} - 1) \frac{1}{10^6} \text{ s} = 8.191\text{ ms} \end{aligned}$$

(2) 根据 $\lambda = \frac{2^n}{V_{REF}} V_I$, 将 $V_I = 6\text{ V}$, $V_{REF} = -10\text{ V}$, 代入式中

$$\lambda = \frac{2^{12} \times 6}{10} = (2458)_D = (100110011010)_2$$

(3) 分辨率表明 A/D 转换器对输入信号的分辨能力, 理论上 n 位 A/D 转换器能区分 2^n 个输入信号的不同等级。分辨率常用电路能分辨的最小输入电压和输入电压满刻度值之比给出。即

$$\text{分辨率} = \frac{v_{i\min}}{v_{i\max}} = \frac{1}{2^n - 1}。 \text{ 将 } v_{i\min} = 0.1\text{ mV}, v_{i\max} = 2\text{ V} \text{ 代入分辨率的表达式中}$$

得

$$2^n - 1 = \frac{2 \times 10^3}{0.1} = 20000$$

于是求得

$$n = 15$$

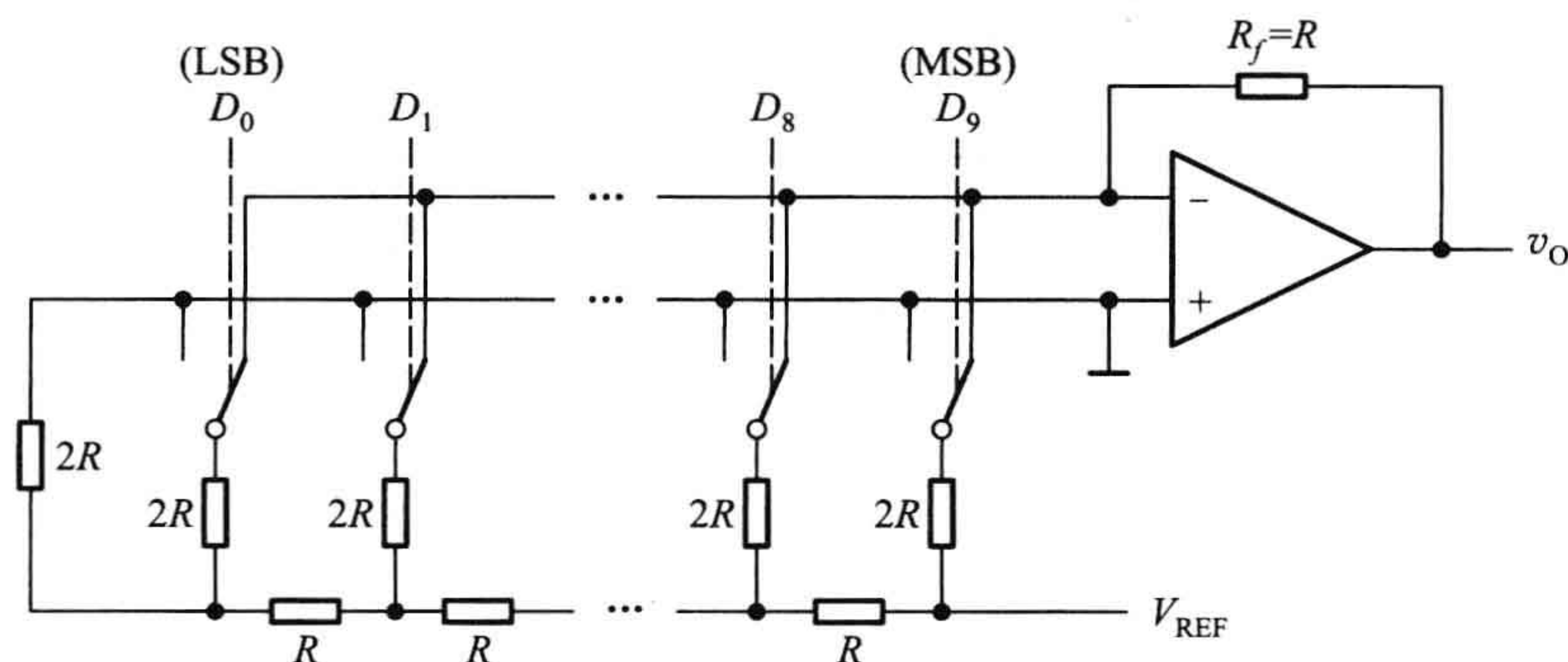
三、习题全解

10.1 D/A 转换器

10.1.1 10 位倒 T 形电阻网络 D/A 转换器如图题 10.1.1 所示。

(1) 试求输出电压的取值范围。

(2) 若要求电路输入数字量为 200H 时输出电压 $V_o = 5V$, 试问 V_{REF} 应取何值?



图题 10.1.1

解: (1) 由式(10.1.6)可知 10 位 D/A 转换器输出电压 v_o 为

$$v_o = -\frac{V_{REF}}{2^{10}} \cdot \frac{R_f}{R} \sum_{i=0}^9 D_i \cdot 2^i \quad (1)$$

当 $D_9 D_8 \cdots D_0 = 00 \cdots 0$ 时, $v_o = 0 V$

当 $D_9 D_8 \cdots D_0 = 11 \cdots 1$ 时, $v_o = -\frac{V_{REF} R_f}{R}$, 已知 $R = R_f$,

$$\therefore v_o = -V_{REF}$$

于是可得输出电压的取值范围为: $(-V_{REF} \sim 0) V$

(2) 根据(1)式

$$V_{REF} = -\frac{2^{10} \cdot R \cdot v_o}{R_f} \cdot \frac{1}{\sum_{i=0}^9 2^i \cdot D_i} \quad (2)$$

将 $D_9 \cdots D_0 = 1000000000$ 代入, 得 $V_{REF} = -10 V$

10.1.2 实际四位权电流 D/A 转换器如图 10.1.8 所示。已知 $V_{REF} = 6 V$, $R_1 = 48 k\Omega$, 当输入 $D_3 D_2 D_1 D_0 = 1100$ 时, $v_o = 1.5 V$, 试确定 R_f 的值。

解: n 位权电流 D/A 转换器的输出电压为:

$$v_o = \frac{V_{REF}}{R_1} \cdot \frac{R_f}{2^n} \sum_{i=0}^{n-1} D_i \cdot 2^i$$

于是, 有

依题意, Δv_o 必须小于 $\frac{1}{2}\text{LSB}$,

$$\left| \frac{1}{2}\text{LSB} \right| = \frac{|V_{\text{REF}}|}{2^5}$$

于是有

$$\frac{2^4-1}{2^4} |\Delta V_{\text{REF}}| \leq \frac{|V_{\text{REF}}|}{2^5}$$

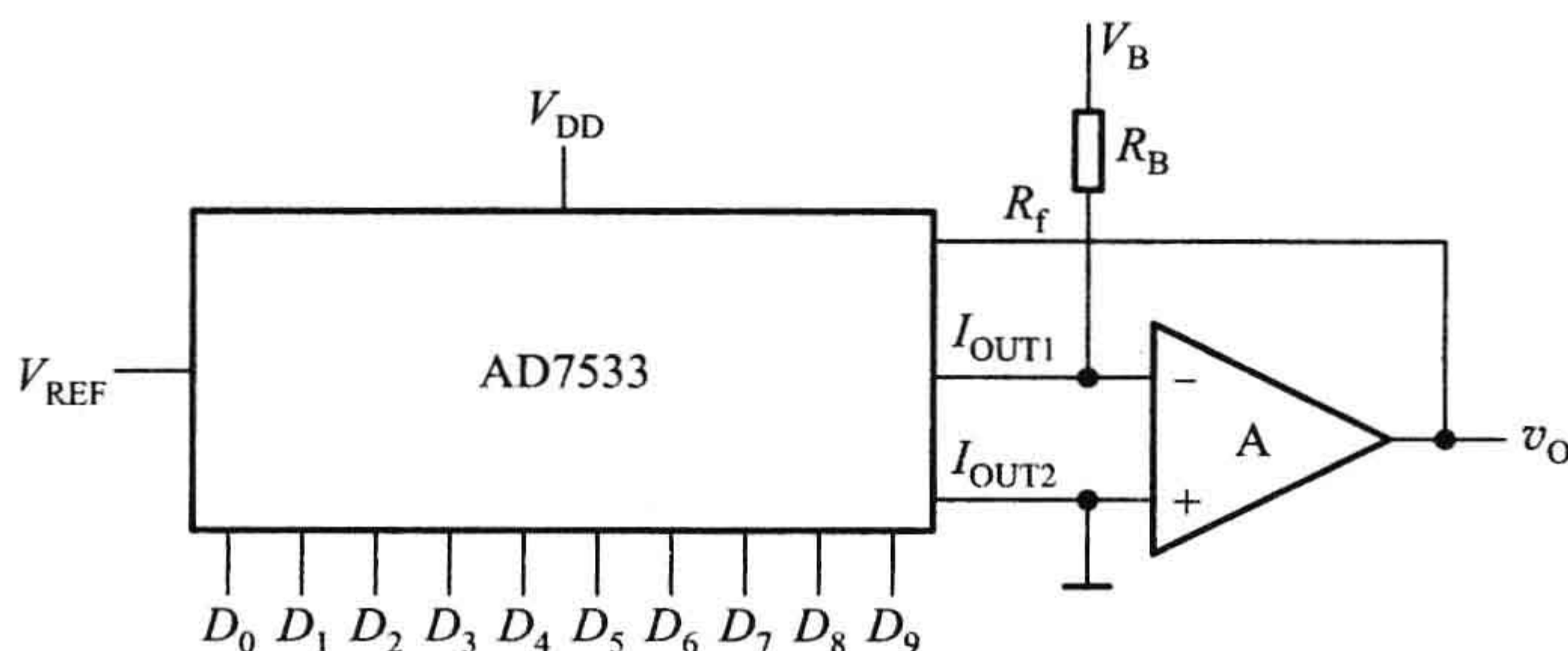
所以可得参考电压 V_{REF} 的相对稳定性为

$$\frac{|\Delta V_{\text{REF}}|}{|V_{\text{REF}}|} \leq \frac{2^4}{2^4-1} \cdot \frac{1}{2^5} \approx \frac{1}{2(2^4-1)} = 3.33\%$$

10.1.4 由 AD7533 组成双极性输出 D/A 转换器如图题 10.1.4 所示。

(1) 根据电路写出输出电压 v_o 的表达式。

(2) 试问实现输入为 2 的补码时的双极性输出电路中 V_B 、 R_B 、 V_{REF} 和片内的 R 应满足什么关系?



图题 10.1.4

解: (1) 当不考虑 V_B 、 R_B 支路作用时

$$I_{\text{OUT1}} = \frac{V_{\text{REF}}}{2^{10} \cdot R} \cdot \sum_{i=0}^9 D_i 2^i$$

加入 V_B 、 R_B 后, 流入反相端的总电流

$$i_{\Sigma} = \frac{V_{\text{REF}}}{2^{10} R} \cdot \sum_{i=0}^9 D_i \cdot 2^i + \frac{V_B}{R_B}$$

于是可得

$$\begin{aligned} v_o &= -i_{\Sigma} R_f \\ &= -\left(\frac{V_{\text{REF}}}{2^{10} \cdot R} \sum_{i=0}^9 D_i \cdot 2^i + \frac{V_B}{R_B} \right) R_f \end{aligned}$$

当 $R_f = R$ 时,

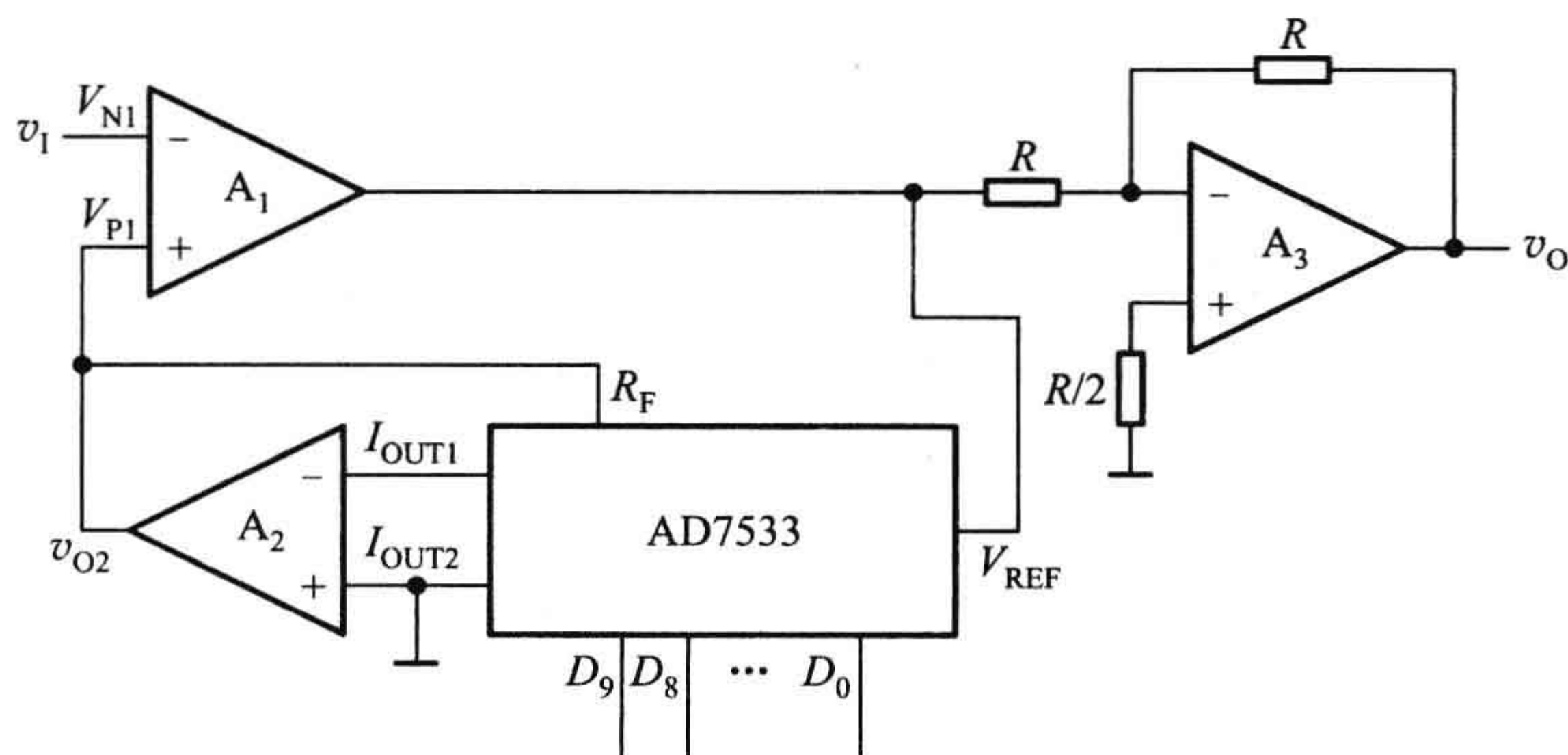
$$v_o = -\frac{V_{\text{REF}}}{2^{10}} \sum_{i=0}^9 D_i \cdot 2^i - \frac{V_B R_f}{R_B}$$

(2) 比较双极性 2 的补码与单极性二进制码可知, 实现 2 的补码双极性 D/A 转换电路时, 需将符号位取反后接入 D/A 转换器的最高位。此外, V_B 、 R_B 支路还需提供偏流, 使输入代码最高位为 1, 而其余各位为 0 时的输出电压 $v_o = 0$ 。 V_B 、 R_B 、 R 和 V_{REF} 应满足如下关系

$$\frac{|V_B|}{R_B} = \frac{|V_{\text{REF}}|}{2R}$$

10.1.5 可编程放大器(数控可变增益放大器)电路如图题 10.1.5 所示。

- (1) 推导电路电压放大倍数 $A_v = v_o/v_i$ 的表达式;
- (2) 当输入编码为(001H)和(3FF)时,电压放大倍数 A_v 分别为多少?
- (3) 试问当输入编码为(000H)时,运放 A_1 处于什么状态?



图题 10.1.5

解: (1) 图中运放 A_3 组成电压增益为-1 的反比例放大器, $v_o = -V_{REF}$ 。
AD7533 与运放 A_2 组成 10 位 D/A 转换器

$$v_{O2} = \frac{-V_{REF}}{2^{10}} \sum_{i=0}^9 D_i \cdot 2^i$$

由 AD7533 与运放 A_1 、 A_2 组成负反馈放大电路, 运放 A_1 工作于线性工作区,
 $v_{N1} = v_{P1}$, 即 $v_1 = v_{O2}$,

$$v_1 = \frac{-V_{REF}}{2^{10}} \sum_{i=0}^9 D_i \cdot 2^i$$

将 $V_{REF} = -v_o$ 代入上式
于是有

$$v_1 = \frac{v_o}{2^{10}} \cdot \sum_{i=0}^9 D_i \cdot 2^i$$

所以

$$A_v = \frac{v_o}{v_1} = \frac{2^{10}}{\sum_{i=0}^9 D_i \cdot 2^i}$$

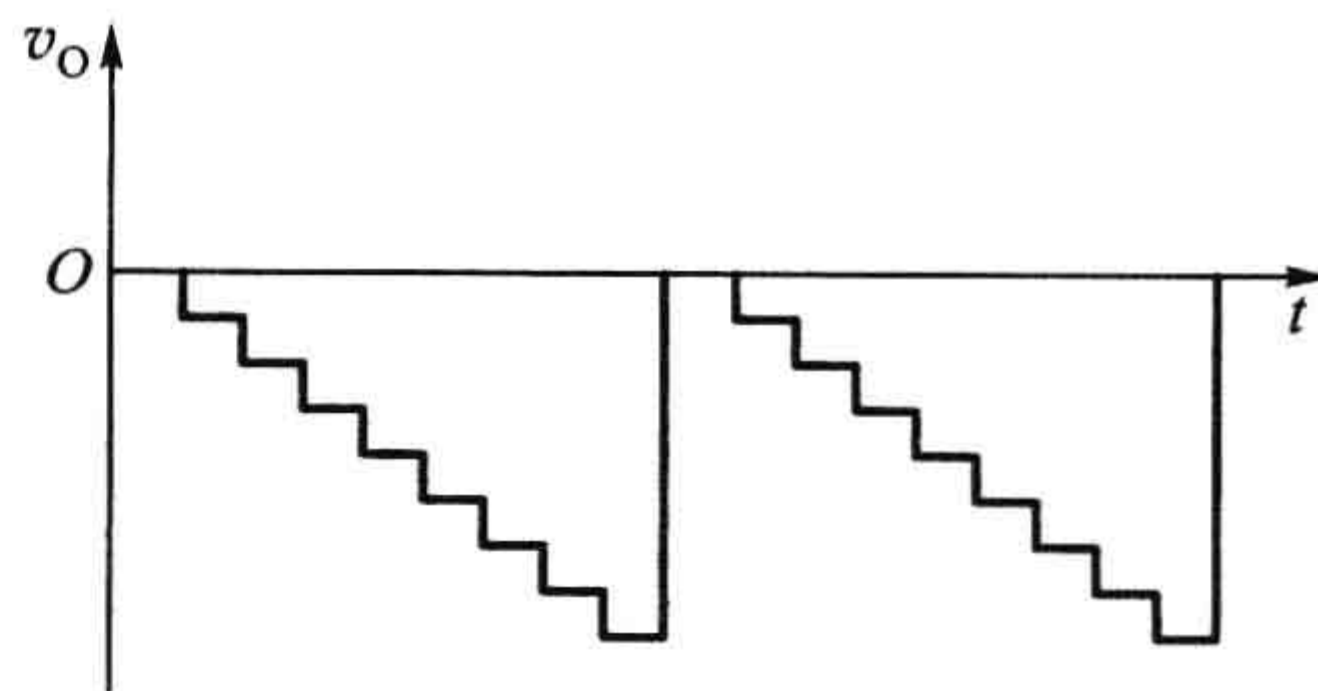
(2) 当 $D = 01H$ 时, 代入上式, 可得 $A_v = 2^{10}$

当 $D = 3FFH$ 时, 代入上式, 可得 $A_v = 1$

(3) 当输入编码 $D_9 \sim D_0 = 000H$ 时, 运放 A_1 的 $V_p = 0V$, 故 A_1 处于开环工作状态, 工作于非线性区。

10.1.6 试用 D/A 转换器 AD7533 和计数器 74LVC161 组成如图题 10.1.6 所示的阶梯波形发生器, 要求画出完整的逻辑图。

解: 要实现如图题 10.1.6 所示的阶梯波形输出, 则



图题 10.1.6

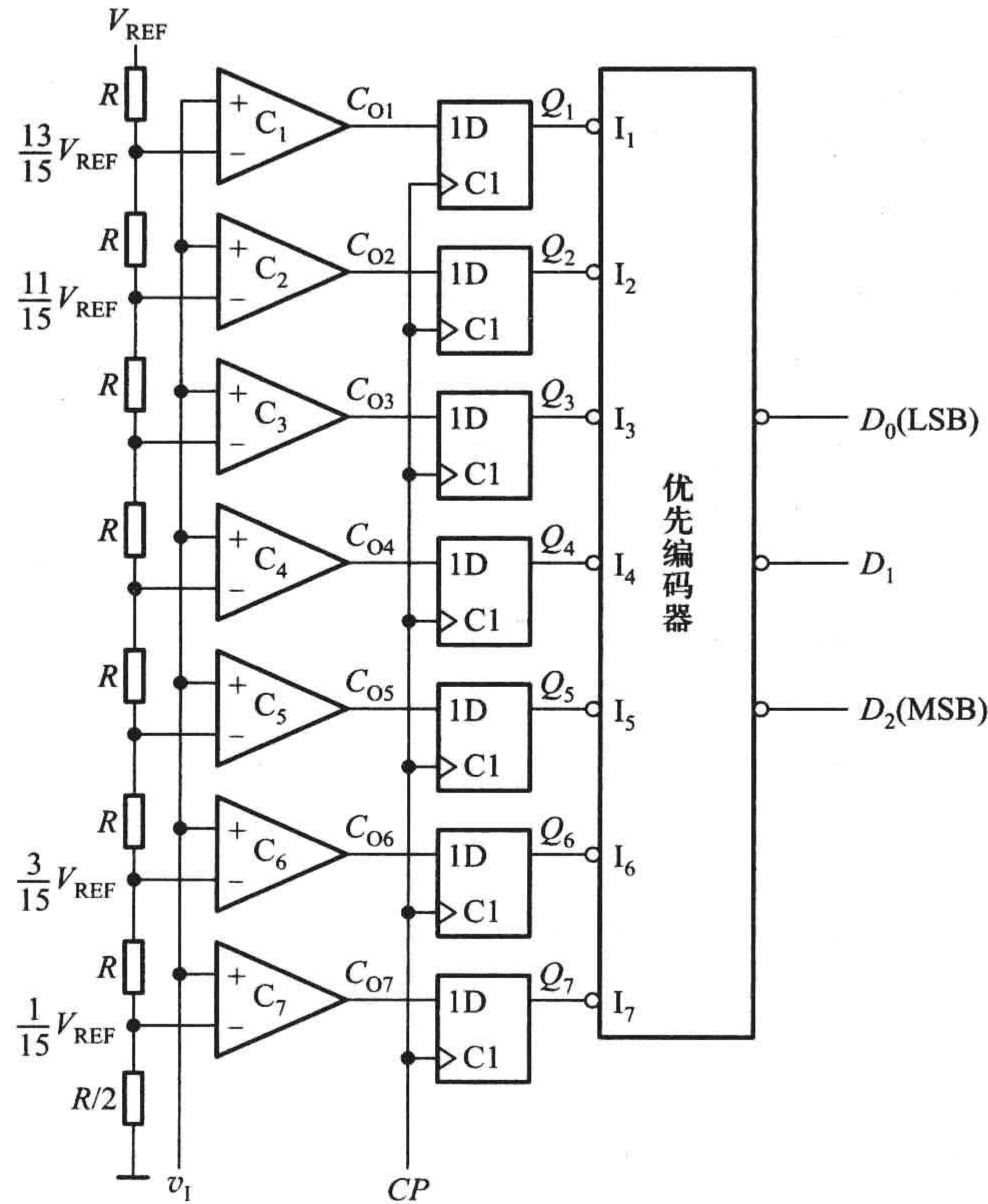


图 10.2.4 3 位并行 A/D 转换器

查表可知,当 $v_i = 2.4 \text{ V}$ 时, $D_2 D_1 D_0 = 011$ 。

10.2.2 在图 10.2.5 所示的逐次比较 A/D 转换器中,若 $n = 10$,已知时钟频率为 1 MHz ,则完成一次转换所需时间是多少?如要求完成一次转换的时间小于 $100 \mu\text{s}$,问时钟频率应选多大?

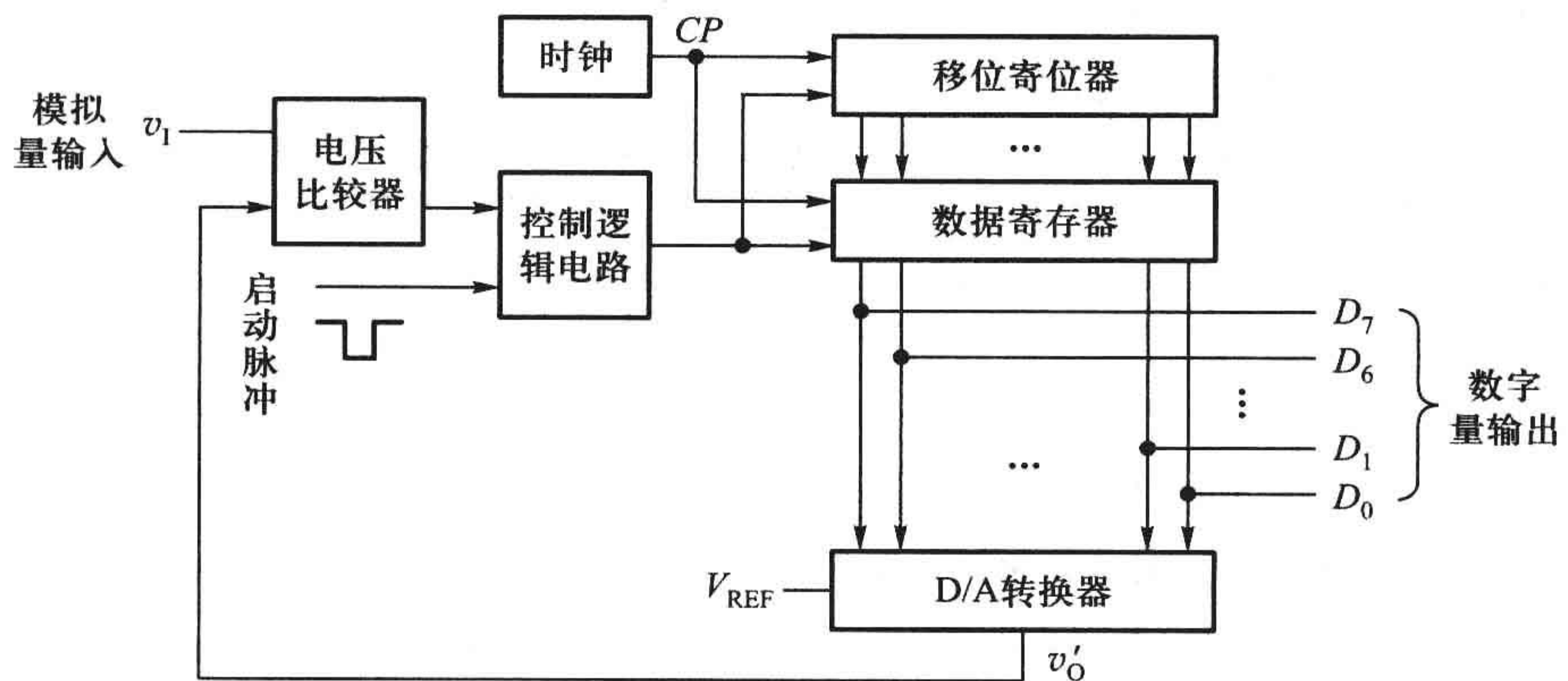


图 10.2.5 逐次比较型 A/D 转换器框图

解:分析图 10.2.5 可知, n 位逐次比较 A/D 转换器的转换时间

$$t = n \cdot T_{CP} \quad (T_{CP} \text{ 为时钟脉冲 } CP \text{ 的周期})$$

已知 $n=10$, $T_{CP}=1\text{ }\mu\text{s}$, 代入上式可得

$$t=10\text{ }\mu\text{s}$$

如要求 A/D 转换的时间完成一次 $t<100\text{ }\mu\text{s}$, 即

$$T_{CP} \times 10 < 100\text{ }\mu\text{s}$$

于是得

$$T_{CP} < 10\text{ }\mu\text{s} \quad f_{CP} > 0.1\text{ MHz}$$

10.2.3 在图 10.2.7 所示逐次比较 A/D 转换器中设 $V_{REF}=10\text{ V}$, $v_i=8.26\text{ V}$, 试画出在时钟脉冲作用下, v'_o 的波形并写出转换结果。

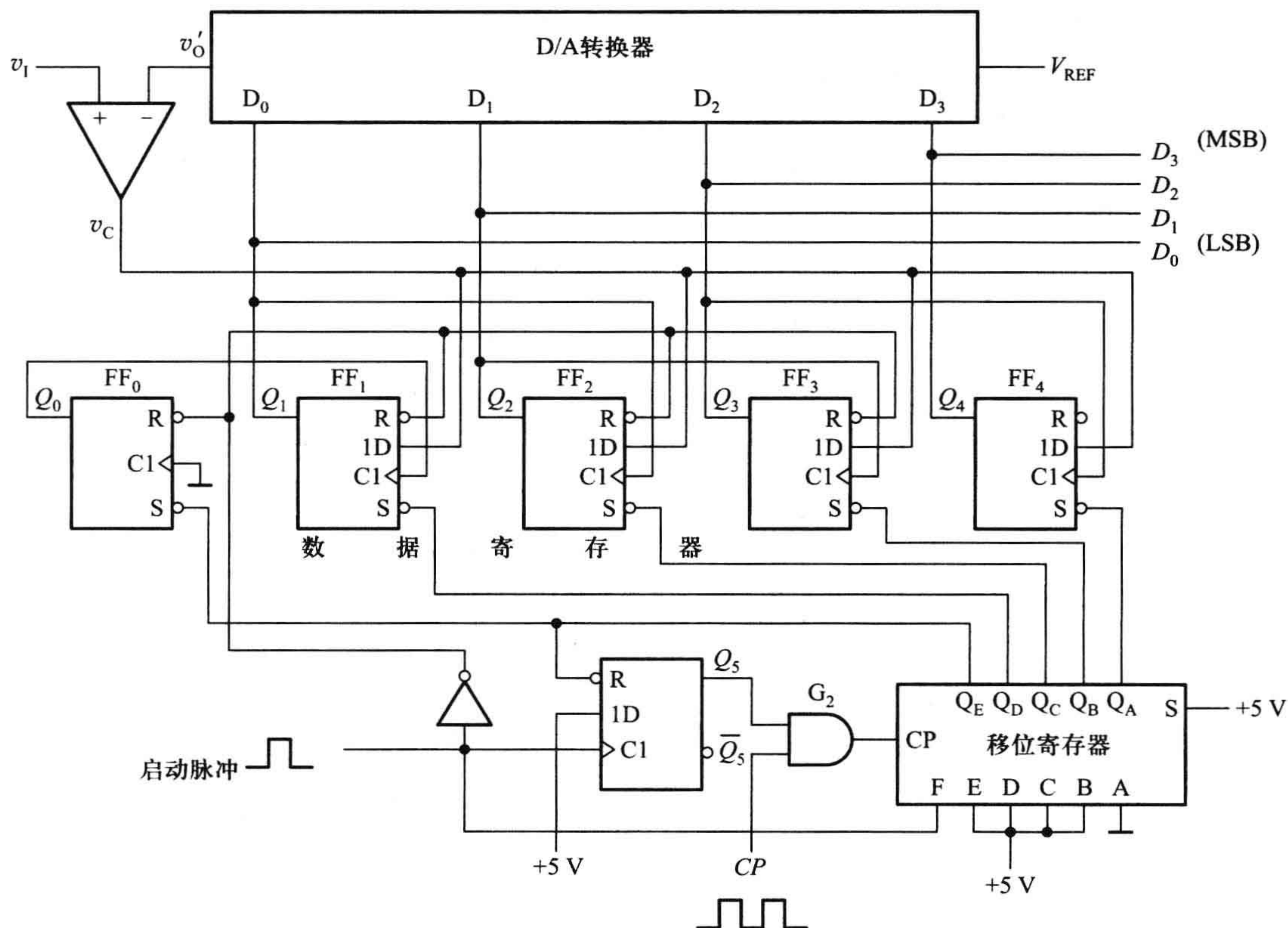


图 10.2.7 4 位逐次比较型 A/D 转换器的逻辑电路

解: 在图 10.2.7 中, v'_o 是 4 位倒 T 形电阻网络 D/A 转换器的输出电压

$$v_o = -i_{\Sigma} R_f = -\frac{R_f}{R} \cdot \frac{V_{REF}}{2^4} \sum_{i=0}^3 (D_i \cdot 2^i)$$

启动脉冲后在第一个 CP 作用下, D/A 转换器 $D_3 D_2 D_1 D_0 = 1000$, 将 $D_3 D_2 D_1 D_0 = 1000$ 代入上式, 得 $v'_o = 5\text{ V}$ 。

由于 $v_i > v'_o$ 所以 $D_3 = 1$

在第二个 CP 作用下, $D_3 D_2 D_1 D_0 = 1100$; 同理可得 $v'_o = 7.5\text{ V}$

此时 $v_i > v'_o$, 所以 $D_2 = 1$

在第三个 CP 作用下, $D_3 D_2 D_1 D_0 = 1110$; 计算得 $v'_o = 8.75\text{ V}$

因为此时 $v_i < v'_o$ $D_1 = 0$

在第四个 CP 作用下, $D_3D_2D_1D_0 = 1101$; 可得 $v'_0 = 8.125 \text{ V}$

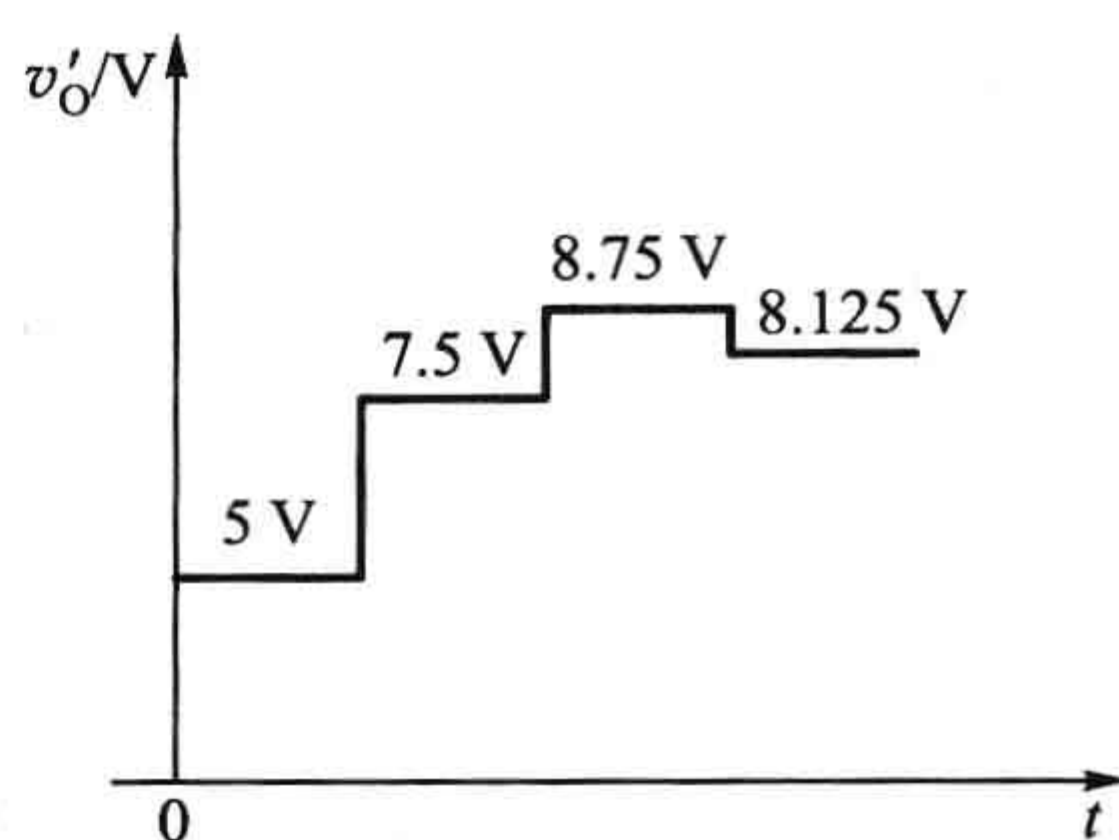
又因 $v_1 < v'_0$ $D_0 = 1$

电路经 4 个 CP 后, 得到转换结果为 $D_3D_2D_1D_0 = 1101$ 。

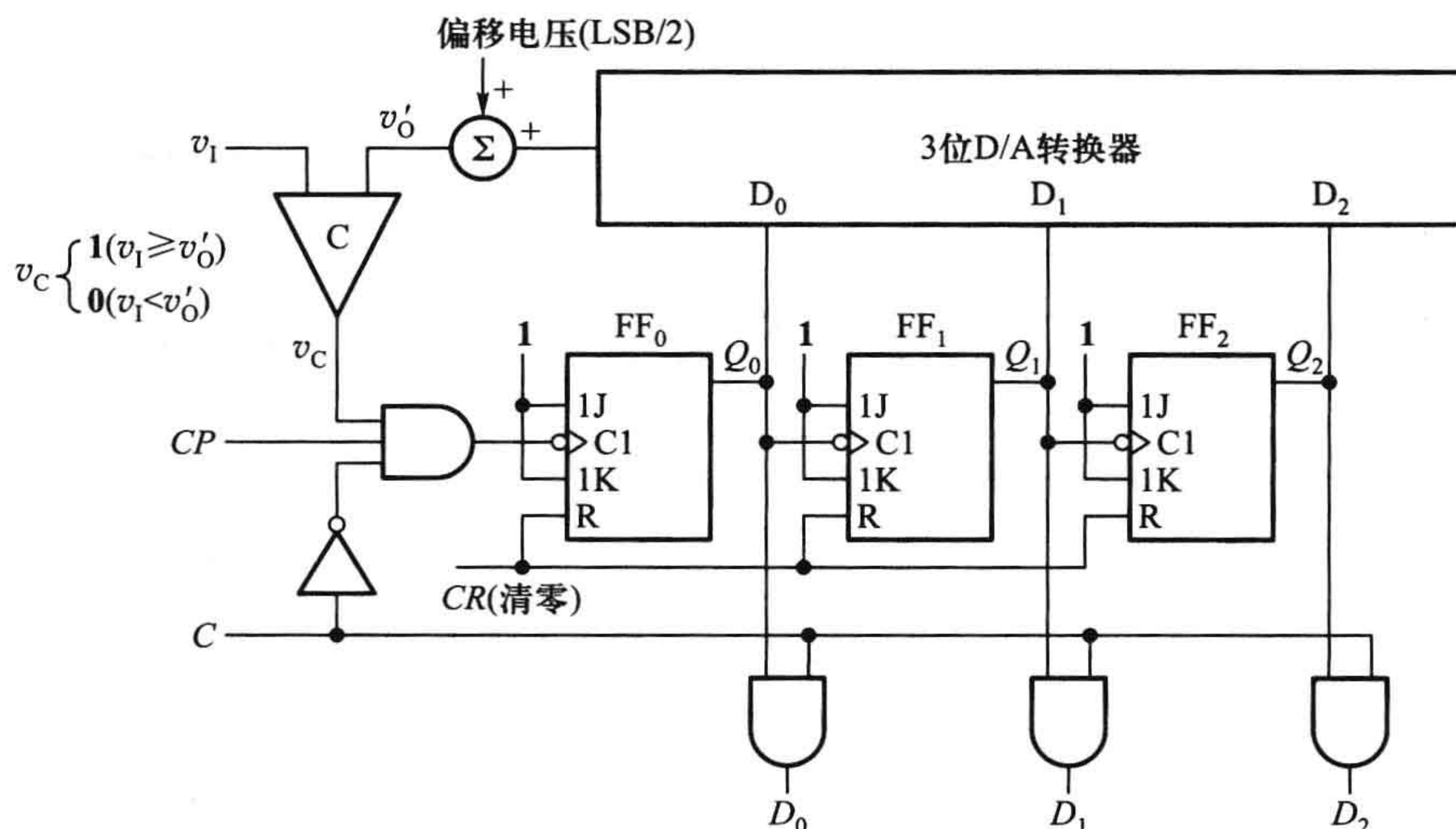
v'_0 的波形如图题解 10.2.3 所示。

10.2.4 计数型 A/D 转换器如图题 10.2.4 所示。试分析其工作原理。

解: 图题 10.2.4 为逐次逼近式 A/D 转换电路。转换从控制信号 C 低电平到来开始, 首先清零信号 CR 使 $Q_2Q_1Q_0 = 000$, 该数字量送入 3 位 D/A 转换器后, 产生 0 V 电压与 $1/2 \text{ LSB}$ 偏移电压相加得 v'_0 , v'_0 与 v_1 经比较器 C 比较, 如 $v_1 > v'_0$, 则 $v_c = 1$, 于是 CP 送入 FF_0 的 CP 端, 使 $Q_2Q_1Q_0 = 001$ 。 $Q_2Q_1Q_0 = 001$ 送 D/A, 产生与 001 相应的模拟量, 再加偏移电压得 v'_0 , v'_0 再与 v_1 比较, 如 v_1 仍大于 v'_0 , 则 v_c 仍为高电平, 在第二个时钟脉冲到来后使 $Q_2Q_1Q_0$ 为 010 , $Q_2Q_1Q_0$ 再送 D/A……上述过程不断循环, 直至 $v_1 < v'_0$, $v_c = 0$ 将 CP 封锁为止。



图题解 10.2.3



图题 10.2.4

控制信号 C 在输入 7 个脉冲后变为高电平, 将控制 Q_2 、 Q_1 、 Q_0 输出的与门打开, 将与 v_1 相对应的数字信号输出。

增加 $\frac{1}{2} \text{ LSB}$ 偏移电压可以减小量化误差。设 $1 \text{ LSB} = 1 \text{ V}$, 若没有偏移电压, 当 v_1 小于 1 V (如 0.9 V) 时, $v_c = 0$, 增加偏移电压后, 当 $0.5 \text{ V} < v_1 < 1 \text{ V}$ 时, $v_c = 1$, 由此可见, 量化误差减小到 0.5 V , 即 $1/2 \text{ LSB}$ 。

10.2.5 某双积分 A/D 转换器中, 计数器为十进制计数器, 其最大计数容量为 $(3000)_D$ 。已知计数时钟频率 $f_{CP} = 30 \text{ KHz}$, 积分器中 $R = 100 \text{ k}\Omega$, $C = 1 \text{ }\mu\text{F}$, 输入电压 v_1 的变化范围为 $0 \sim 5 \text{ V}$, 试求:

- (1) 第一次积分时间 T_1 ;
- (2) 求积分器的最大输出电压 $|V_{\text{omax}}|$;

(3) 当 $V_{\text{REF}} = 10\text{V}$, 第二次积分计数器计数值 $\lambda = (2500)_{10}$ 时, 输入电压的平均值 V_1 为多少?

解: 设 N_1 为第一次积分时计数器的计数值

$$(1) T_1 = N_1 \times T_{\text{CP}} = \frac{N_1}{f_{\text{CP}}} = \frac{3000}{30 \times 10^3} \text{s} = 100 \text{ ms}$$

$$(2) |v_{\text{omax}}| = \frac{1}{RC} \int_0^{T_1} v_{\text{imax}} dt = \frac{V_{\text{imax}} T_1}{RC} = \left[\frac{5 \times 0.1}{100 \times 10^3 \times 10^{-6}} \right] \text{V} = 5 \text{ V}$$

$$(3) \text{ 因为 } \lambda = \frac{2^n}{V_{\text{REF}}} \cdot V_1$$

$$\therefore V_1 = -\frac{\lambda}{2^n} V_{\text{REF}} = \left[-\frac{2500}{3000} \times 10 \right] \text{V} \approx -8.3 \text{ V}$$

10.2.6 在图 10.2.8 所示双积分 A/D 转换中, 设时钟脉冲频率为 f_{CP} , 其分辨率为 n 位, 写出最高的取样频率表达式。

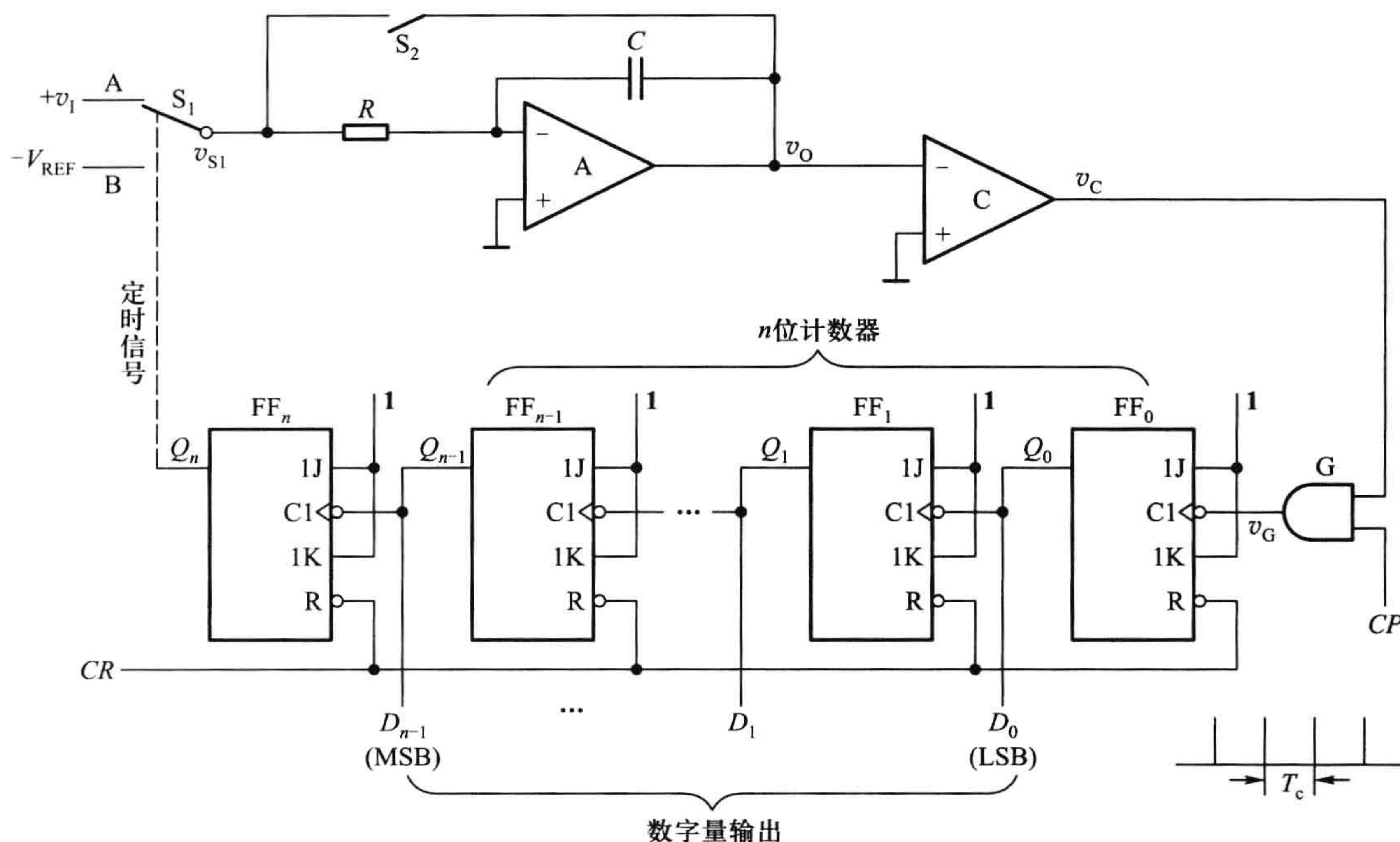


图 10.2.8 双积分 A/D 转换器

解: 设最长转换时间为 T_{max} , 则

$$T_{\text{max}} = 2T_1 = \frac{2^n}{f_{\text{CP}}} \times 2 \quad (T_1 \text{ 为积分器的第一次积分时间})$$

所以最小转换频率

$$f_{\text{min}} = \frac{1}{T_{\text{max}}} = \frac{f_{\text{CP}}}{2^{n+1}}$$

10.2.7 在双积分 A/D 转换器中输入电压 v_1 和参考电压 V_{REF} 在极性和数值上应满足什么关系? 如 $|v_1| > |V_{\text{REF}}|$ 电路能完成模数转换吗? 为什么?

解: 根据双积分 A/D 转换器工作原理可知, 电路正常工作时, 两次积分方向相反且第二次积

分结束时输出电压必须过零。所以 V_I 与 V_{REF} 的极性相反且 $|V_I| < |V_{REF}|$, 如 $|v_I| > |V_{REF}|$, 则第二次积分结束时, 积分器输出电压不能过零, T_2 无法确定, 这样就无转换结果。

10.2.8 试问用 A/D 转换器时, 通常应注意哪些主要问题? 已知输入信号幅值为 0.5V, 如采用满度值为 10V 的 8 位 A/D 转换器, 你认为这样选用正确吗? 为什么?

解: 应用 A/D 转换时, 通常应注意以下一些问题: ① A/D 转换器在系统应用中系统对其精度的要求如何? ② A/D 转换器的输入信号电压范围是多少? 是单极性还是双极性? ③ 对转换器输出编码及逻辑电平有何要求? ④ 系统根据输入信号等情况 A/D 转换器的转换时间是多少? ⑤ 对参考电压的要求如何? ⑥ 对其他情况工作环境, 如电源电压的稳定度等有何要求。

如采用满度值为 10 V 的 8 位 A/D 转换器对最大值为 0.5 V 的输入信号进行模数转换, 这种使用方式是不正确的, 他没有充分利用 8 位 A/D 转换器的精度(实际只用到低 4 位), 为此, 会引起较大的转换误差。

* 11 数字系统设计基础

一、内容提要及重点

本章的内容提要：

1. 数字系统由数据处理单元和控制单元组成。
2. 数字系统的设计方法分为两种类型：自下而上的设计方法和自上而下的设计方法。现代数字系统的设计通常采用自上而下的设计方法。
3. 早期数字系统的实现采用通用集成逻辑器件。现代数字系统的实现多采用可编程逻辑器件或单片微处理器实现。
4. 算法状态机 ASM 图是用来描述设计过程复杂的数字系统控制单元的工作流程图。它可以很容易将语言描述的设计问题变成时序流程图，从而获得状态函数和输出函数，得出相应的硬件电路。
5. 以交通信号灯控制系统和数字密码锁为例，介绍了数字系统的设计过程。并且介绍了两种实现方法：采用典型的组合和时序逻辑电路模块，以及采用可编程器件实现。

本章的重点：

根据语言描述的实际问题画出 ASM 图。将 ASM 图转换成状态图。用 Verilog HDL 对数字电路进行描述。

二、典型例题解析

例 11.1 某数字系统有三台附属设备 A、B、C 共享数据总线，每次只允许一台设备使用数据总线。当多台设备同时发出请求信号时，数字系统可以按照事先规定的附属设备优先级的顺序，将认可信号发给优先级别最高的请求设备。设备 A 的优先级别最高，设备 C 的优先级别最低。试设计穆尔型电路：

- (1) 画出该系统控制单元的 ASM 图。
- (2) 将 ASM 图转换为状态图。
- (3) 用 D 触发器设计该系统控制电路。
- (4) 写出控制单元的 Verilog 描述，并给出仿真波形。

解题思路:① 首先根据题意确定电路的状态数目。分析系统总线工作情况可知,系统工作时有 4 个状态,即总线未被占用的状态,用 S_0 表示,设备 A 占用总线用 S_1 表示,设备 B 占用总线用 S_2 表示,设备 C 占用总线用 S_3 表示。

② 画 ASM 时,每个状态用状态框表示。然后根据附属设备的请求信号决定系统进入的下一个状态,并输出相应的认可信号。请求信号用判别框表示,认可信号是系统的输出,写在状态框内。

解:(1) 设系统附属设备的请求信号分别为 r_1 、 r_2 、 r_3 。系统输出的认可信号分别为 g_1 、 g_2 、 g_3 。电路共有 4 种状态, S_0 为初态,此时系统没有发出任何认可信号,数据总线未被占用。此外还有 3 个状态 S_1 、 S_2 和 S_3 ,每个状态下系统将一个认可信号发给一台设备。

首先 *Reset* 信号使系统处于初始状态 S_0 。然后由判别框指定 r_1 的信号。当 $r_1=1$ 时,系统进入 S_1 状态。由于是穆尔型,所以输出认可信号 g_1 写在该状态框内。在 S_1 状态,再用判别框指定,当 $r_1=1$ 时,系统保持在 S_1 状态。若 $r_1=0$,则回到 S_0 状态。

在 $r_1=0$ 时,若 $r_2=1$ 时,系统进入 S_2 状态,并输出认可信号 g_2 。在 S_2 状态下,再判别 r_2 ,当 $r_2=1$ 时,系统保持在 S_2 状态。若 $r_2=0$,则回到 S_0 状态。

当 r_1 、 r_2 均为 0 时,判别 r_3 。若 $r_3=1$ 时,系统进入 S_3 状态,并输出认可信号 g_3 。在 S_3 状态下,再判别 r_3 ,当 $r_3=1$ 时,系统保持在 S_3 状态。若 $r_3=0$,则回到 S_0 状态。系统的 ASM 图如图 11.1 所示。

(2) 将 ASM 图中的每一个状态框对应着状态图中表示状态的一个圆圈。判别框中的输入条件对应着状态转移线上的输入信号,穆尔型输出标记在状态框内。

在 S_0 状态,当输入 $r_1 r_2 r_3 = 000$ 时,系统保持在 S_0 状态。由 S_0 状态到 S_1 状态,无论 r_2 、 r_3 为什么值, $r_1=1$ 。因此, $r_1 r_2 r_3 = 1 \times \times$ 。在 S_1 状态,输出 $g_1=1$ 。当输入 $r_1 r_2 r_3$ 持续为 $1 \times \times$ 时,系统保持在 S_1 状态。

其余状态以此类推,得到系统的状态图如图 11.1(b) 所示。

(3) 根据图 11.1(b) 所示状态图可知,控制单元有 4 种状态。选用两个 D 触发器 FF_1 、 FF_0 的 4 种输出组合对其进行自然二进制编码。 $S_0=00$, $S_1=01$, $S_2=10$, $S_3=11$,列出状态转换表,如表 11.1 所示。

根据状态转换表写出状态方程及输出方程并进行化简,为简便将表示现态的“ n ”省略得:

$$\begin{aligned} Q_1^{n+1} &= \bar{Q}_1 \bar{Q}_0 \bar{r}_1 r_2 + \bar{Q}_1 \bar{Q}_0 \bar{r}_1 \bar{r}_2 r_3 + Q_1 \bar{Q}_0 r_2 + Q_1 Q_0 r_3 \\ &= \bar{Q}_0 \bar{r}_1 r_2 + \bar{Q}_1 \bar{Q}_0 \bar{r}_1 r_3 + Q_1 \bar{Q}_0 r_2 + Q_1 Q_0 r_3 \\ Q_0^{n+1} &= \bar{Q}_1 \bar{Q}_0 r_1 + \bar{Q}_1 \bar{Q}_0 \bar{r}_1 \bar{r}_2 r_3 + \bar{Q}_1 Q_0 r_1 + Q_1 Q_0 r_3 \\ &= \bar{Q}_1 r_1 + \bar{Q}_1 \bar{Q}_0 \bar{r}_2 r_3 + Q_1 Q_0 r_3 \\ g_1 &= \bar{Q}_1 Q_0 \bar{r}_1 + \bar{Q}_1 Q_0 r_1 = \bar{Q}_1 Q_0 \\ g_2 &= Q_1 \bar{Q}_0 \\ g_3 &= Q_1 Q_0 \end{aligned}$$

根据上述方程,画出由 D 触发器构成的电路如图 11.2 所示。

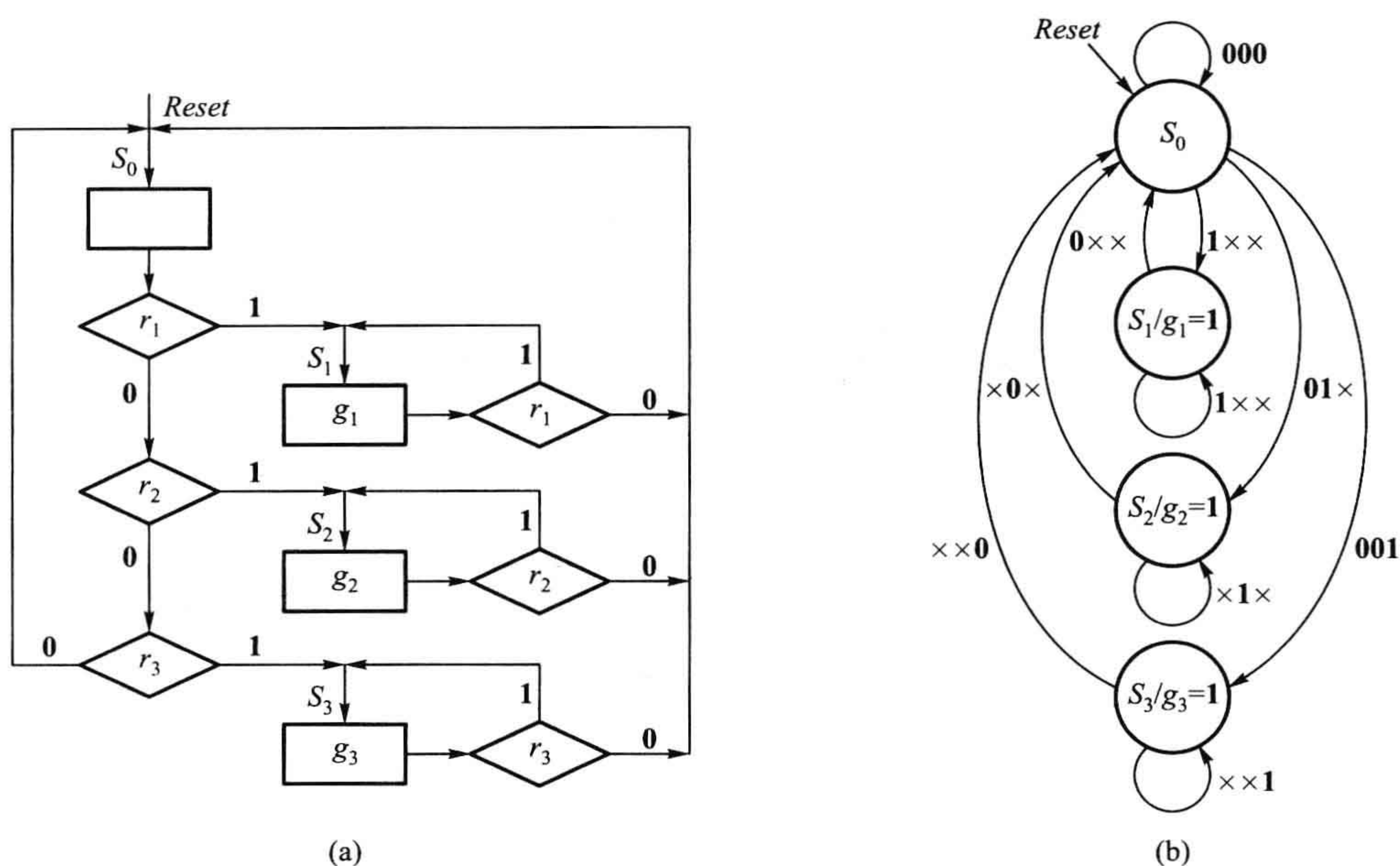


图 11.1 例 11.1 的 ASM 图及状态图

(a) ASM 图 (b) 状态图

表 11.1 控制单元状态转换表

现态		输入			次态		输出		
Q_1^n	Q_0^n	r_1	r_2	r_3	Q_1^{n+1}	Q_0^{n+1}	g_1	g_2	g_3
0	0	0	0	0	0	0	0	0	0
0	0	1	×	×	0	1	0	0	0
0	0	0	1	×	1	0	0	0	0
0	0	0	0	1	1	1	0	0	0
0	1	0	×	×	0	0	1	0	0
0	1	1	×	×	0	1	1	0	0
1	0	×	1	×	1	0	0	1	0
1	0	×	0	×	0	0	1	1	0
1	1	×	×	1	1	1	0	0	1
1	1	×	×	0	0	0	1	0	1

(4) 根据图 11.1(b)所示状态图,写出系统控制单元的 Verilog 如下:

```
module arbiter( r, Resetn, Clock, g ) ;
```

```
input [ 1 :3 ] r;
```

```
input Resetn,Clock;
```

```
output wire [1:3]g;
```

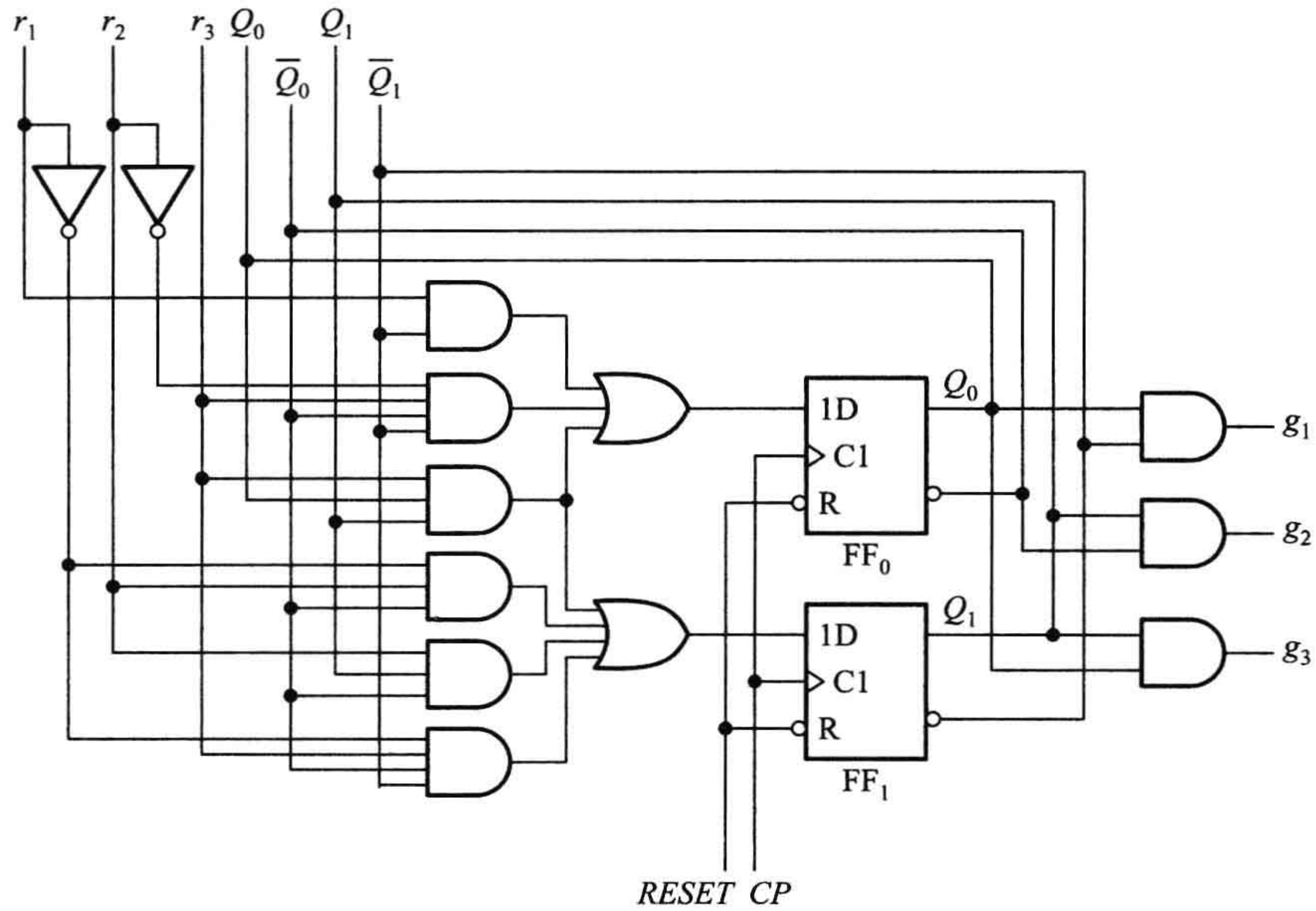



图 11.2 例 11.1 的电路图

```

reg [2 : 1] y, Y;
parameter S0 = 2'b00, S1 = 2'b01, S2 = 2'b10, S3 = 2'b11;

```

```

always@ (r, y)
  case(y)
    S0 : case(r)
      3'b000 : Y = S0;
      3'b1xx : Y = S1;
      3'b01x : Y = S2;
      3'b001 : Y = S3;
      Default : Y = S0;
    endcase
    S1 : if (r[1]) Y = S1;
        else Y = S0;
    S2 : if (r[2]) Y = S2;
        else Y = S0;
    S3 : if (r[3]) Y = S3;
        else Y = S0;
    default : Y = S0;
  endcase

```

```

always@ (posedge Clock)

```



```
if ( Resetn == 0 ) y <= S0 ;  
else y <= Y ;
```

```
assign g[ 1 ] = ( y == S1 ) ;  
assign g[ 2 ] = ( y == S2 ) ;  
assign g[ 3 ] = ( y == S3 ) ;
```

```
endmodule
```

仿真波形如图 11.3 所示。

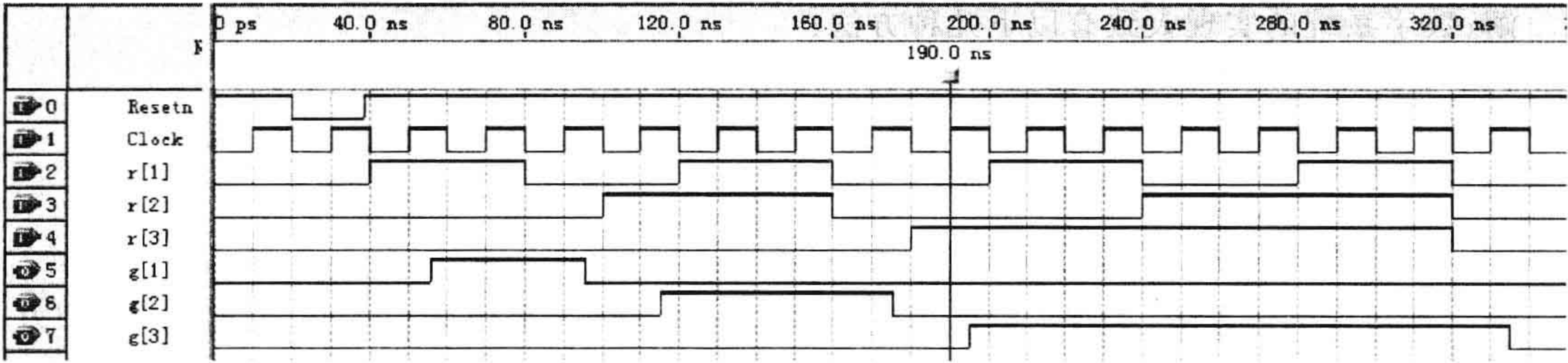


图 11.3 例 11.1 的仿真波形

三、习题全解

11.1 数字系统概述

11.1.1 数字电路与数字系统的根本区别是什么,大容量存储器属于数字电路还是数字系统?

解:数字电路实现的功能比较单一,数字系统是由若干数字电路和逻辑部件组成。数字电路和数字系统根本的区别是数字系统可以划分为控制单元和处理单元两部分。大容量存储器属于数字电路。

11.1.2 数字系统自上而下的设计步骤是什么?

解:数字系统自上而下的设计方法一般要遵循下列几个步骤:

(1) 明确所要设计系统的功能,进行逻辑抽象。

设计题目通常是比较简单的文字叙述,设计者必须对题目消化、理解,抽象出系统的逻辑功能。

(2) 确定实现系统功能的算法,画出系统方框图。

算法设计实质是将系统要实现的复杂功能进行分解,分成若干子功能模块,并确定各功能模块的操作顺序和相互联系,画出系统的方框图。

(3) 设计数据处理单元。

首先明确数据处理单元的基本运算和操作,它们可以是算术和逻辑运算、数据的存储、变换和传送等。选用通用集成电路芯片实现其功能,或用硬件描述语言描述其逻辑功能,然后用可编

程逻辑器件实现。

(4) 设计控制单元。

根据数据处理单元进行的操作及操作顺序,确定控制单元的逻辑功能。在绝大多数数字系统中,控制单元是同步时序电路,因此,用设计同步时序电路的方法设计控制单元电路。

(5) 仿真验证。

将整个系统连在一起,通过 EDA 软件在计算机上进行仿真验证,当验证所设计的系统正确后,再进行实际电路的安装与测试。

11.1.3 数字系统的实现有哪几种方法? 各种方法的特点是什么?

解:数字系统的实现大致有以下几种方法:

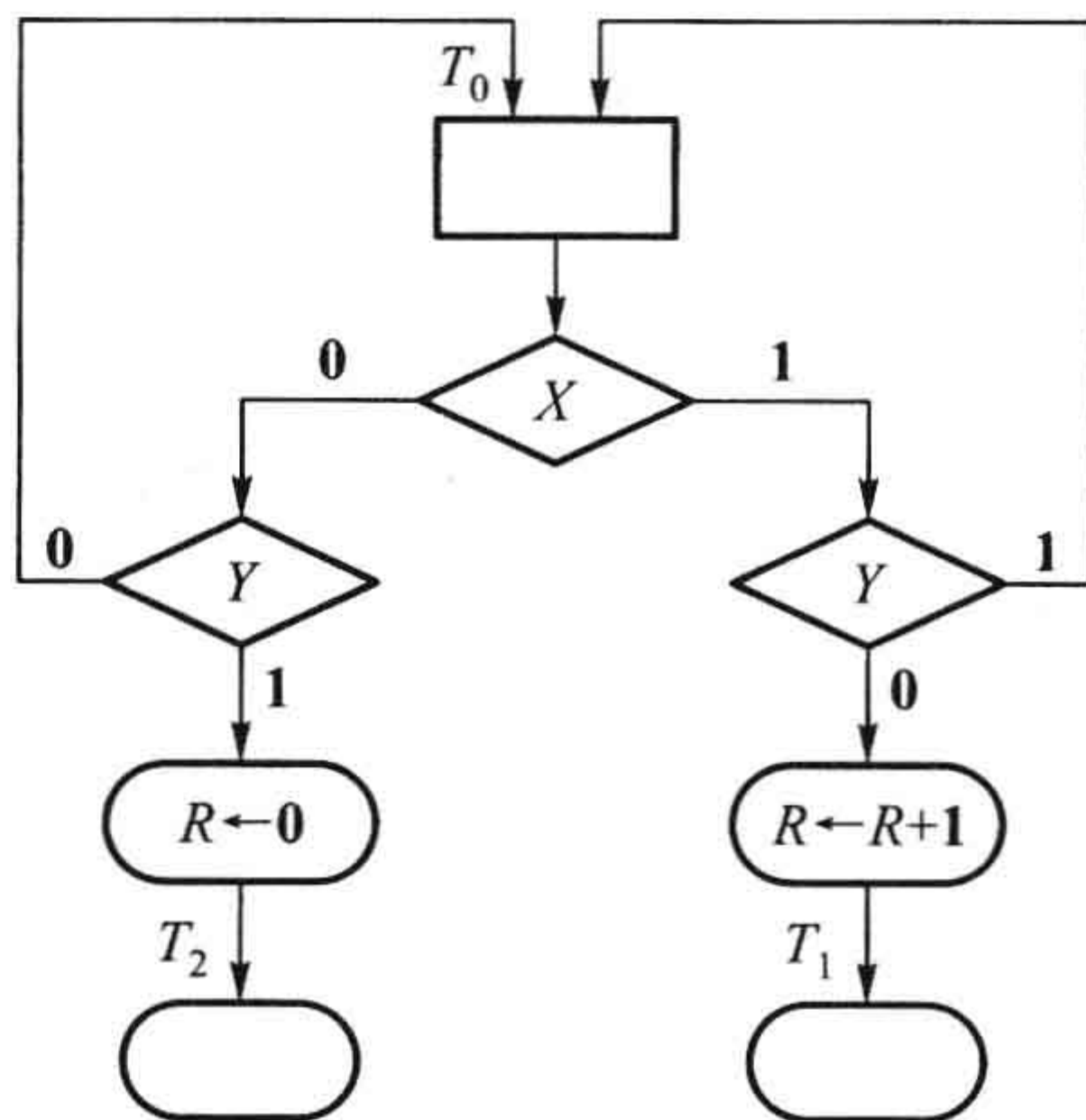
- (1) 采用通用的集成逻辑器件组成。
- (2) 采用单片微处理器作为核心实现。
- (3) 采用可编程逻辑器件 PLD。
- (4) 设计功能完整的数字系统芯片。

第一种是传统的方法,正逐步被淘汰。目前在设计较为简单电路时还在使用。第二种方法所用器件少,使用灵活,但工作速度相对后面两种方法低些。第三种方法设计的系统体积小、功耗低、可靠性高、易于进行修改等,大专院校和科研院所使用较多。第四种方法是将一个完整的系统集成在一个芯片上,称为芯片系统(SOC)。主要用于复杂的电子产品。

11.2 算法状态机

11.2.1 初始状态为 T_0 的数字系统,有两个控制信号 X 和 Y ,当 $XY=10$ 时,寄存器 R 加 1,系统转到第二个状态 T_1 。如果 $XY=01$ 时,寄存器 R 清零,同时系统从 T_0 转到第三个状态 T_2 。试画出该数字系统的 ASM 图。

解:按照题意,系统开始处于初始状态 T_0 ,控制信号 X 和 Y 分别用两个判断框表示,根据 X 和 Y 的不同取值,系统从初始状态 T_0 转到 T_1 或 T_2 状态,画出的 ASM 图如图题解 11.2.1 所示。



图题解 11.2.1

11.2.2 一个数字系统的数据处理单元由触发器 E 和 F 、4 位二进制计数器 A 以及必要的门电路组成。计数器的各位为 A_4, A_3, A_2, A_1 。系统开始处于初始状态,当信号 $S=0$,系统保持在初始状态;当 $S=1$ 时,计数器 A 和触发器 F 清零。从下一个时钟脉冲开始,计数器进行加 1 计数,直到系统操作停止。 A_4 和 A_3 的值决定了系统的操作顺序。

当 $A_3=0$ 时,触发器 E 清零,计数器继续计数。

当 $A_3=1$ 时,触发器 E 置 1,并检测 $A_4, A_4=0$ 时,继续计数; $A_4=1$ 时,触发器 F 置 1,并停止计数,回到系统初始状态。

(1) 试画出该系统的 ASM 图

(2) 画出该系统控制单元的状态图,并用 D 触发器及必要的门电路设计控制单元

解:(1) 根据题意画出的 ASM 图,如图题解 11.2.2(a)所示。系统开始处于初始状态 T_0 ,当 $S=1$ 时,计数器 A 和触发器 F 清零,控制单元进入 T_1 状态。在 T_1 状态,每来一个时钟脉冲,计数器增加 1,同时与 T_1 相连的两个判断框和两个条件输出框决定系统可能进行下列 3 种操作中的一个:

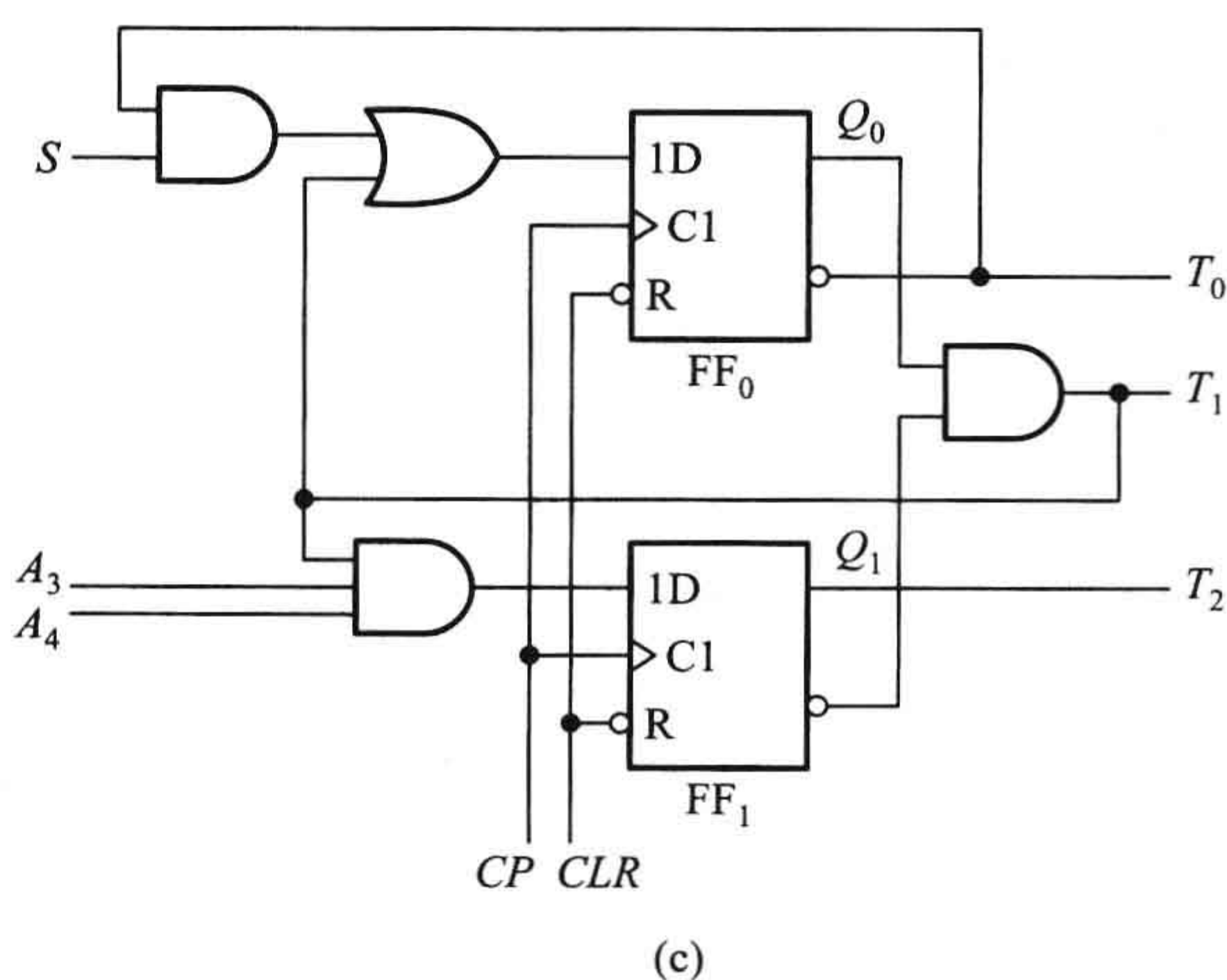
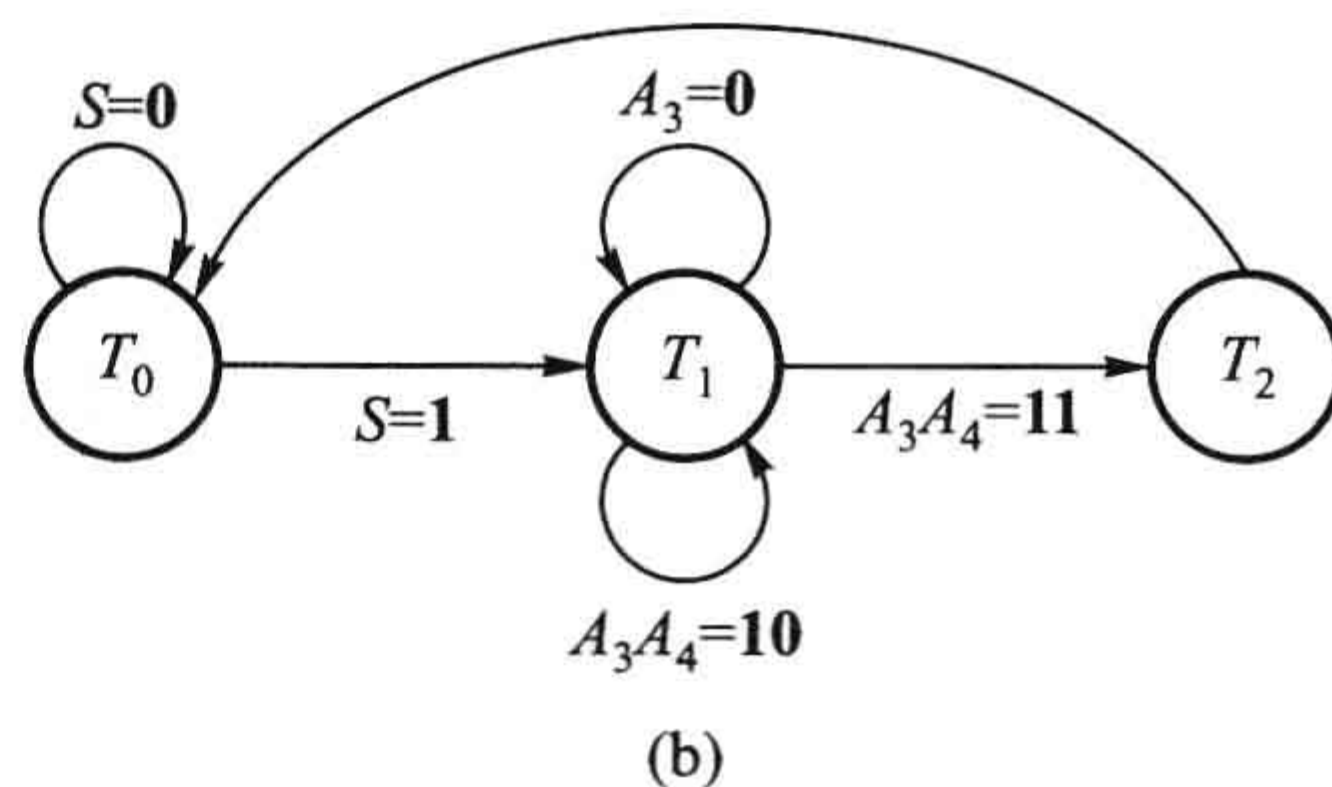
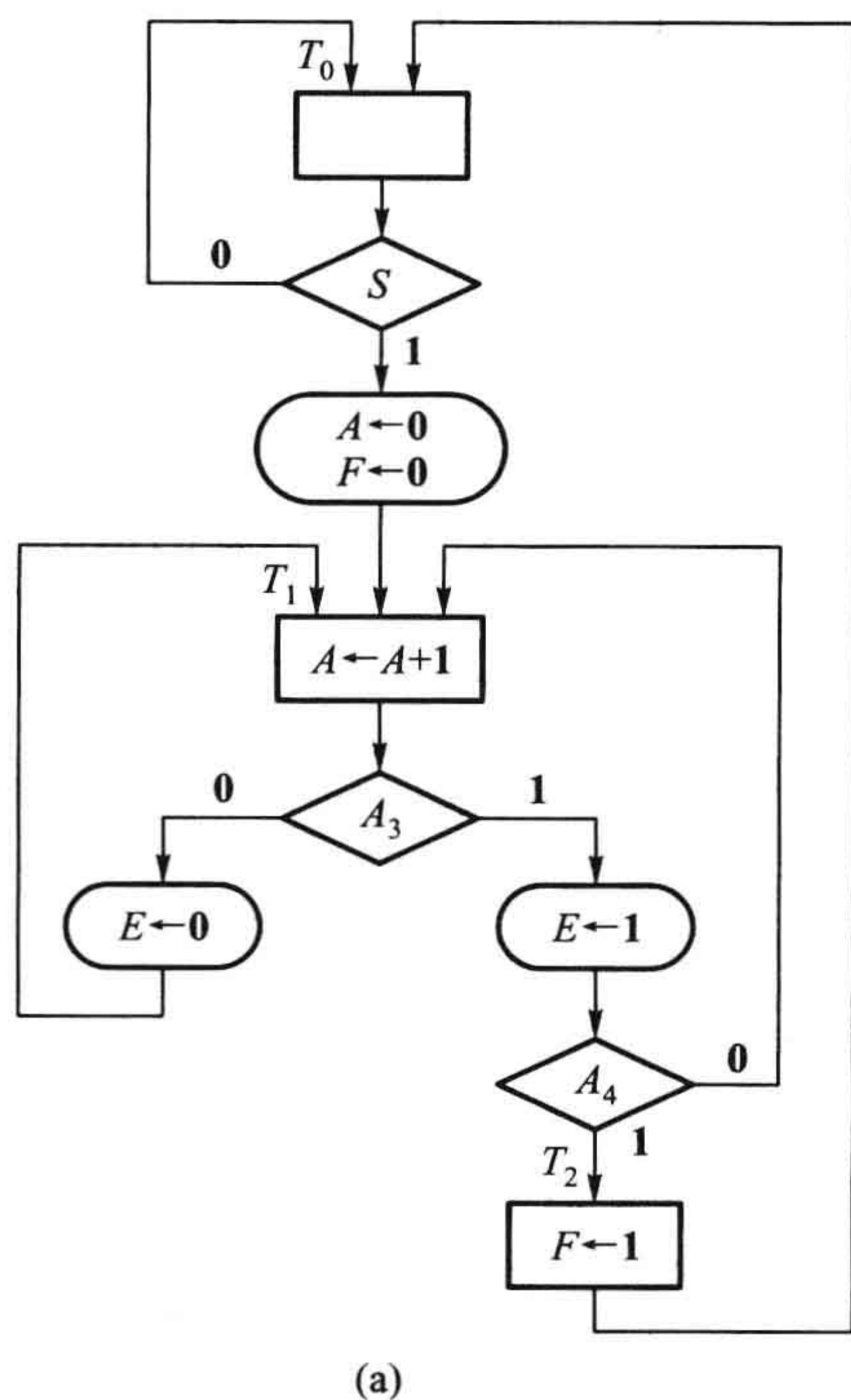
当 $A_3=0$ 时, E 清零,并且控制单元保持在 T_1 状态。

当 $A_3A_4=10$ 时, E 置 1,控制单元保持在 T_1 状态。

当 $A_3A_4=11$ 时, E 置 1,控制单元转换到 T_2 状态。在 T_2 状态, F 置 1,然后系统回到初始状态。

(2) 系统共有 3 个状态,状态之间的转换条件由判断框给出,根据 ASM 图很容易得到状态图如图题解 11.2.2(b)所示。ASM 图除了说明控制单元的状态及状态转换的条件之外,还可以反映处理单元的操作;而状态转换图只能说明控制单元的状态及状态转换的条件。

用触发器状态组方法设计控制单元电路。根据状态图可知,电路有 3 个状态,选用两个触发器 FF_0 、 FF_1 的输出组合对其进行编码, $T_0=00$, $T_1=01$, $T_2=11$ 。若 T_0 、 T_1 、 T_2 作为控制单元的输入,则可以得出状态转换表,如表题解 11.2.2 所示,需要注意的是,输出 T_0 、 T_1 、 T_2 是现态的组合。根据状态转换表,将 Q_1^{n+1} 、 Q_0^{n+1} 为 1 的项所对应的现态及状态转换条件相与,“1”用原变量表示,“0”用反变量表示,然后将各个与项相或,得状态方程



图题解 11.2.2

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n A_3 A_4 = T_1 A_3 A_4$$

$$Q_0^{n+1} = T_0 S + T_1 \bar{A}_3 + T_1 A_3 \bar{A}_4 + T_1 A_3 A_4 = T_0 S + T_1$$

因此, D 触发器的驱动方程为

$$D_1 = T_1 A_3 A_4$$

$$D_0 = T_0 S + T_1$$

推导输出方程时, 注意 $Q_1^n Q_0^n = 10$ 为无关项, 得

$$T_0 = \bar{Q}_0^n$$

$$T_1 = \bar{Q}_1^n Q_0^n$$

$$T_2 = Q_1^n$$

由上述驱动方程及输出方程画出控制单元电路如图题解 11.2.2(c) 所示。

表题解 11.2.2

输 入						输 出				
现态 符号	现态		状态转换条件			次态		输出信号		
	Q_1^n	Q_0^n	S	A_3	A_4	Q_1^{n+1}	Q_0^{n+1}	T_0	T_1	T_2
T_0	0	0	0	×	×	0	0	1	0	0
T_0	0	0	1	×	×	0	1	1	0	0
T_1	0	1	×	0	×	0	1	0	1	0
T_1	0	1	×	1	0	0	1	0	1	0
T_1	0	1	×	1	1	1	1	0	1	0
T_2	1	1	×	×	×	0	0	0	0	1

11.2.3 试画出一个序列检测器电路的 ASM 图及状态图。该电路的功能是: 当输入的串行数据为 **0101** (从左到右) 时, 输出为 **1**, 否则输出为 **0**。要求考虑序列重叠性, 当输入为 **010101**, 相当于出现两个 **0101** 序列。

解: 将该电路设计成米利型。

为了记忆电路输入端 A 输入编码的顺序, 电路需要有 4 个状态: S_0 、 S_1 、 S_2 和 S_3 。 S_0 为初始状态, 表示输入端 A 尚未输入过 **0**; S_1 表示 A 端输入了一个 **0**; S_2 表示 A 端连续输入了 **01**; S_3 表示 A 端连续输入的三个数据为 **010**。

(1) 在初始状态 S_0 , 当 $A=1$ 时, 电路保持在 S_0 状态。当 $A=0$ 时, 电路转到 S_1 状态, 同时输出 $Y=0$ 。

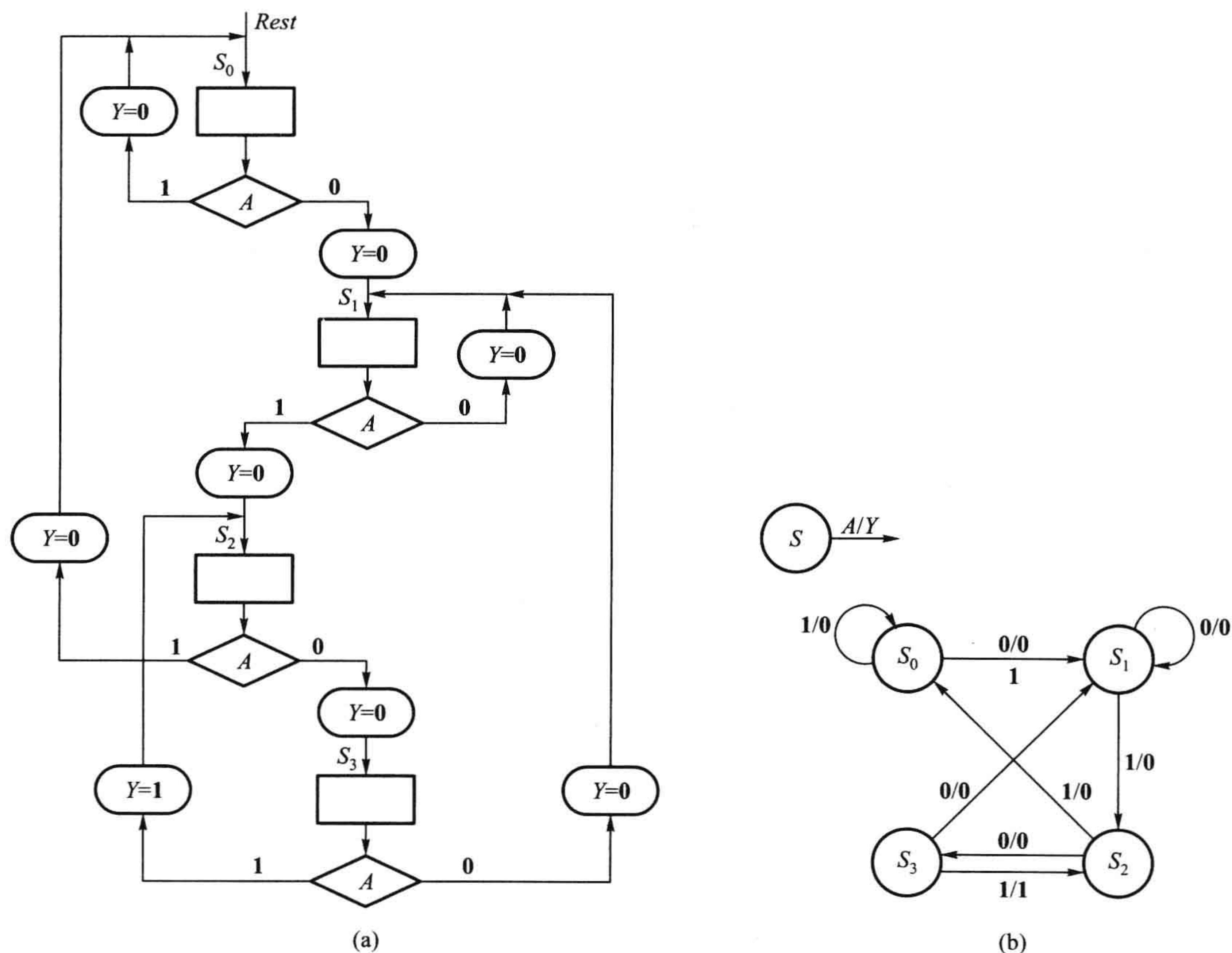
(2) 在 S_1 状态, 当 $A=0$ 时, 电路仍处于 S_1 状态, 同时 $Y=0$ 。当 $A=1$ 时, 电路转到 S_2 状态, 表明已连续收到 **01**, 同时 $Y=0$ 。

(3) 在 S_2 状态, 若 $A=1$, 电路回到 S_0 状态。当 $A=0$ 时, 表明电路连续收到三个数据为 **010**, 此时 $Y=0$, 同时电路转到 S_3 。

(4) 在 S_3 状态, 若 $A=0$, 电路回到 S_1 状态。当 $A=1$ 时, 表明电路连续收到 **0101** 序列编码, 此时 $Y=1$, 由于要求电路可以重叠检测, 因此电路转到 S_2 。

由此得出米利型 ASM 图如图题 11.2.3 所示。米利型电路的输出是用条件输出框表示。

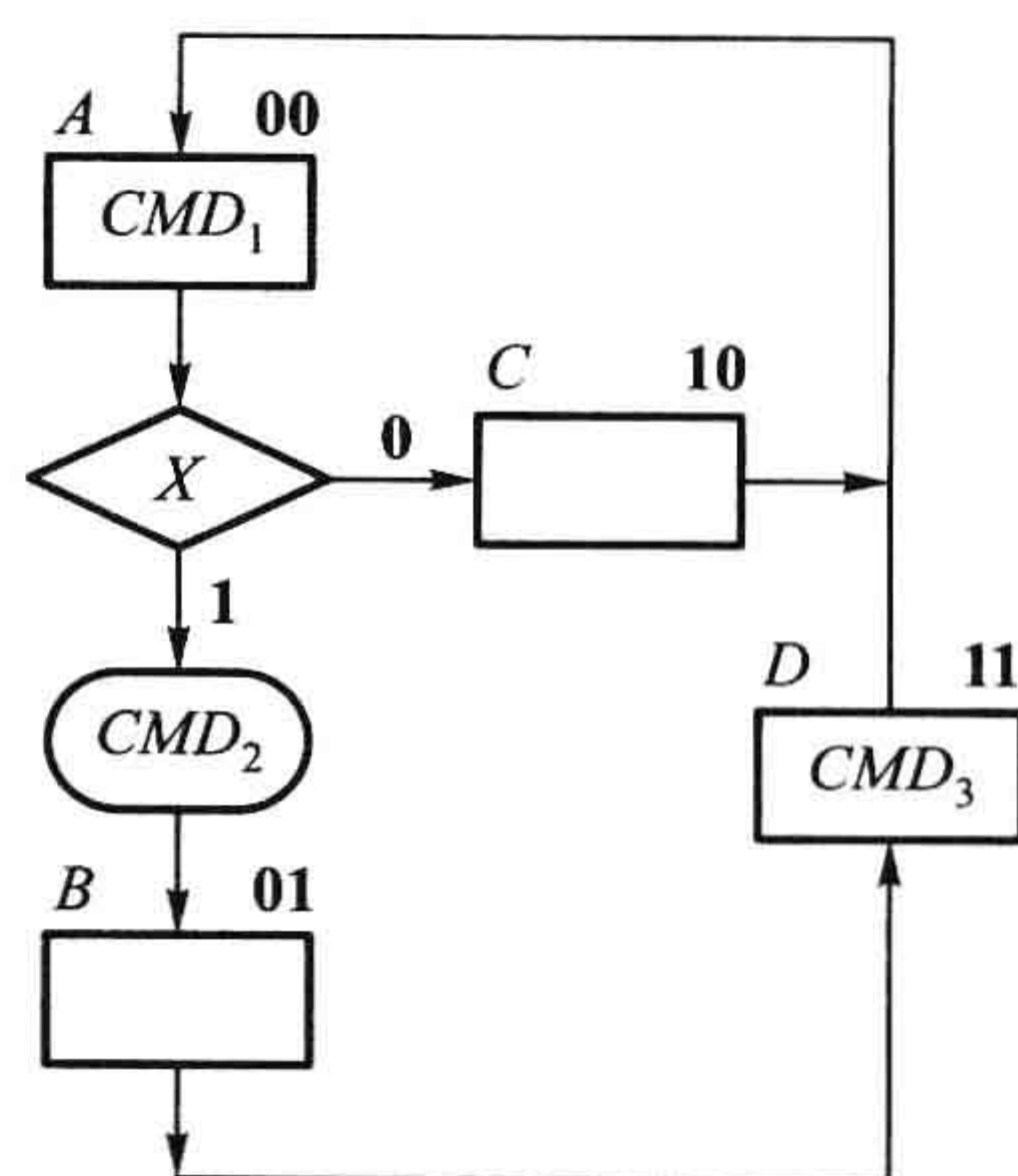
由米利型 ASM 图得到状态图,如图 11.2.3(b)所示。ASM 图中的每一个状态框对应着状态图中表示状态的一个圆圈。判断框中的输入条件对应着状态转移线上的输入信号。条件输出框中给出的输出表示在该状态下,并且满足输入条件的输出,对应着状态图中相应状态转移线上标明的输出信号。



图题 11.2.3

11.2.4 用一个触发器一个状态方法实现图题 11.2.4 所示的 ASM 图。

解:图题 11.2.4 所示 ASM 图共有 4 种状态: A、B、C 和 D。用一个触发器一个状态方法,需要 4 个 D 触发器,在每一时刻,只能有一个触发器输出为 1,其余输出为 0。根据 ASM 图可以列出状态转换表,如表题解 11.2.4 所示,这里为方便起见,没有区分现态和次态的符号。在 C 和 D 状态下,系统无条件转换到 A 状态,转换条件用 1 表示;在 A 状态时,当 X 为 1 时,系统转换到 B 状态,因此转换条件为 X,其余以此类推。其中无条件输出 CMD_1 和 CMD_3 分别是 A 状态和 D 状态的输出,而有条件输出 CMD_2 出现在 A 状态且控制输出 X 为 1 时。由状态转换表可以写



图题 11.2.4

出 D 触发器的驱动方程及输出方程

$FF_0: D_0(A) = C + D$

$FF_1: D_1(B) = XA$

$FF_2: D_2(C) = \overline{X}A$

$FF_3: D_3(D) = B$

$CMD_1 = A$

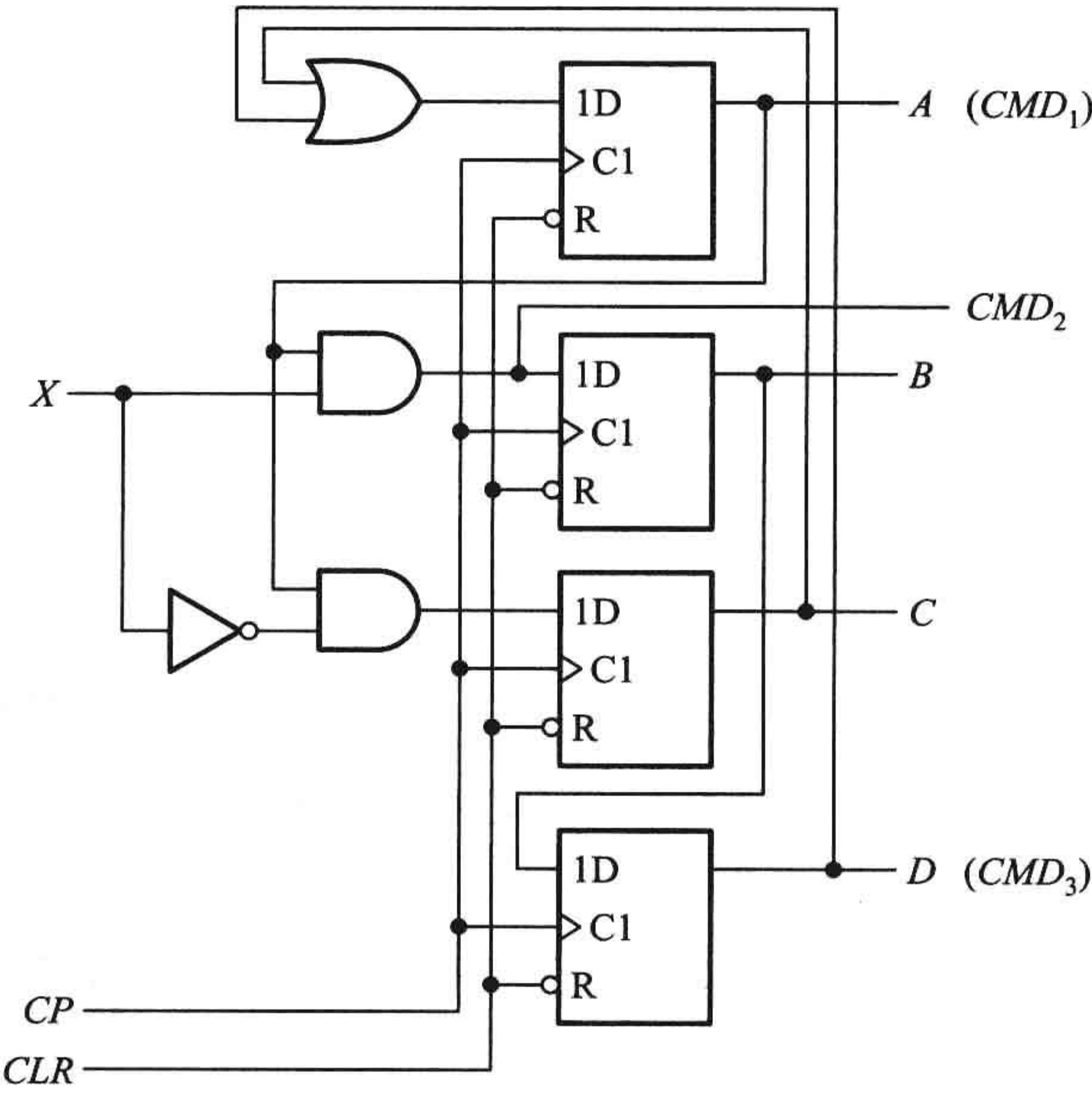
$CMD_2 = AX$

$CMD_3 = D$

表题解 11.2.4

现 态	转换条件	次 态	输 出		
			CMD_1	CMD_2	CMD_3
C	1	A	0	0	0
D	1		0	0	1
A	X	B	1	1	0
A	$\overline{X}$	C	1	0	0
B	1	D	0	0	0

根据上述逻辑表达式,可得控制器的电路,如图题解 11.2.4 所示。

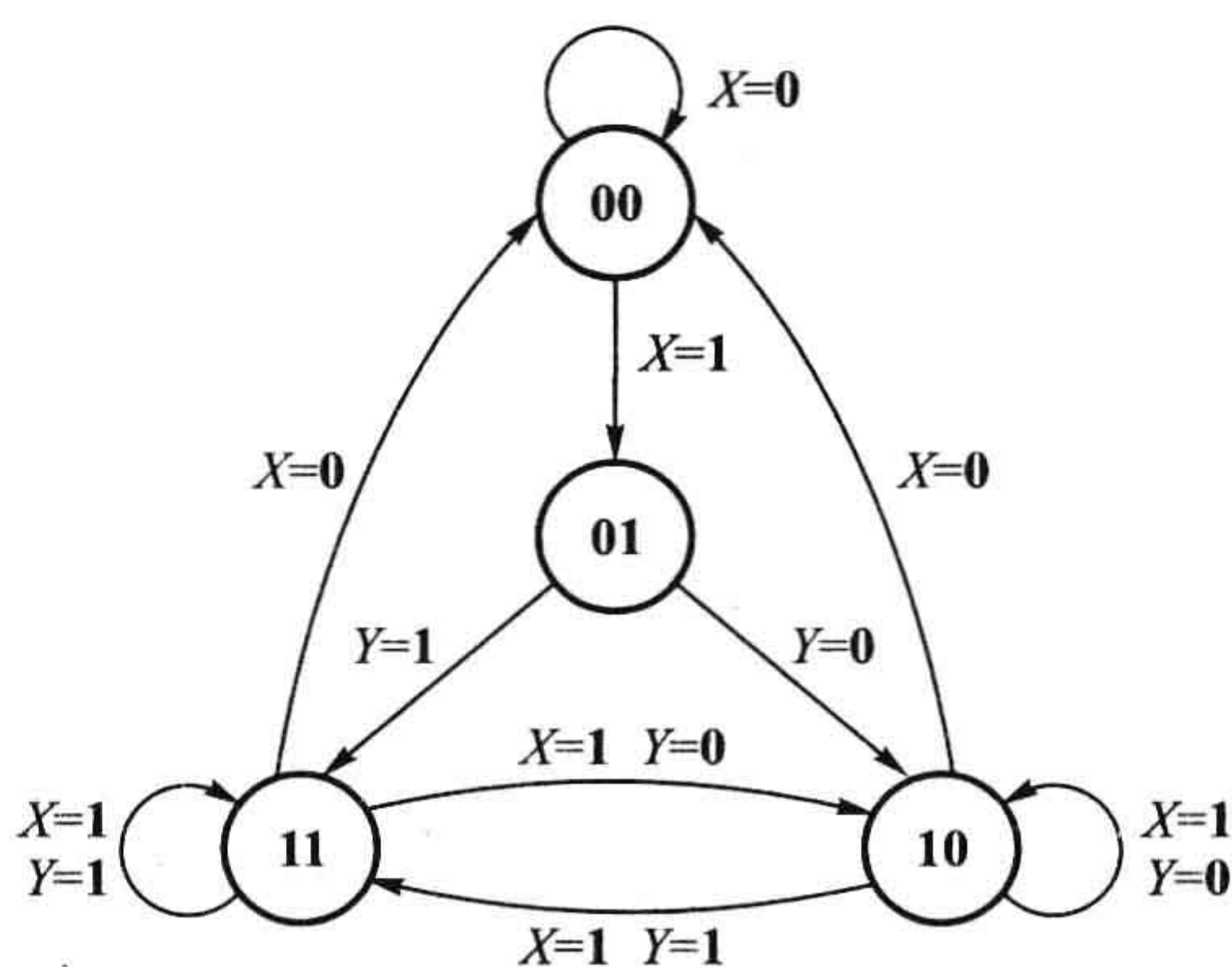


图题解 11.2.4

11.2.5 一个数字系统控制单元的状态图如图题 11.2.5 所示,试画出等效的 ASM 图(状态框是空的),并用 D 触发器和数据选择器实现控制单元电路。

解: 设图题 11.2.5 所示的状态图的 4 个状态 00、01、10、11 分别为 T_0 、 T_1 、 T_2 、 T_3 , 状态之间的转换条件由判断框表示, 画出 ASM 图如图题解 10.2.5 (a) 所示。

根据状态图或 ASM 图列出控制单元的状态转换表, 如表题解 11.2.5 所示。根据状态转换表, 将 Q_1^{n+1} 或 Q_0^{n+1} 为 1 的项所对应的现态及输入相与, “1”用原变量表示, “0”用反变量表示, 然后将各个与项相或并化简, 写出状态方程。由于用数据选择器实现控制单元的組合电路, 化简时注意表示为 Q_1^n 、 Q_0^n 的最小项形式。



图题 11.2.5

$$Q_1^{n+1} = \bar{Q}_1^n Q_0^n + X Q_1^n \bar{Q}_0^n + X Q_1^n Q_0^n$$

$$Q_0^{n+1} = X \bar{Q}_1^n \bar{Q}_0^n + Y \bar{Q}_1^n Q_0^n + X Y Q_1^n \bar{Q}_0^n + X Y Q_1^n Q_0^n$$

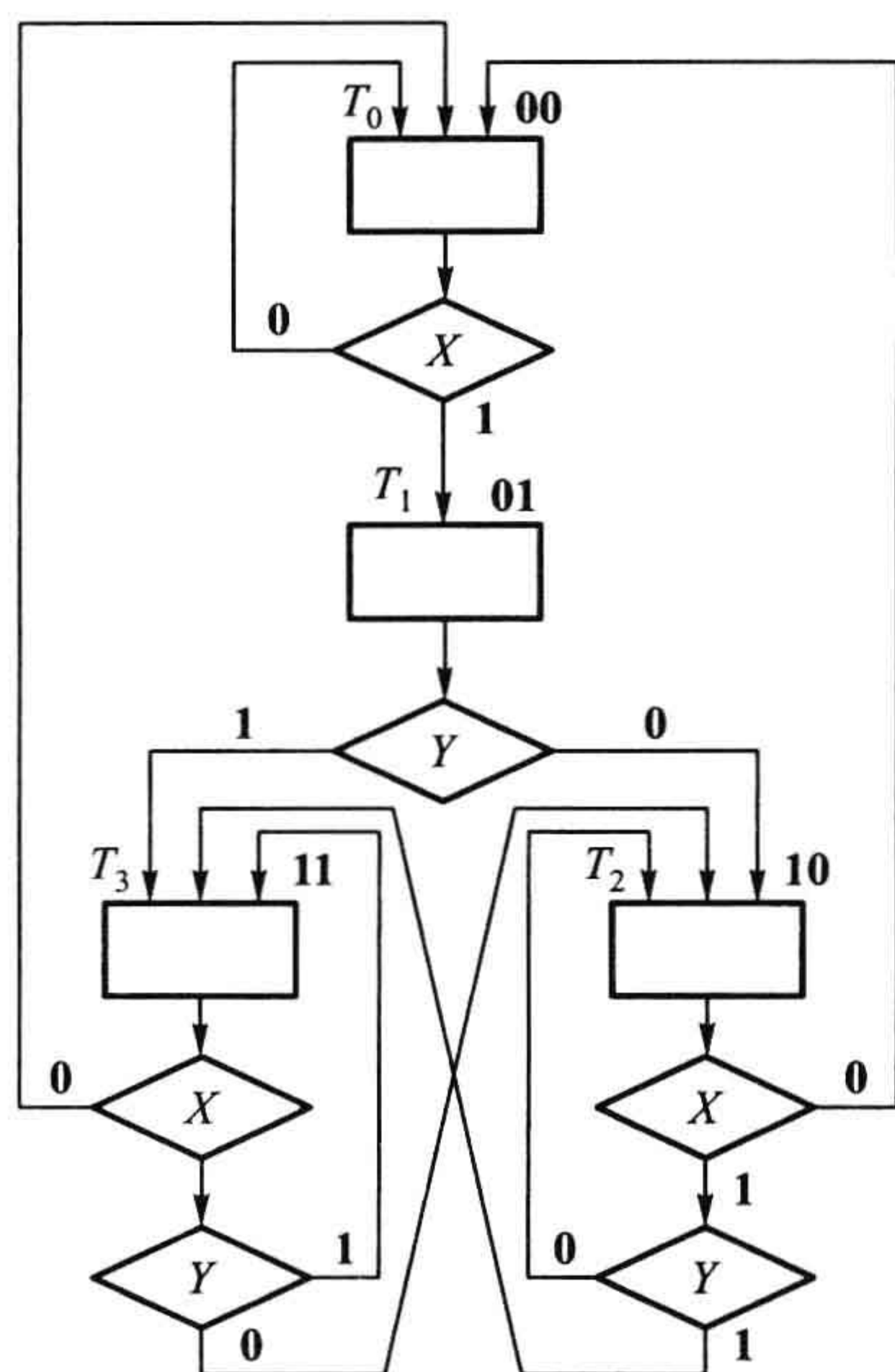
选择两个 D 触发器, 每个触发器的驱动方程用数据选择器实现, 所以需要两个数据选择器。数据选择器的地址输入为 Q_1^n 、 Q_0^n , 每个数据选择器的数据输入由上述状态方程中 Q_1^n 、 Q_0^n 组成最小项的系数决定。控制单元电路如图题解 11.2.5(b) 所示。

表题解 11.2.5

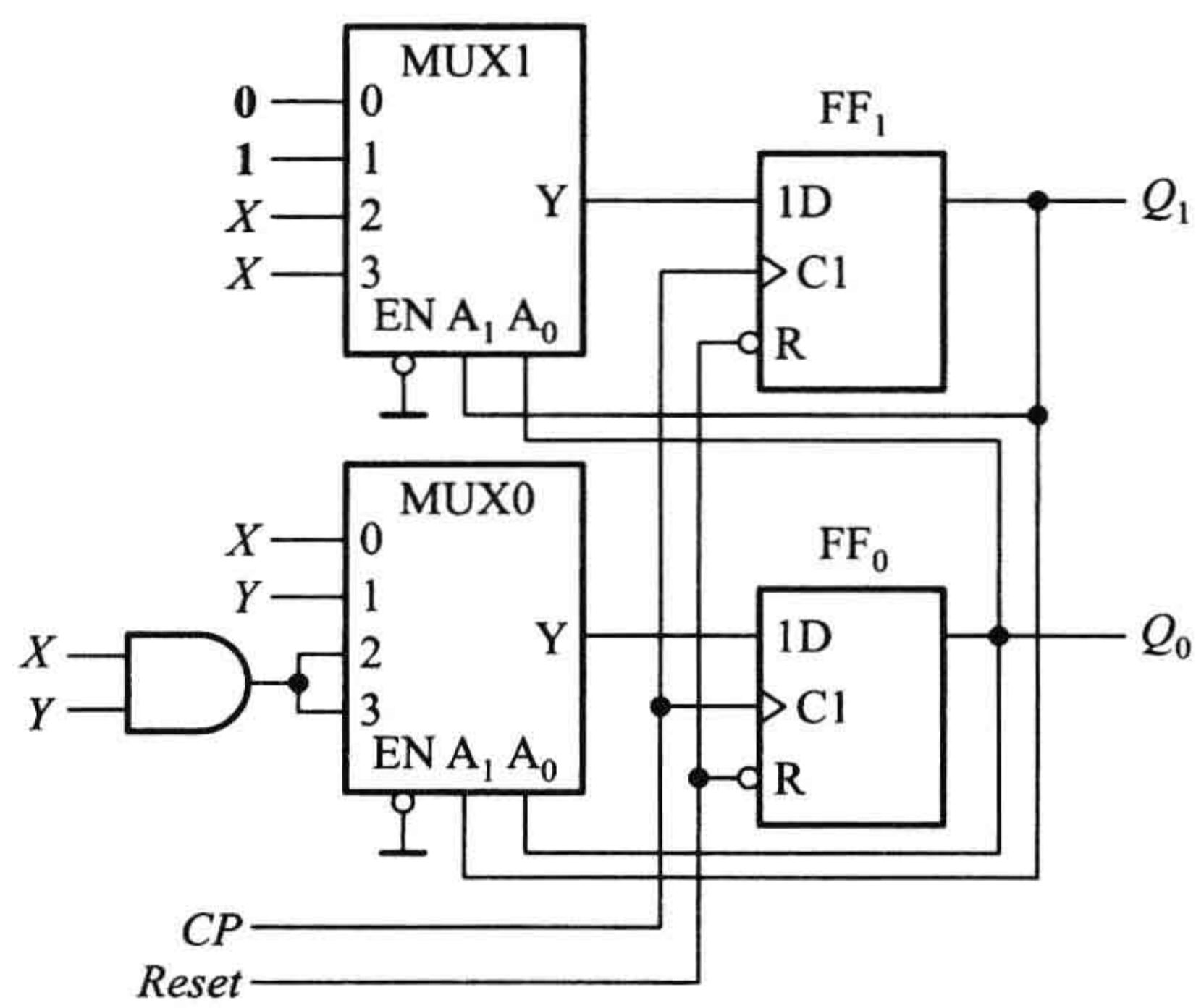
现 态		输 入		次 态	
Q_1^n	Q_0^n	X	Y	Q_1^{n+1}	Q_0^{n+1}
0	0	0	×	0	0
0	0	1	×	0	1
0	1	×	0	1	0
0	1	×	1	1	1
1	0	0	×	0	0
1	0	1	0	1	0
1	0	1	1	1	1
1	1	0	×	0	0
1	1	1	0	1	0
1	1	1	1	1	1

11.2.6 数字系统的 ASM 图如图题 11.2.6 所示, 试设计系统的控制单元电路。

解: 根据图题 11.2.6 所示的 ASM 图可知, 系统有 4 个状态, 因此选用两个 D 触发器和数据选择器实现控制单元电路。由 ASM 图可列出状态转换表如表题解 11.2.6 所示。由状态转换表, 将 Q_1^{n+1} 或 Q_0^{n+1} 为 1 的项所对应的现态及输入相与, “1”用原变量表示, “0”用反变量表示, 然后将各个与项相或并化简, 写出状态方程。由于用数据选择器实现控制单元的組合电路, 化简时注意表示为 Q_1^n 、 Q_0^n 的最小项形式。

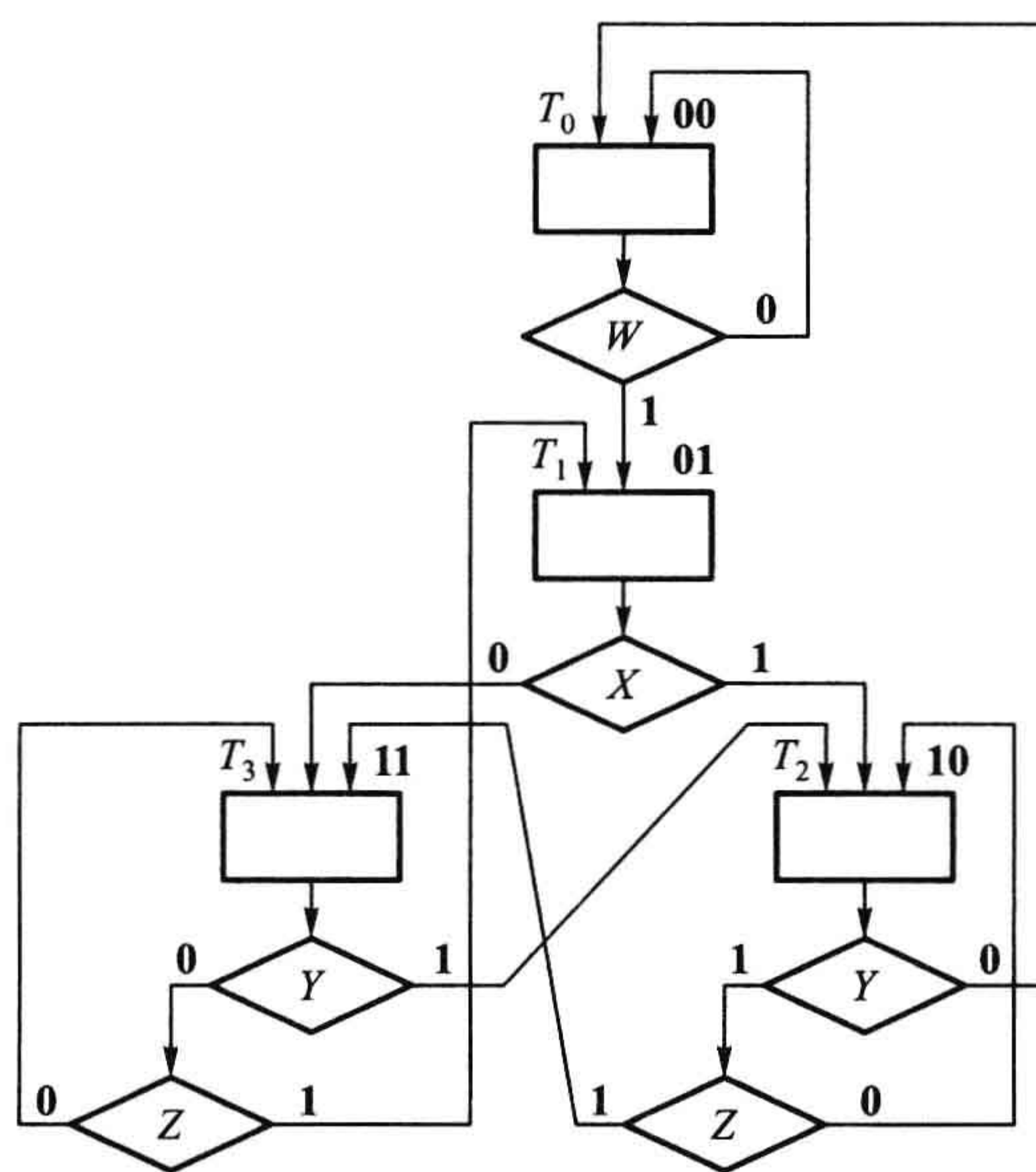


(a)



(b)

图题解 11.2.5



图题 11.2.6

$$Q_1^{n+1} = \bar{Q}_1^n Q_0^n + Y Q_1^n \bar{Q}_0^n + (Y + Z) Q_1^n Q_0^n$$

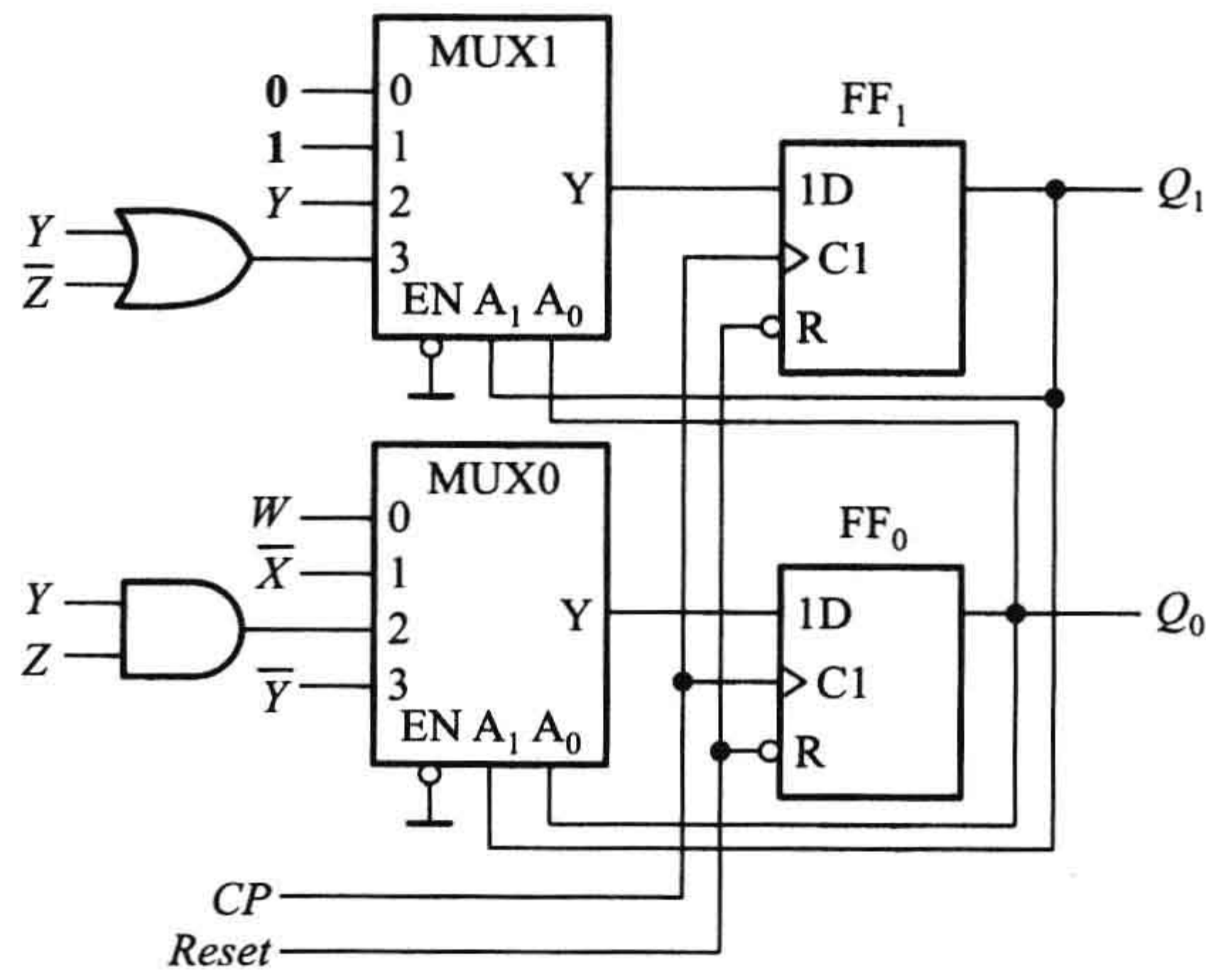
$$Q_0^{n+1} = W \bar{Q}_1^n \bar{Q}_0^n + \bar{X} \bar{Q}_1^n Q_0^n + YZ Q_1^n \bar{Q}_0^n + \bar{Y} Q_1^n Q_0^n$$

用两个数据选择器分别实现 D 触发器的驱动方程, 数据选择器的地址输入为 Q_1^n 、 Q_0^n , 每个数

据选择器的数据输入由上述状态方程中 Q_1^n 、 Q_0^n 组成最小项的系数决定。控制单元电路如图题解 11.2.6 所示。

表题解 11.2.6

现 态		输 入				次 态	
Q_1^n	Q_0^n	W	X	Y	Z	Q_1^{n+1}	Q_0^{n+1}
0	0	0	×	×	×	0	0
0	0	1	×	×	×	0	1
0	1	×	1	×	×	1	0
0	1	×	0	×	×	1	1
1	0	×	×	0	×	0	0
1	0	×	×	1	0	1	0
1	0	×	×	1	1	1	1
1	1	×	×	0	1	0	1
1	1	×	×	1	×	1	0
1	1	×	×	0	0	1	1



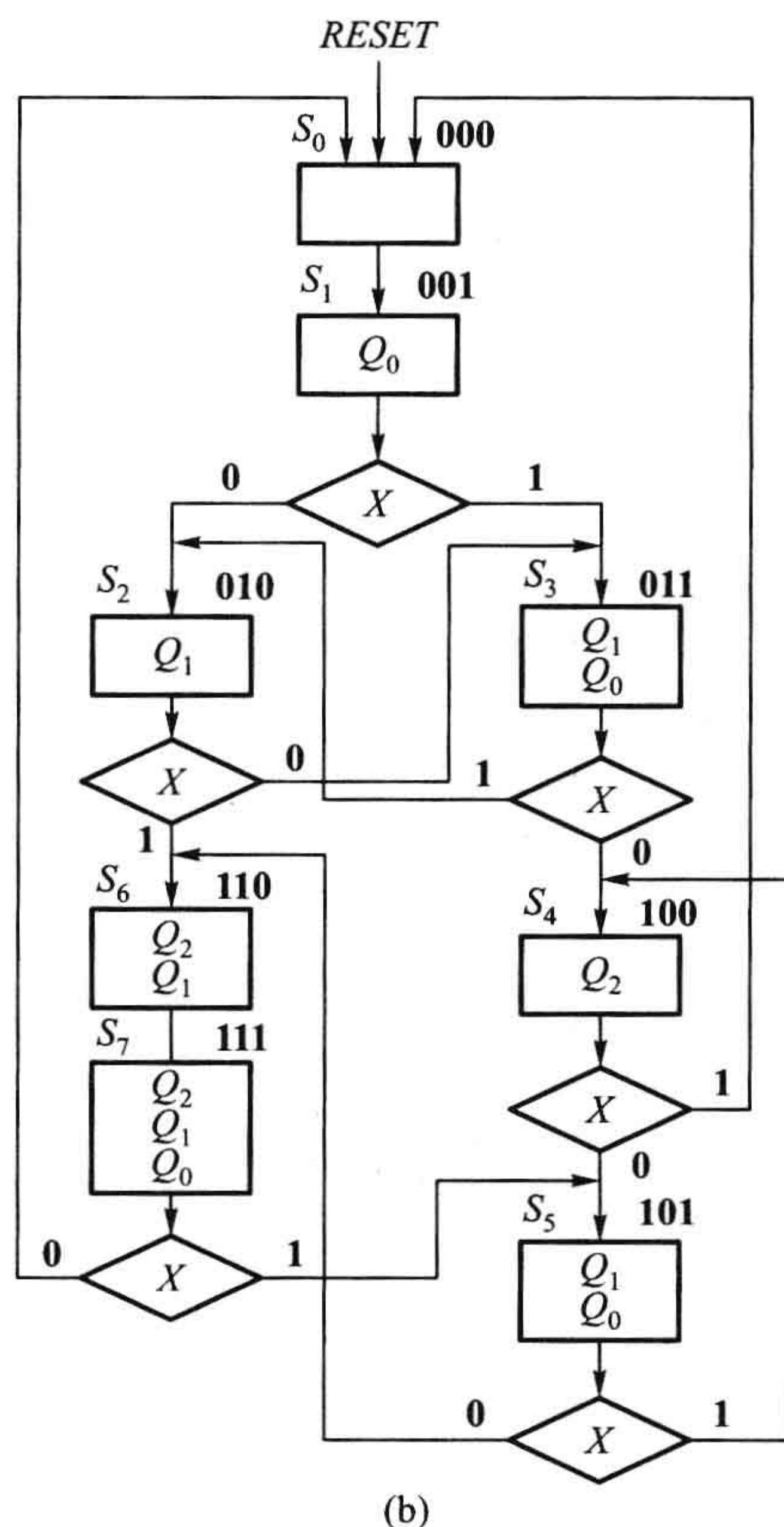
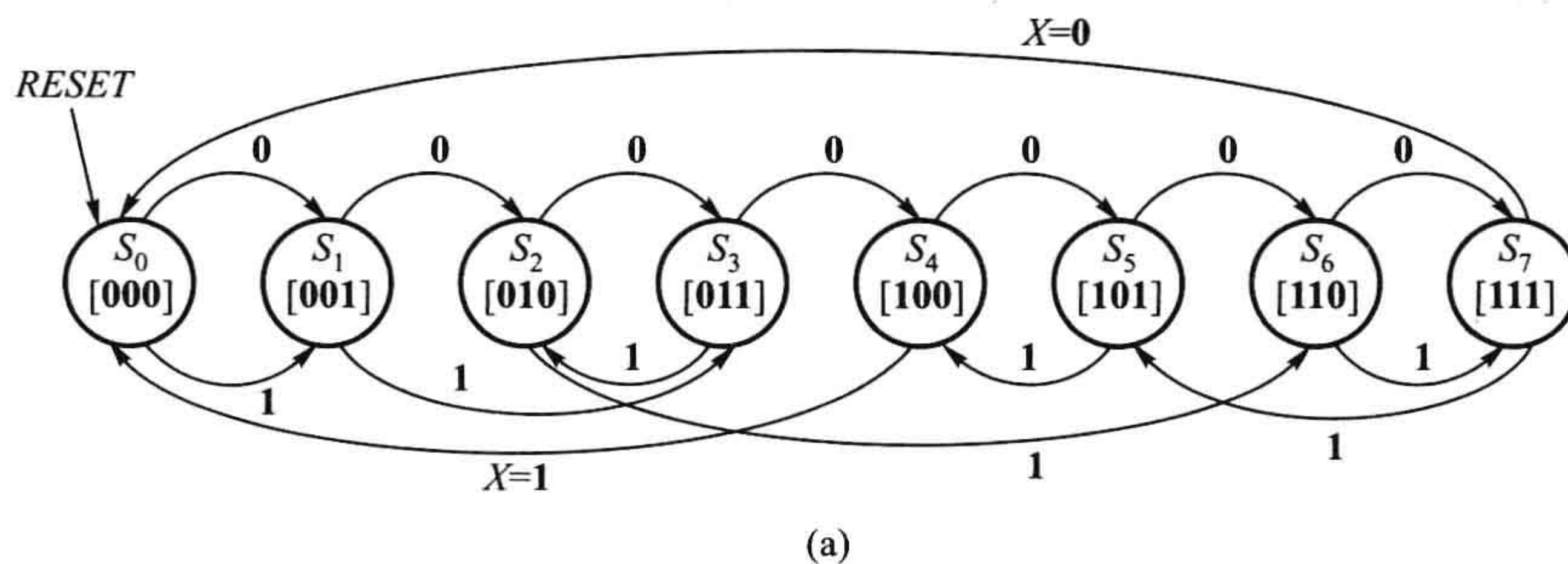
图题解 11.2.6

11.3 交通信号灯控制系统

11.3.1 设计一个可以控制计数功能的计数器,当 $X = 0$ 时,计数器以二进制数序列 000、001、010、011、100、101、110、111 计数并重复。当 $X = 1$ 时,计数器以格雷码序列 000、001、011、010、110、111、101、100 计数并重复,要求:

- (1) 画出计数器的状态图和 ASM 图;
- (2) 用 Verilog HDL 语言描述系统的工作过程。

解:(1) 根据题目要求,用 $S_0 \sim S_7$ 分别表示计数器的八个状态,对应的二进制编码分别为 $000 \sim 111$,当 $X=0$ 时,计数器以二进制计数,当 $X=1$ 时,计数器以格雷码计数。画出计数器的状态转换图,如图题解 11.3.1(a) 所示。



图题解 11.3.1

计数器的 ASM 图如图题解 11.3.1(b) 所示,它可以反映计数器输入与输出之间的关系。当计数器处于 S_1 状态时,如果 $X=0$,下一个状态为 S_2 ,否则 $X=1$ 时,下一个状态为 S_3 ,其余依次类推。用 3 个变量 Q_2 、 Q_1 、 Q_0 表示计数器输出,例如,当计数器处于 S_2 状态时, Q_1 为 1, Q_2 、 Q_0 为 0。从状态 S_0 到 S_1 ,及从状态 S_6 到 S_7 ,是无条件转移,即与输入无关。

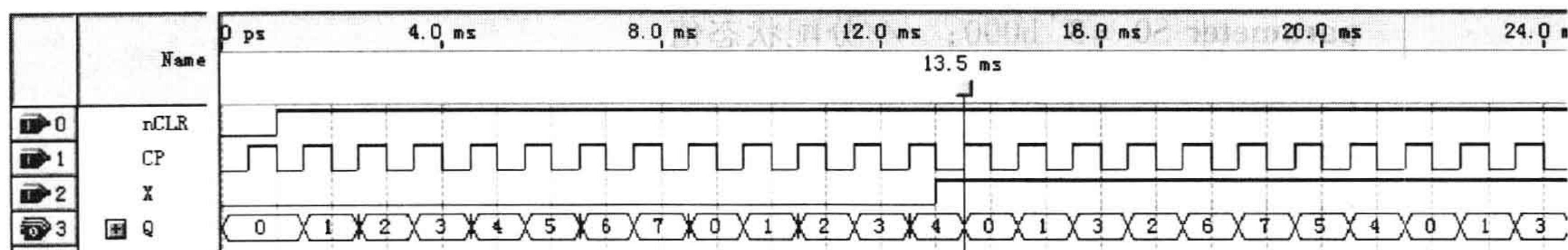
(2) 用 Verilog 语言描述上述 ASM 图的过程如下:


```

module BiCounter1 ( CP, nCLR, X, Q );
    parameter S0 = 3'b000; //分配状态值
    parameter S1 = 3'b001;
    parameter S2 = 3'b010;
    parameter S3 = 3'b011;
    parameter S4 = 3'b100;
    parameter S5 = 3'b101;
    parameter S6 = 3'b110;
    parameter S7 = 3'b111;
    input X; //定义输入、输出变量
    input CP;
    input nCLR;
    output [2:0] Q;
    wire [2:0] Q; //定义变量类型
    reg [2:0] state; //状态触发器的输出信号
    reg [2:0] next_state; //状态触发器的输入信号
    always @ ( posedge CP or negedge nCLR ) //状态转换
    begin
        if( ~ nCLR ) state <= S0;
        else state <= next_state;
    end
    always @ ( state or X ) //组合逻辑
    begin
        next_state = S0;
        case( state )
            S0: next_state = ( X ) ? S1 : S1;
            S1: next_state = ( X ) ? S3 : S2;
            S2: next_state = ( X ) ? S6 : S3;
            S3: next_state = ( X ) ? S2 : S4;
            S4: next_state = ( X ) ? S0 : S5;
            S5: next_state = ( X ) ? S4 : S6;
            S6: next_state = ( X ) ? S7 : S7;
            S7: next_state = ( X ) ? S5 : S0;
            default: next_state = S0;
        endcase
    end
    assign Q = state;
endmodule

```


该计数器的仿真波形如图题解 11.3.1(c) 所示。



图题解 11.3.1(c)

11.3.2 设计一个用移位相加实现的乘法器,乘数与被乘数均为同步输入的 4 位无符号二进制数。要求:

- (1) 确定乘法器算法,画出乘法器系统方案框图。
- (2) 画出系统控制器的 ASM 图。用一个触发器对应一个状态的方法设计控制电路。
- (3) 用 Verilog HDL 语言描述系统的工作过程。

解: (1) 明确所要设计系统的逻辑功能

1.3 节介绍了二进制的算术运算,与人工手算的方法类似,乘法运算用移位求和实现。

$$\begin{array}{r}
 \begin{array}{cccc}
 1 & 0 & 1 & 0 \\
 \times & 1 & 0 & 1 & 1 \\
 \hline
 1 & 0 & 1 & 0 \\
 1 & 0 & 1 & 0 \\
 0 & 0 & 0 & 0 \\
 1 & 0 & 1 & 0 \\
 \hline
 1 & 1 & 0 & 1 & 1 & 1 & 0
 \end{array}
 \end{array}
 \begin{array}{l}
 \text{被乘数} \\
 \text{乘数}
 \end{array}$$

(2) 明确系统方案并画控制电路 ASM 图

乘法器的系统框图如图题解 11.3.2(a) 所示。用启动信号 s 控制乘法运算过程开始。

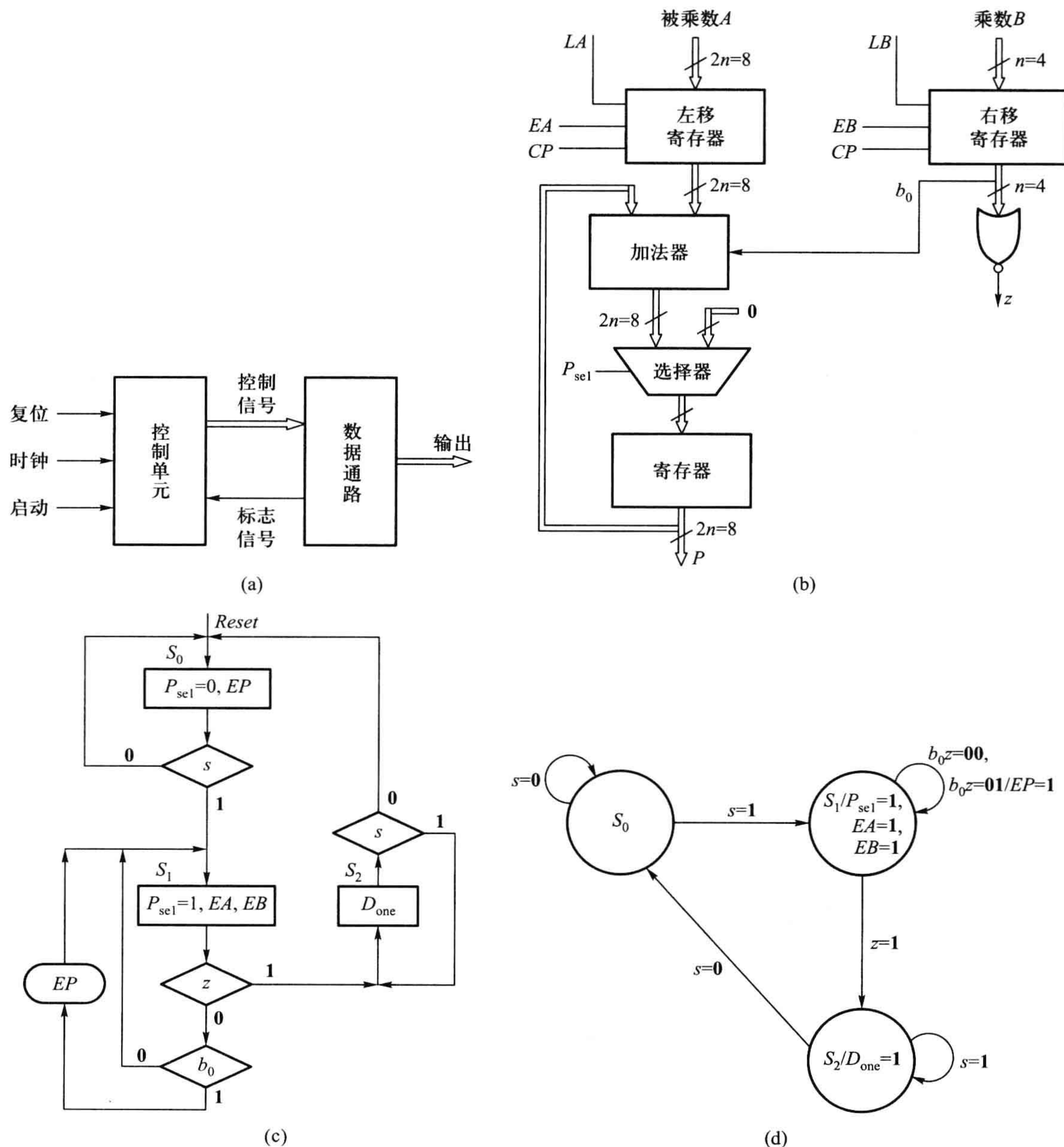
乘法器数据通路的方框图如图题解 11.3.2(b) 所示。8 位左移寄存器存放被乘数 A , 4 位右移寄存器存放乘数 B , 一个 8 位加法器进行部分和相加, 选择器是为了控制寄存器的清零, 8 位寄存器 P 存放运算中产生的部分和。

操作过程: ① 用乘数的最低位 b_0 乘以被乘数得到第一个部分积, 存入寄存器 P 中。② 被乘数左移一位。③ 如果乘数的第二位为 1, 则寄存器 P 的部分和与移位后的被乘数相加, 得到新的部分和再存入 P 中。若第二位为 0, 则无需进行部分和的加运算。以此类推, 需要判断乘数第 i 位为 0 还是 1。以后的步骤以此类推, 直到第四个部分和与寄存器的内容相加得到最后结果。

为了判断乘数第 i 位的值, 每完成一次运算后, 将乘数右移一位, 每次只需测试最低位 b_0 的值, $b_0=1$ 时, A 与 P 相加, 否则 P 保持不变。当右移寄存器全部为 0 时, 或非门的输出 z 为 1, 此时 P 中寄存的是最后的乘积。为了能使 P 清零, 采用 P_{sel} 控制的数据选择器。

乘法器控制单元的控制过程分为三个状态, 分别用 S_0 、 S_1 和 S_2 表示, 其 ASM 图如图题解 11.3.2(c) 所示。在 S_0 状态, $P_{sel}=0$ 。当第 i 位乘数为 1 时, 需将加法器 P 中的部分和与移位后的乘数相加, 否则保持不变。所以设使能端 EP 控制 P 是否运算。 EP 有效使 P 清零。当 $s=0$ 时, 可通过外部电路控制 LA 和 LB 将被乘数和乘数分别加载到移位寄存器 A 和 B 中。当 $s=1$

时,系统进入 S_1 状态, $P_{sel}=1$, 并且使能信号 EA 和 EB 有效, 允许 A 和 B 移位。若 $b_0=1$, 则 P 的使能信号有效。当全部乘数右移完后, 右移寄存器为 0, $z=1$ 时, 系统进入 S_2 状态, 只要 $s=1$, 便停留在 S_2 状态, 并且使 $D_{one}=1$ 。



图题解 11.3.2

根据乘法器控制单元的 ASM 图, 得出其状态图如图题解 11.3.2(d) 所示, 其中系统保持在 S_1 状态有两种情况, 其一是 $z=0$ 并且 $b_0=0$ 时。其二是 $z=0$ 并且 $b_0=1$ 时, 并且使能信号 $EP=1$ 。

(3) 控制单元电路设计

采用“一对一”的编码方案设计控制单元。用 3 个 D 触发器 FF_0 、 FF_1 、 FF_2 的输出分别表示 S_0 、 S_1 和 S_2 状态。运算过程中的每一时刻,只能有一个状态为 **1**,其余状态为 **0**。根据 ASM 图或状态图可以列出状态转换表如表题解 11.3.2 所示。

根据表题解 11.3.2 写出各触发器的输入逻辑关系,为方便起见,没有区别现态和次态的符号。

$FF_0:D_0(S_0) = S_0\bar{s}+S_2\bar{s} \quad (\text{Reset 异步置 } S_0=1)$

$FF_1:D_1(S_1) = S_0\bar{s}+S_1\bar{z}\bar{b}_0+S_1\bar{z}b_0=S_0\bar{s}+S_1\bar{z}$

$FF_2:D_2(S_2) = S_1z+S_2s$

根据 ASM 图或状态图写出控制单元的输出与各状态之间的关系式:

$EA=EB=P_{sel}=S_1$

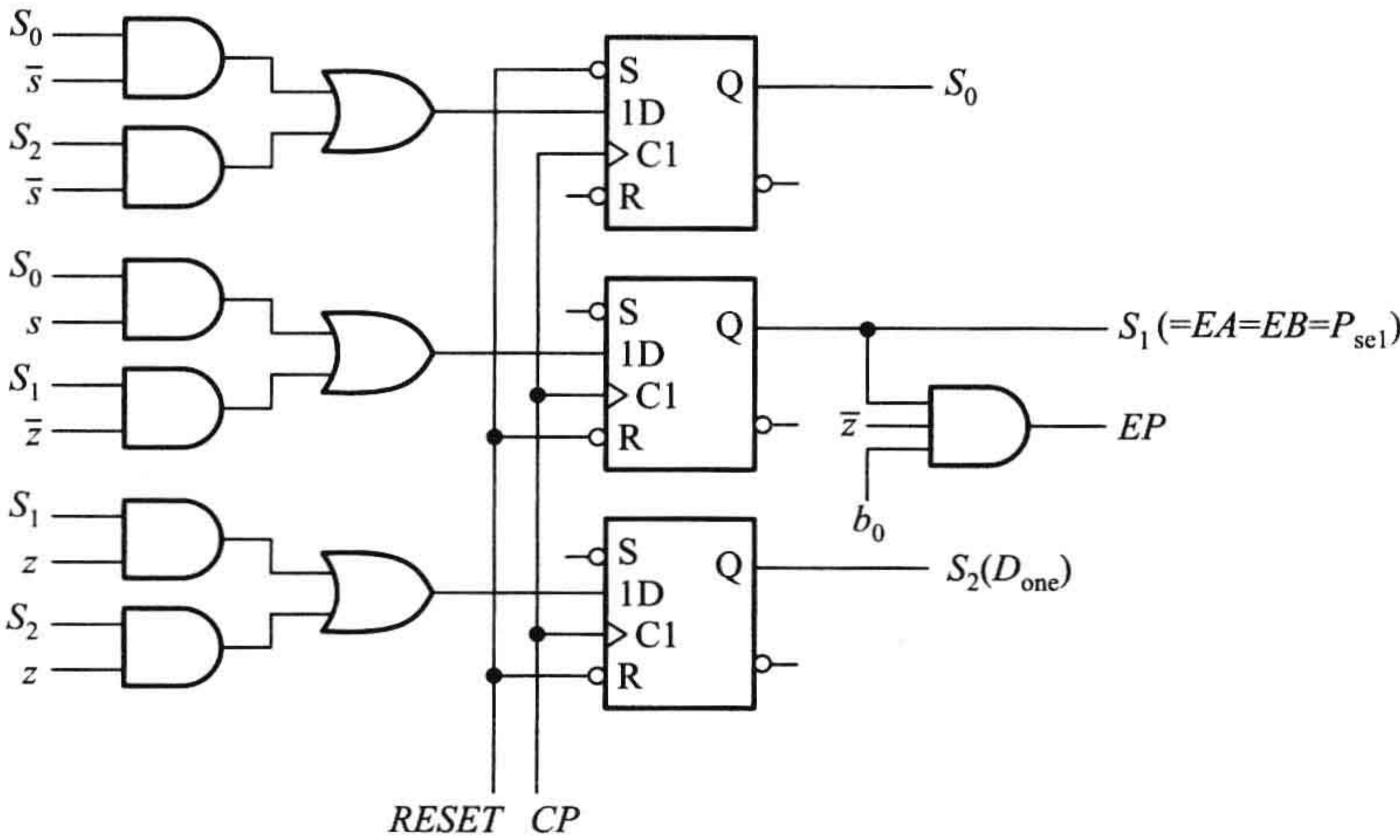
$D_{one}=S_2$

$EP=S_1\bar{z}b_0$

根据上述逻辑方程得出乘法器控制单元电路如图题解 11.3.2(e) 所示。

表题解 11.3.2 控制单元状态转换表

输 入		输 出
现态 Q_i^n	转换条件	次态 Q_i^{n+1}
S_0	$s=0$	S_0
S_2	$s=0$	
S_0	$s=1$	S_1
S_1	$z \cdot b_0=00$	
S_1	$z \cdot b_0=01$	
S_1	$z=1$	S_2
S_2	$s=1$	



图题解 11.3.2(e)

(4) 两个 4 位无符号二进制数进行乘法运算的 Verilog HDL 语言描述如下:

```

module Multiply( CP,nReset,LA,LB,s,DataA,DataB,P,Done);
parameter n =4;
input CP,nReset;
input LA,LB;           //置数控制信号
input s;               //运算过程开始的控制信号
input [n-1:0] DataA,DataB; //被乘数、乘数
output [n+n-1:0] P;    //乘积的结果
output reg Done;       //运算完成标志
wire z;               //乘数右移位完成标志
wire [n+n-1:0] A;      //被乘数暂存器
wire [n-1:0] B;        //乘数暂存器
wire [n+n-1:0] Sum;    //部分和
reg [n+n-1:0] DataP;
reg [2:0] PState,Next_State; //状态寄存器的现态、次态
reg EA,EB,EP,Psel;
integer k;
//control
parameter S0 = 3'b001, S1 = 3'b010, S2 = 3'b100;
always @( s,PState,z)
begin: State_table
    case( PState)
        S0: Next_State = ( s == 0 ) ? S0 : S1;
        S1: Next_State = ( z == 0 ) ? S1 : S2;
        S2: Next_State = ( s == 1 ) ? S2 : S0;
        default: Next_State = 3'bxxx;
    endcase
end
always @( posedge CP, negedge nReset)
begin: State_flipflops
    if ( nReset == 0)
        PState <= S0; //异步复位
    else
        PState <= Next_State; //更新状态
    end
always @( s,PState,B[0])
begin: FSM_outputs
    EA = 0; EB = 0; EP = 0; Done = 0; Psel = 0; //defaults

```



```

    case( PState)
        S0: EP = 1;
        S1: begin
            EA = 1; EB = 1; Psel = 1;
            if( B[0] ) EP = 1;
            else EP = 0;
        end
        S2: Done = 1;
    endcase
end
//datapath circuit
shiftrne shiftB( DataB, LB, EB, 1'b0, CP, B);    //调用子模块
defparam shiftB.n = 4;    //将子模块中的参数 n 修改为 4
shiftlne shiftA( { {n{1'b0}} }, DataA, LA, EA, 1'b0, CP, A);    //调用子模块
defparam shiftA.n = 8;    //将子模块中的参数 n 修改为 8
assign z = ( B == 0 );
assign Sum = A + P;
//define the 2n 2-to-1 multiplexers
always @ ( Psel, Sum)
    for ( k = 0; k < n + n; k = k + 1 )
        DataP[ k ] = Psel ? Sum[ k ] : 1'b0;
regne RegP( DataP, CP, nReset, EP, P);    //调用子模块
defparam RegP.n = 8;
endmodule

/* ===== Sub-module ===== */
//define the n-bit Register with Enable
module regne( PData, Clock, nReset, En, Q );
    parameter n = 8;
    input [ n-1:0 ] PData;
    input Clock, nReset, En;
    output reg [ n-1:0 ] Q;
    always @ ( posedge Clock)
    begin
        if ( nReset == 0 )
            Q <= 0;
        else if( En )
            Q <= PData;
    end
end

```



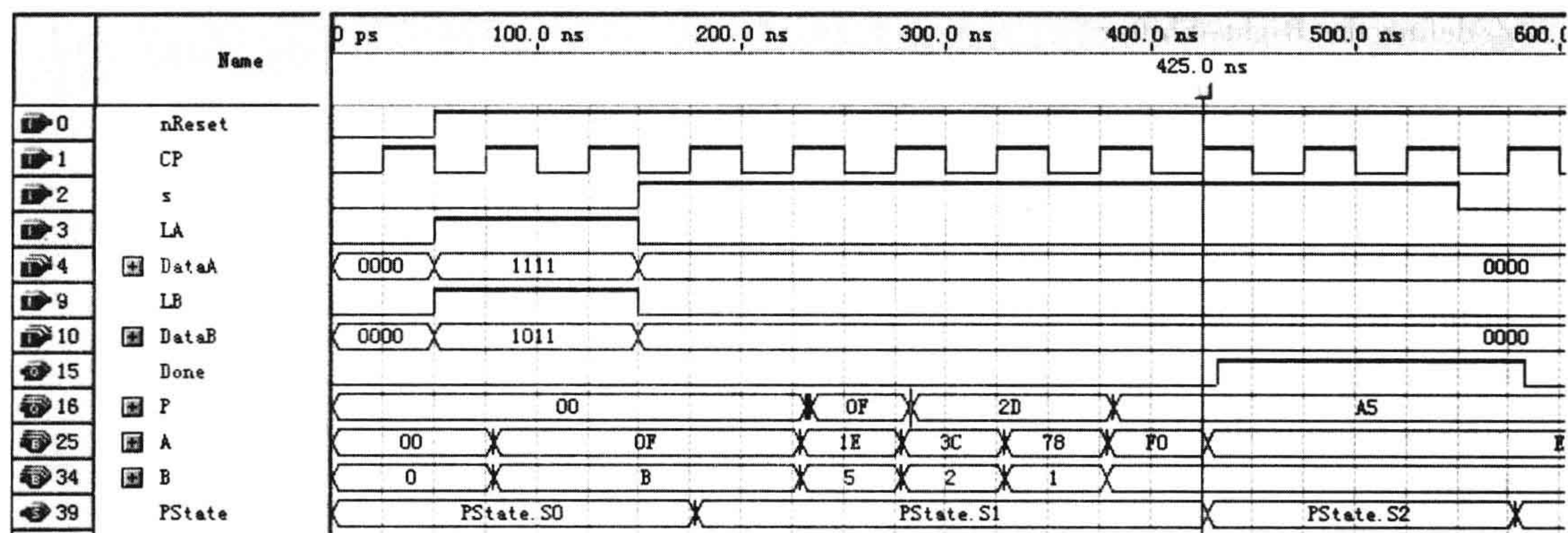
```

endmodule
//define the Right-Shifter
module shiftrne( PData , Load , En , Dsr , Clock , Q ) ;
parameter n = 4 ;
input [ n-1 : 0 ] PData ;
input Load , En , Dsr , Clock ;
output reg [ n-1 : 0 ] Q ;
integer k ;
always @ ( posedge Clock )
begin
    if ( Load ) Q <= PData ; //Parallel load input
    else if ( En )
        begin
            for ( k = 0 ; k < n-1 ; k = k+1 )
                Q[ k ] <= Q[ k+1 ] ;
            Q[ n-1 ] <= Dsr ;
        end
    end
endmodule
//define the Left-Shifter
module shiftlne( PData , Load , En , Dsl , Clock , Q ) ;
parameter n = 4 ;
input [ n-1 : 0 ] PData ;
input Load , En , Dsl , Clock ;
output reg [ n-1 : 0 ] Q ;
integer k ;
always @ ( posedge Clock )
begin
    if ( Load ) Q <= PData ; //Parallel load input
    else if ( En )
        begin
            Q[ 0 ] <= Dsl ;
            for ( k = 1 ; k < n ; k = k+1 )
                Q[ k ] <= Q[ k-1 ] ;
        end
    end
endmodule

```

仿真波形如图题解 11.3.2(f) 所示。图中 P 为两个二进制数相乘积的结果, 即 $(1111)_B *$

$(1011)_B = (A5)_H$, 对应的十进制数为 $15 * 11 = 165$ 。



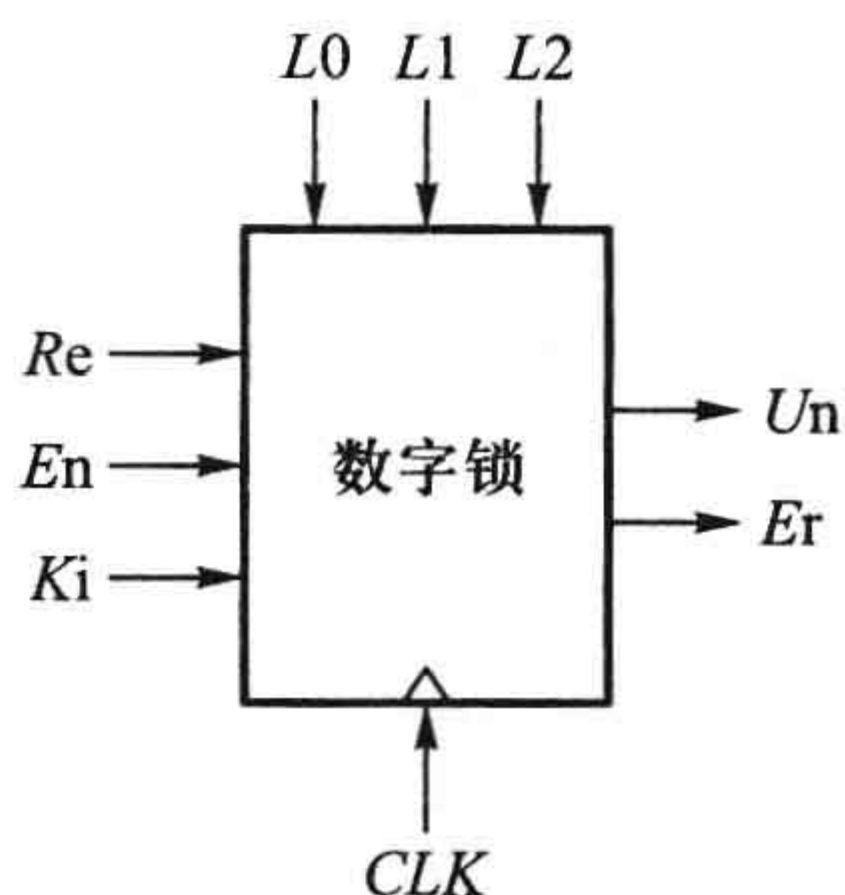
图题解 11.3.2(f)

11.4 数字密码锁

11.4.1 设计一个简单的 3 位二进制数字密码锁, 控制房门的打开, 当接收到的串行输入数码与原设定的密码相同时, 发出开锁信号, 锁被打开。要求:

- (1) 画出系统的 ASM 图。
- (2) 画出系统的状态转换图。
- (3) 用 Verilog HDL 语言描述其工作过程。

提示: 数字锁系统的示意图如图题 11.4.1 所示, 由于开锁过程比较简单, 所以没有划分控制单元和处理单元。L0、L1、L2 用于从低位到高位设置密码, 另外三个输入端 Re、En、Ki 中, Re 是复位端, 当 Re=1 时, 系统复位进入初始状态; En 是控制开关, Ki 是数据输入端, 当按一下 En 键使 En=1 时, 从 Ki 端输入一个数码, 再按一下 En 键, 再送一个数码, 直到将三个数码送完为止。每输入一个数据都要同原设定的密码比较, 依次从低位到高位进行。若相等则准备接收下一位数码, 若不相等, 系统应进入错误状态。输入数码的位数也是开锁的条件。当输入数码的位数和位值与相应密码都相等时, 系统发出开锁信号 $Un=1$, 锁被打开, 否则 $Er=1$ 表示开锁过程错误。为保密起见, 中间错误状态不显示, 并且不能返回初态, 直到三个数码全部送完为止。



图题 11.4.1

解: (1) 明确所要设计系统的逻辑功能

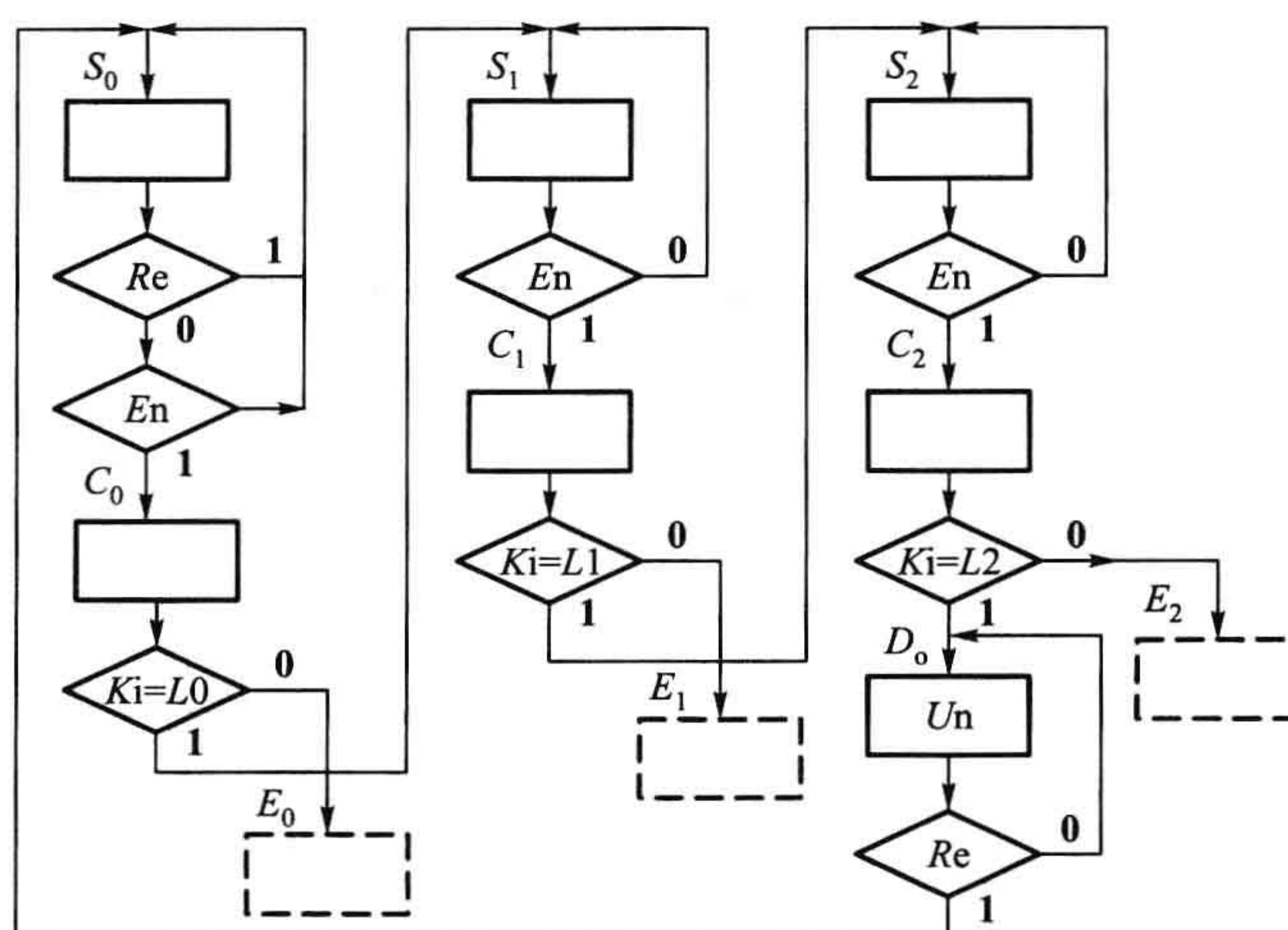
根据提示可以确定系统的逻辑功能。

(2) 画出系统的 ASM 图

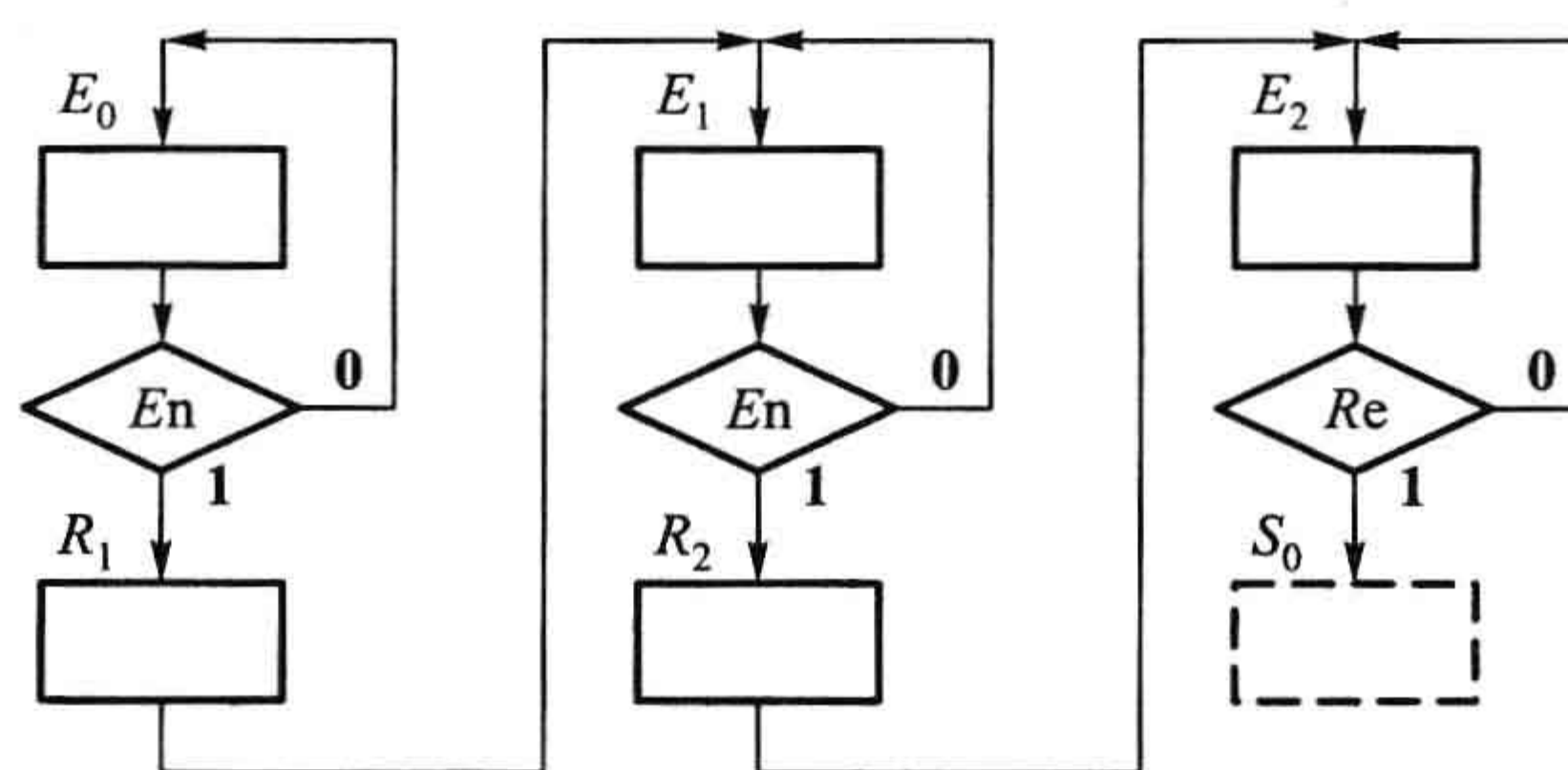
根据题目要求, 系统首先进入初始状态, 然后在 En 的控制下, 每次送入一位数码并与预先设定的数码进行比较, 根据比较结果确定下一个状态, 所以有 3 个准备接受数码的等待状态 S_0 、 S_1 、 S_2 和 3 个比较状态 C_0 、 C_1 、 C_2 。系统要求不显示中间错误状态, 并且不能返回初态, 因此有 3 个错误状态 E_0 、 E_1 、 E_2 。

① 正确开锁过程

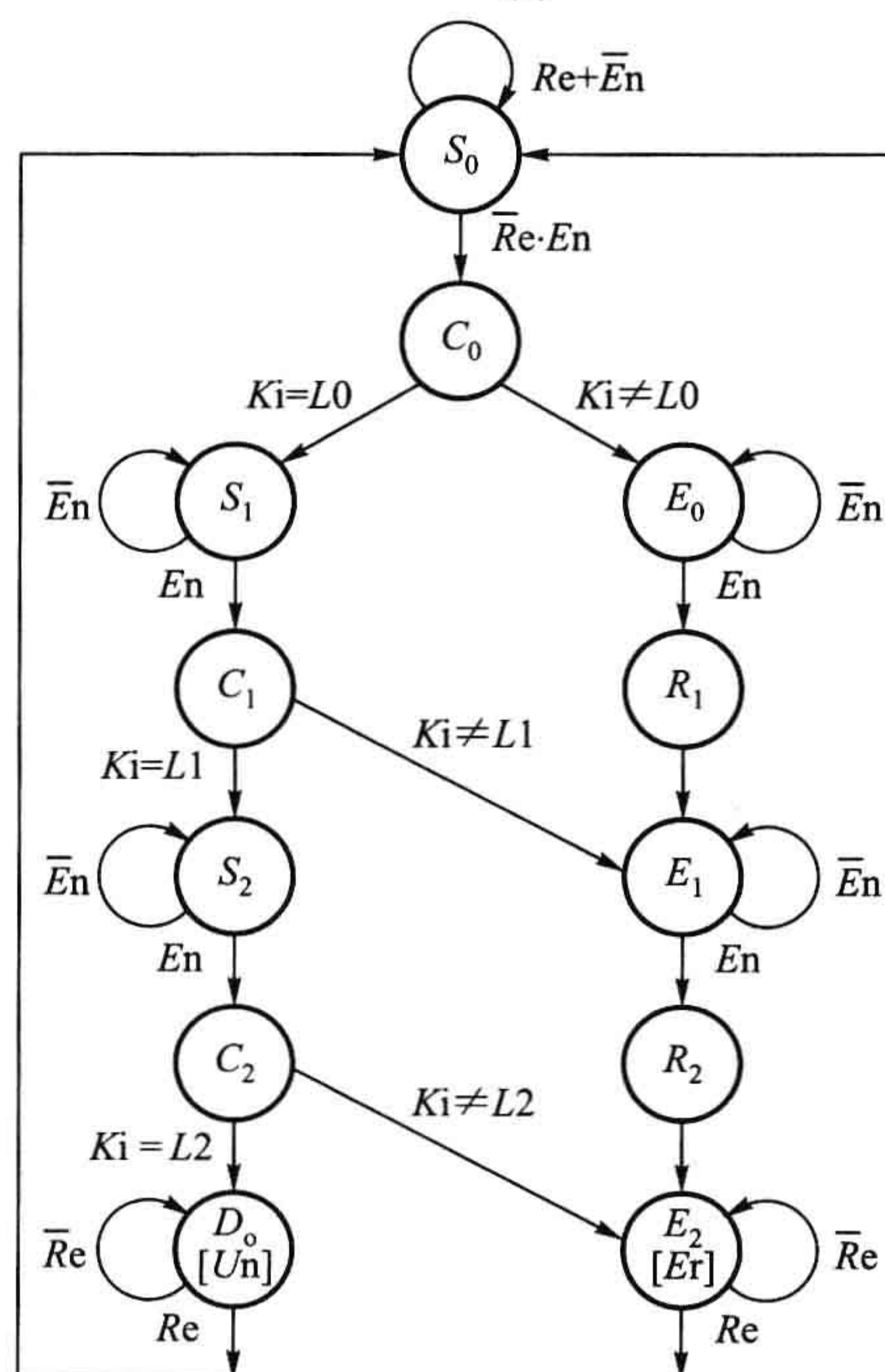
正确开锁过程的 ASM 图如图题解 11.4.1(a) 所示。设定 S_0 为系统的初态, 在此状态下, 键



(a)



(b)



(c)

图题解 11.4.1

入复位键时,系统保持在 S_0 状态,如果不按 Re 键而按下 En 控制键后,输入的第一个数码,则系统进入数据比较状态 C_0 ,如果 $Ki=L0$ 时,进入 S_1 状态,否则进入错误状态 E_0 。在 S_1 状态下,若再次按下控制键 En ,可再次送数码,并且系统进入数据比较状态 C_1 ,其余依次类推。如果送入数码的位数和位值均与相应密码相等,则进入开锁状态 D_0 ,系统发出开锁信号 Un ,门打开,此时如果按下复位键 Re 后,系统回到开始状态。

② 错误开锁过程

错误开锁过程的 ASM 图如图题解 11.4.1(b) 所示,为了不显示中间错误状态,而且必须输入 3 位数码后才能回到系统初始状态,还需要设定中间过程的等待状态 R ,如图题解 11.4.1(b) 所示。例如,系统处于第一个数据比较状态 C_0 时,如果输入的数码 $Ki \neq L0$ 时,则进入第一个比较结果有错误状态 E_0 。在 E_0 状态按下 En 键后,进入等待状态 R_1 ,然后无条件进入错误状态 E_1 。若输入的第一个数码正确,而第二个数码 $Ki \neq L1$,则进入第二个比较结果有错误状态 E_1 ,以此类推。当 $Ki \neq L2$ 时,则进入第三个比较结果有错误状态 E_2 ,同时系统发出错误信号 Er ,此时按下复位键,系统回到初始状态。将图题解 11.4.1(a) 和图题解 11.4.1(b) 组合起来就构成完整的 ASM 图(完整的 ASM 图略)。

(3) 画出系统的状态转换图

根据系统的 ASM 图可以画出系统的状态转换图,如图题解 11.4.1(c) 所示。ASM 图中的状态框与状态图中的状态相对应,判断框中的条件是状态图中状态转换的输入条件。例如,在系统初始状态 S_0 ,若按下复位键 Re ,则系统保持在 S_0 状态,即保持状态的条件是 $Re + \overline{En} = 1$,否则当 $Re=0$ 并且 $En=1$ 时,系统进入数据比较状态 C_0 ,即从 S_0 到 C_0 的输入条件是 $\overline{Re} \cdot En = 1$,此时输入第一个数码 $Ki=L0$ 时,进入 S_1 状态,否则进入比较结果有错误状态 E_0 。以此类推得到系统的状态转换图。

(4) 数字锁的 Verilog 描述:

```
module lock_new(sys_clk, L, Re, En, Ki, Un, Er);
    parameter S_0 = 4'b0000, S_1 = 4'b0001, S_2 = 4'b0010; //状态分配
    parameter C_0 = 4'b0011, C_1 = 4'b0100, C_2 = 4'b0101;
    parameter Do = 4'b0110;
    parameter E_0 = 4'b0111, E_1 = 4'b1000, E_2 = 4'b1001;
    parameter R_1 = 4'b1010, R_2 = 4'b1011;
    input sys_clk; //System clock
    input[2:0] L; //接外部的拨码开关,用于设置锁的密码
    input Re; //Reset
    input En; //串行输入数码的控制开关
    input Ki; //Serial password input
    output Un; //Unlock output signal
    output Er; //Unlock Error signal
    reg Un, Er;
    reg [3:0] state; //状态触发器的输出信号
```



```

reg [3:0] next_state; //状态触发器的输入信号
wire [2:0] QL;
RegPassword U0(L,sys_clk,Re,QL); //保存外部设置的密码
defparam U0.n = 3;
always @ ( posedge sys_clk or posedge Re) //状态触发器(计数器)的时序逻辑部分
begin
    if( Re)    state <= S_0;        //异步复位
    else       state <= next_state; //更新触发器的状态
end
always @ ( state or En or Re) //状态触发器(计数器)的组合逻辑部分
begin
    next_state = S_0;
    Un = 0; Er = 0; //默认状态
    case( state)
        S_0: begin
            if( Re || (! En)) next_state = S_0;
            else next_state = C_0;
        end
        C_0: begin
            if( Ki == L[0]) next_state = S_1;
            else next_state = E_0;
        end
        S_1: begin
            if( !En) next_state = S_1;
            else next_state = C_1;
        end
        C_1: begin
            if( Ki == L[1]) next_state = S_2;
            else next_state = E_1;
        end
        S_2: begin
            if( !En) next_state = S_2;
            else next_state = C_2;
        end
        C_2: begin
            if( Ki == L[2]) next_state = Do;
            else next_state = E_2;
        end
    endcase
end

```



```

    Do:begin
        Un = 1; Er = 0; //输出开锁信号
        if( Re) next_state = S_0;
        else next_state = Do;
    end

    E_0:begin
        if( !En) next_state = E_0; //E0
        else next_state = R_1;
    end
    R_1:begin next_state = E_1; end
    E_1:begin
        if( !En) next_state = E_1;
        else next_state = R_2;
    end
    R_2:begin next_state = E_2; end
    E_2:begin
        Un = 0; Er = 1; //输出出错信号
        if( !Re) next_state = E_2;
        else next_state = S_0;
    end
    default: begin //出现未定义的状态时,进入初态
        next_state = S_0;
    end
endcase
end
endmodule

/* ===== Sub-module: define the n-bit Register ===== */
module RegPassword( PData,Clock,Reset, Q );
    parameter n=8;
    input [ n-1:0 ] PData;
    input Clock,Reset;
    output reg [ n-1:0 ] Q;
    always @ ( posedge Clock)
    begin
        if ( Reset == 1 )
            Q <= 0;
        else

```



```

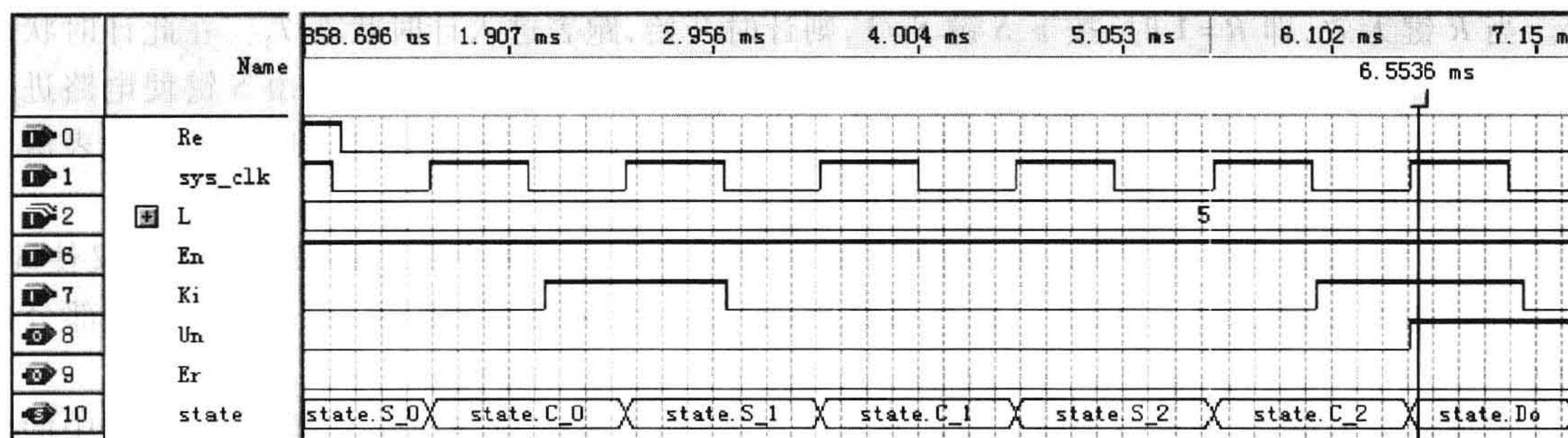
    Q <= PData;

end

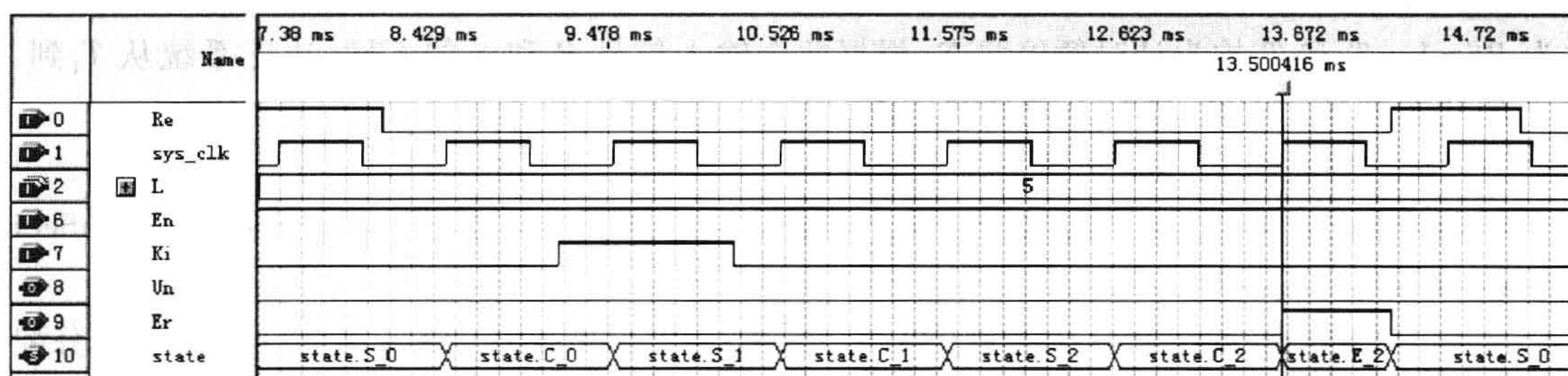
endmodule

```

开锁过程仿真波形如图题解 11.4.1(d)、(e)所示。



图题解 11.4.1(d) 正确开锁过程仿真波形图



图题解 11.4.1(e) 错误开锁过程仿真波形图

11.4.2 设计一个体育比赛中常用的数字跑表。它是通过两个按键来控制计时开始和停止,一个是清零控制按键 Reset(简称 *R* 键),另一个是 Start/Stop 控制按键(简称 *S* 键),其工作过程如下:

开始时 *R* 键使跑表为零初始状态。在 *R* 键无效的时候,按一下 *S* 键则计时器开始计时,在此计时状态下,按一下 *S* 键暂停计时,再按一下 *S* 键则继续计时,并且这一过程可由 *S* 键控制重复进行。如果在暂停状态按一下 *R* 键,跑表被清零。

如果在计时状态下,按一下 *R* 键则暂停计时,再按一下 *R* 键则继续计时,并且这一过程也可由 *R* 键控制重复进行。当按 *R* 键使计时暂停时,再按 *S* 键不起作用。

要求跑表的计时范围为 0.01 s ~ 59 min 59.99 s,计时精度为 10 ms;跑表的输出能够直接驱动共阳极 7 段数码管显示。输入信号的频率为 100 Hz。

- (1) 画出跑表的结构框图。
- (2) 画出控制单元的 ASM 图及状态图。
- (3) 用 Verilog HDL 描述跑表的功能。

解:(1) 将系统划分为控制单元和处理单元,如图题解 11.4.2(a)所示,处理单元由计数模块和译码器组成。控制单元通过两个输入控制按键的状态,产生相应的控制信号,以控制处理模块的工作状态。计数器模块由每个计数器组成,用来实现 59 min59.99 s 的计数功能。译码器的功能是将 6 个计数器所输出的 4 位 BCD 码转换为 7 段数码管的驱动信号。

(2) 根据题目要求,首先按下 R 键, $R=0$ 使跑表进入初始状态 T_0 ,如图题解 11.4.2(b)所示。当 R 键无效,即 $R=1$ 时,按下 S 键 $S=1$,则计时开始,跑表进入计时状态 T_1 。在此计时状态下,再按一下 S 键使 $S=0$,计时暂停,跑表进入暂停状态 T_2 。否则计时继续。由 S 键使电路进入 T_2 暂停状态,再按一下 S 键可以使计数继续。如果在 T_2 暂停状态下按 R 键,则 $R=0$ 使跑表清零回到初态。由此画出 $T_0 \rightarrow T_1 \rightarrow T_2$ 的 ASM 图。

在计时状态下,按一下 R 键,则 $R=0$ 使计时暂停,跑表进入 T_3 状态。再按一下 R 键又使 $R=1$,则计时继续,跑表进入 T_1 状态。在计时暂停的 T_3 状态, S 键不起作用,由此,画出 T_3 部分的 ASM 图。

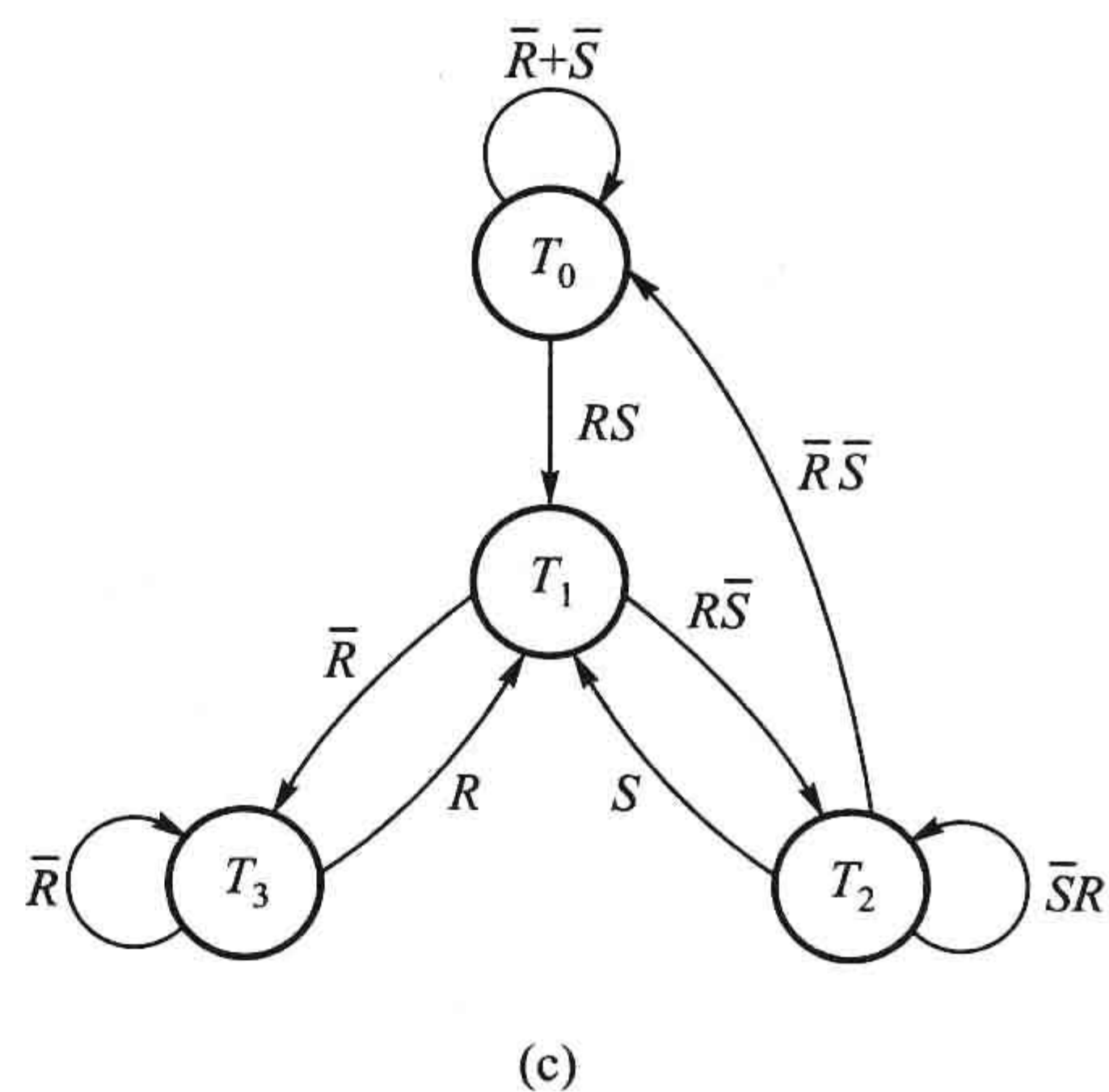
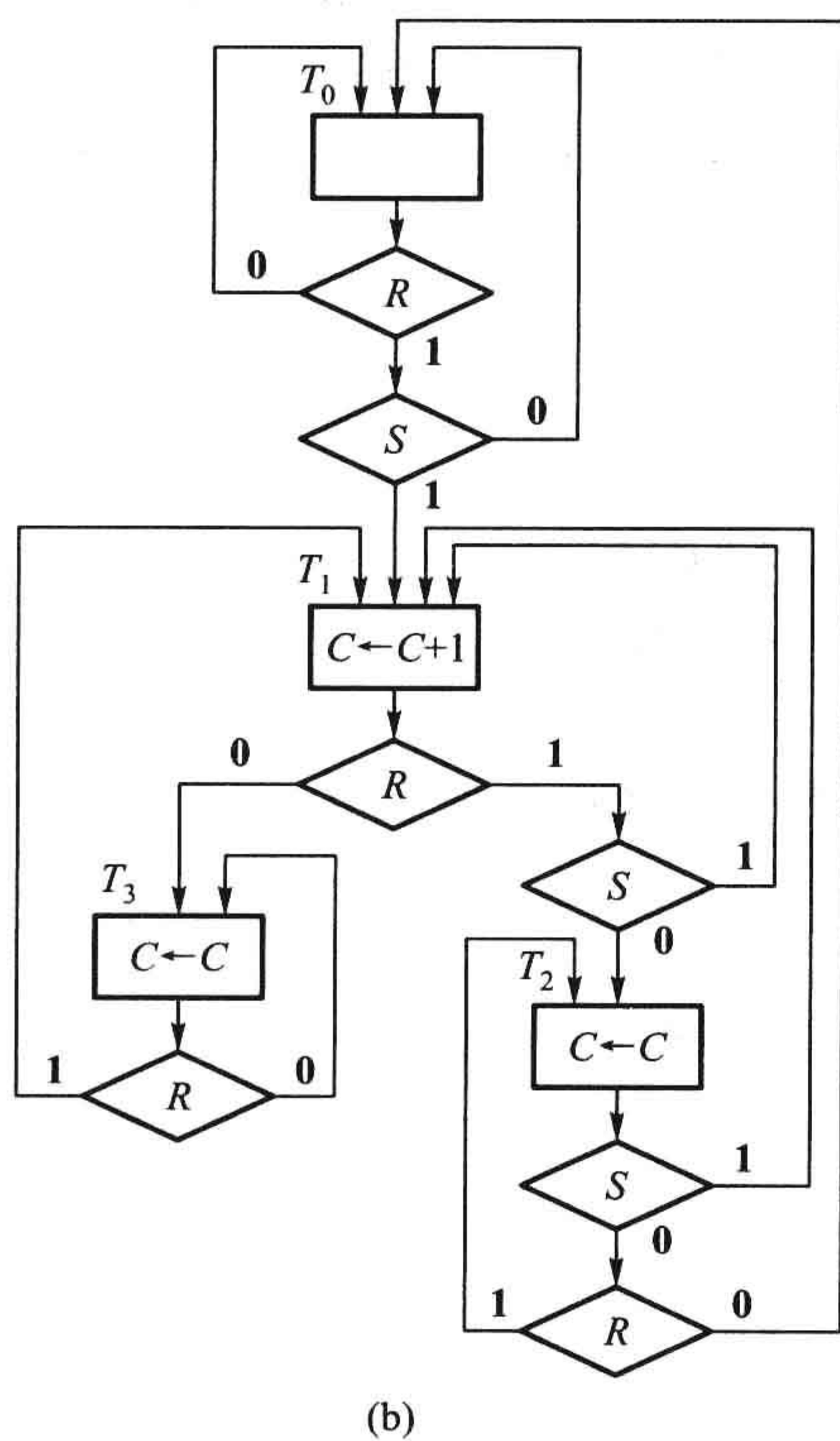
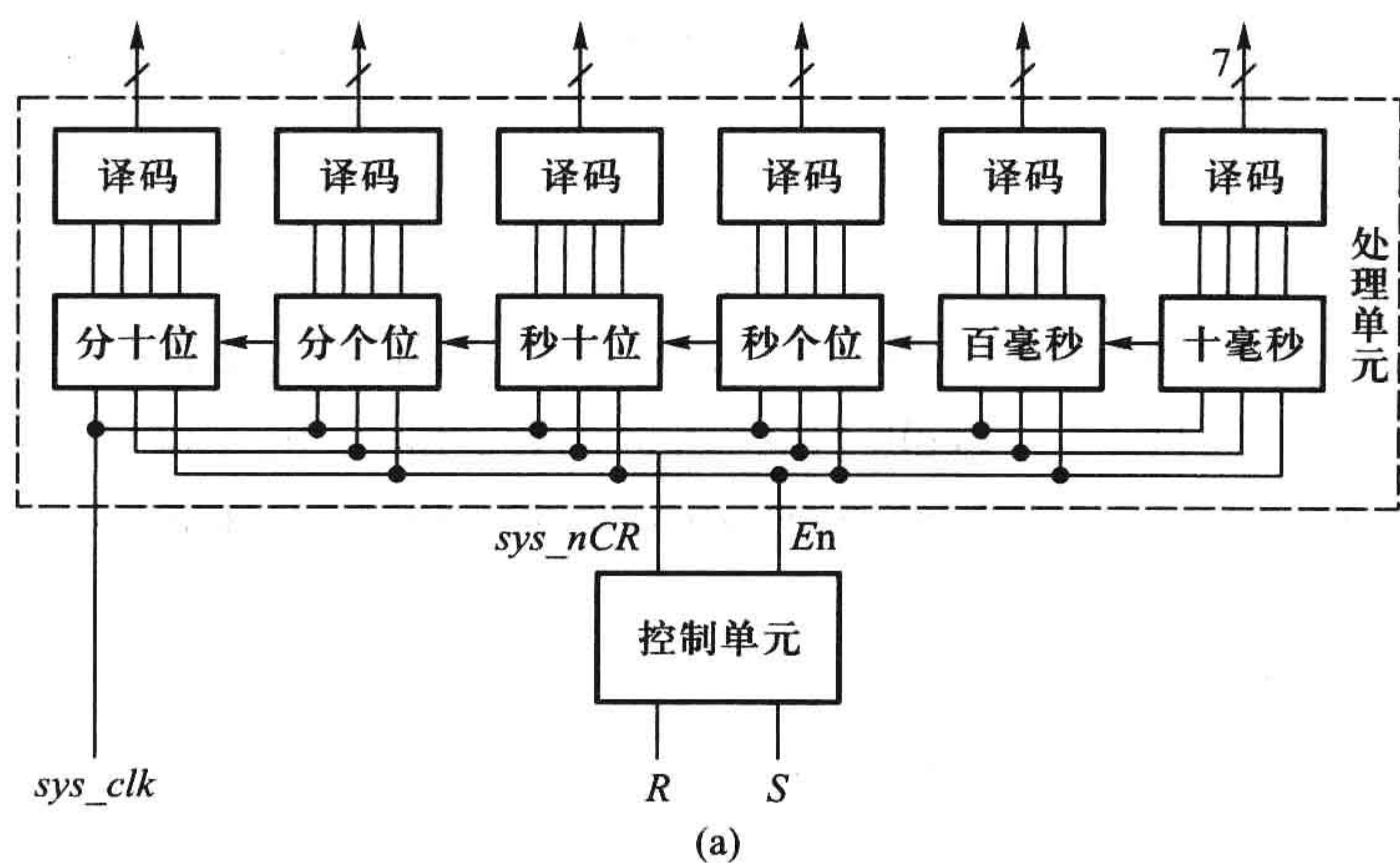
根据系统的 ASM 图可以画出系统的状态转换图,如图题解 11.4.2(c)所示。ASM 图中的状态框与状态图中的状态相对应,判断框中的条件是状态图中状态转换的输入条件。系统在初始状态 T_0 ,若按下清零键 $R=0$,则系统保持在 T_0 状态。若 $R=1$,而 $S=0$ 时,系统也保持在初始状态。所以保持在 T_0 状态的条件是 $\overline{R}+\overline{S}=1$ 。当 $S=R=1$ 时,系统进入计时状态 T_1 ,其状态转换条件为 $RS=1$ 。 T_2 和 T_3 均为计时暂停状态,根据两个输入信号 R 和 S 的不同,决定系统从 T_1 到 T_2 或 T_3 的状态转换。因此,得到系统的状态图。

(3) 数字跑表的 Verilog 描述:

```
module stopwatch (sys_clk, R, S, seg_MinH, seg_MinL, seg_SecH, seg_SecL, seg_mSecH, seg_mSecL);
```

```
    parameter T0 = 2'b00, T1 = 2'b01, T2 = 2'b10, T3 = 2'b11; //状态分配
    input sys_clk;      //系统输入时钟信号
    input R;           //系统的控制输入信号
    input S;           //暂停/连续控制信号
    output [6:0] seg_MinH, seg_MinL, seg_SecH, seg_SecL, seg_mSecH, seg_mSecL;
    reg [3:0] MinH, MinL, SecH, SecL, mSecH, mSecL;
    reg MinH_clk, MinL_clk, SecH_clk, SecL_clk, mSecH_clk, mSecL_clk;

    reg En; //计数器使能控制信号
    reg sys_nCR; //计数器的清零信号
    reg [1:0] state; //状态触发器的输出信号
    reg [1:0] next_state; //状态触发器的输入信号
    always @ (posedge sys_clk) //状态触发器(计数器)的时序控制部分
    begin
        state <= next_state;
    end
    always @ (state or R or S) //状态触发器(计数器)的组合逻辑部分
```

图题解 11.4.2

begin

next_state = T0;

case(state)

T0: **begin**

En = 0; sys_nCR = 0;


```

        if( R && S) begin next_state = T1; En = 1; sys_nCR = 1; end
        else          begin next_state = T0; En = 0; sys_nCR = 0; end
    end
    T1: begin
        En = 1; sys_nCR = 1;
        if( R && (!S)) begin next_state = T2; En = 0; end
        else if (!R)   begin next_state = T3; En = 0; end
        else          begin next_state = T1; En = 1; end // R and S
    end
    T2: begin
        En = 0; sys_nCR = 1;
        casex( {S,R} )
            2'b00: begin next_state = T0; En = 0; sys_nCR = 0; end
            2'b01: begin next_state = T2; En = 0; sys_nCR = 1; end
            2'b1x: begin next_state = T1; En = 1; sys_nCR = 1; end
        endcase
    end
    T3: begin
        En = 0; sys_nCR = 1;
        if( R) begin next_state = T1; En = 1; end
        else  begin next_state = T3; En = 0; end
    end
    default: begin next_state = T0; En = 0; sys_nCR = 0; end
endcase
end

//跑表的计时器部分(异步级联计数),计时脉冲为 10 ms
always @ (posedge sys_clk or negedge sys_nCR) //10 毫秒计数器
begin
    if ( ~sys_nCR) mSecL <= 0;
    else if(En)
    begin
        if( mSecL < 9)
        begin
            mSecL <= mSecL + 1;
            mSecL_clk <= 0;
        end
    end
    else
    begin

```



```

        mSecL <= 0;
        mSecL_clk <= 1;
    end
end
end
always @ (posedge mSecL_clk or negedge sys_nCR) //百毫秒计数器
begin
    if ( ~ sys_nCR) mSecH <= 0;
    else if( En)
    begin
        if( mSecH < 9)
            begin mSecH <= mSecH + 1; mSecH_clk <= 0; end
        else begin mSecH <= 0; mSecH_clk <= 1; end
    end
end
end
always @ (posedge mSecH_clk or negedge sys_nCR) //秒个位计数器
begin
    if ( ~ sys_nCR) SecL <= 0;
    else if( En)
    begin
        if( SecL < 9)
            begin SecL <= SecL + 1; SecL_clk <= 0; end
        else begin SecL <= 0; SecL_clk <= 1; end
    end
end
end
always @ (posedge SecL_clk or negedge sys_nCR) //秒十位计数器
begin
    if ( ~ sys_nCR) SecH <= 0;
    else if( En)
    begin
        if( SecH < 5)
            begin SecH <= SecH + 1; SecH_clk <= 0; end
        else begin SecH <= 0; SecH_clk <= 1; end
    end
end
end
always @ (posedge SecH_clk or negedge sys_nCR) //分个位计数器
begin
    if ( ~ sys_nCR) MinL <= 0;

```



```

        else if( En)
        begin
            if( MinL < 9)
                begin MinL <= MinL + 1; MinL_clk <= 0; end
            else begin MinL <= 0;          MinL_clk <= 1; end
        end
    end
end
always @ (posedge MinL_clk or negedge sys_nCR) //分十位计数器
begin
    if ( ~sys_nCR) MinH <= 0;
    else if( En)
    begin
        if( MinH < 5)
            begin MinH <= MinH + 1; MinH_clk <= 0; end
        else begin MinH <= 0;          MinH_clk <= 1; end
    end
end
end
//将 BCD 码转换为 7 段码
DecodeBCD seg1 ( MinH, seg_MinH);
DecodeBCD seg2 ( MinL, seg_MinL);
DecodeBCD seg3 ( SecH, seg_SecH);
DecodeBCD seg4 ( SecL, seg_SecL);
DecodeBCD seg5 ( mSecH, seg_mSecH);
DecodeBCD seg6 ( mSecL, seg_mSecL);
endmodule

/* ===== Sub-module ===== */
//define the BCD decoder
module DecodeBCD( bcdin, segout);
    input [3:0] bcdin;
    output reg[6:0] segout;
    always @ ( bcdin)
    begin
        case( bcdin) //abcdefg
            0: segout = 7'b0000001; //7'h01
            1: segout = 7'b1001111; //7'h4F
            2: segout = 7'b0010010; //7'h12
            3: segout = 7'b0000110; //7'h06
            4: segout = 7'b1001100; //7'h4C

```



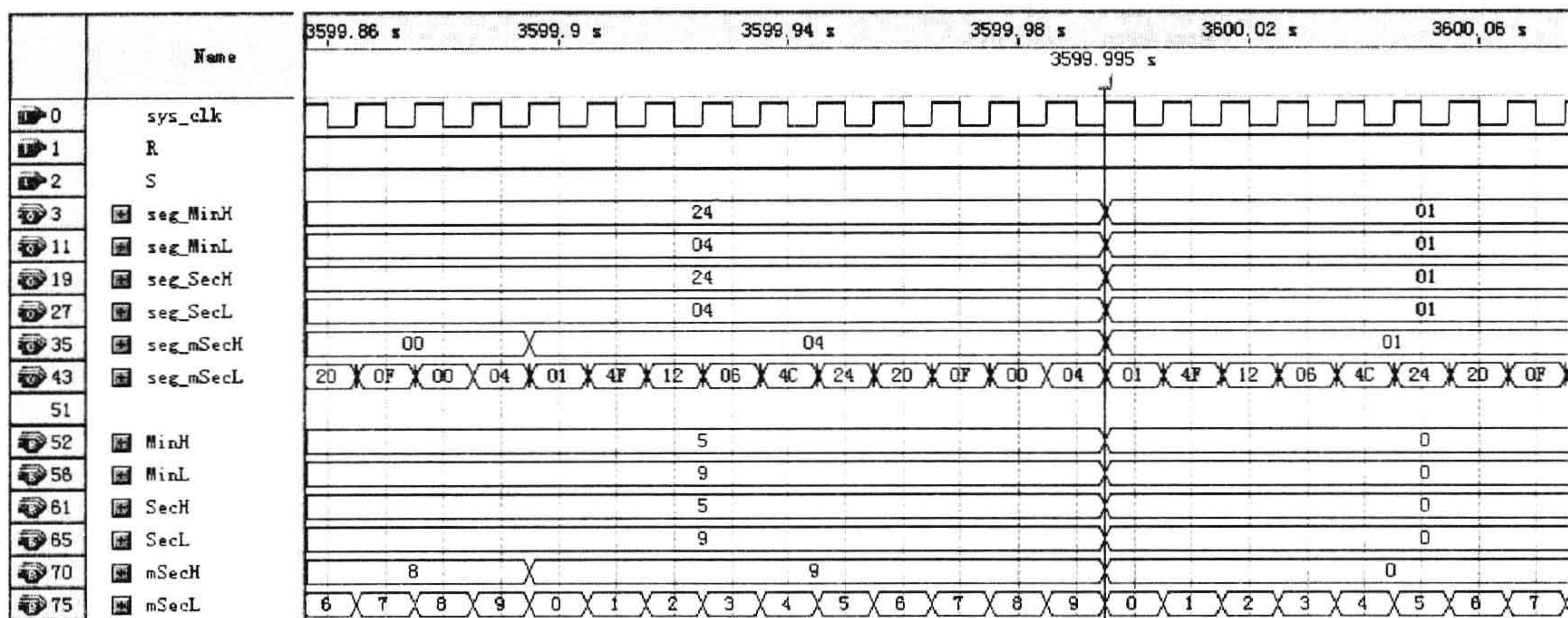
```

5: segout = 7'b0100100;    //7'h24
6: segout = 7'b0100000;    //7'h20
7: segout = 7'b0001111;    //7'h0F
8: segout = 7'b0000000;    //7'h00
9: segout = 7'b0000100;    //7'h04
default: segout = 7'b1111111; //7'hFF
endcase
end

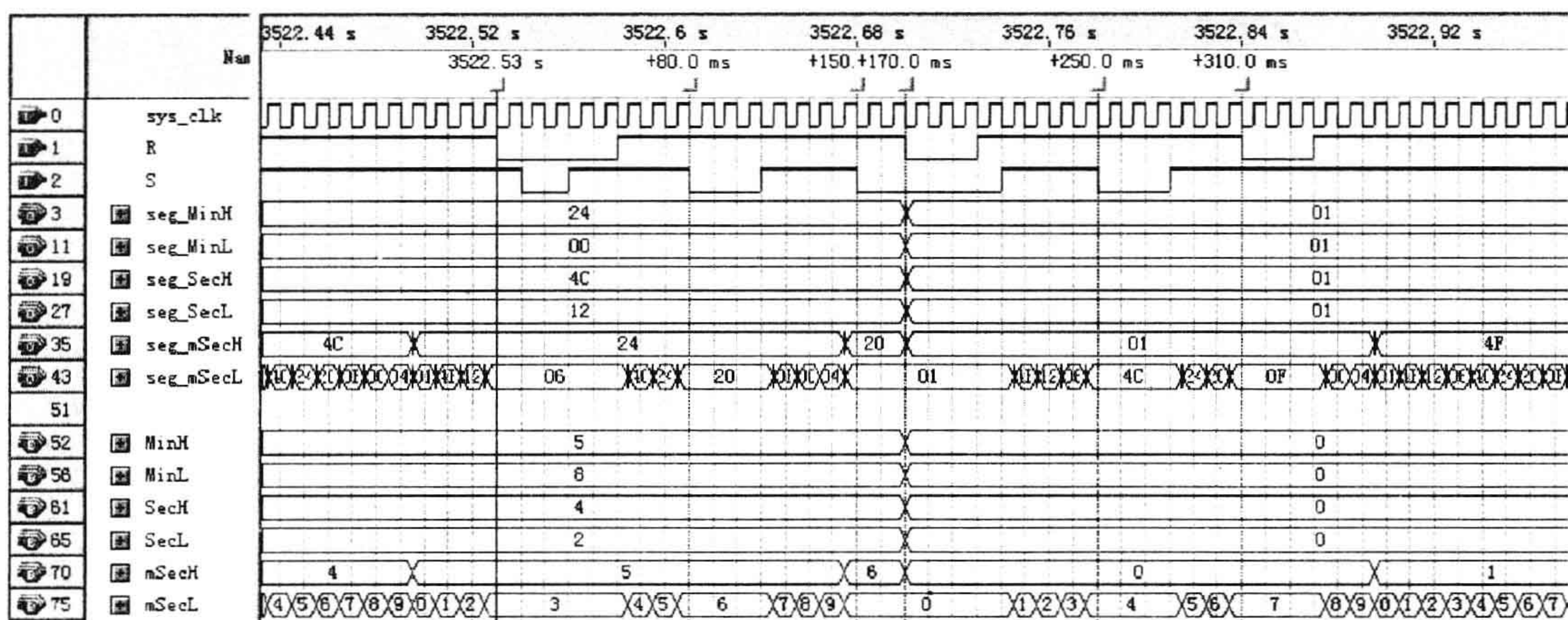
```

endmodule

数字跑表的仿真波形如图题解 11.4.2(d)、(e)所示。



图题解 11.4.2(d) 正常计时



图题解 11.4.2(e) R、S 按键的作用

[G e n e r a l I n f o r m a t i o n]

书名=电子技术基础 数字部分 第6版 学习辅导及习题解答

作者=罗杰，秦臻主编；瞿安连，张林，彭容修编

页数= 3 2 3

S S 号= 1 3 4 7 6 4 9 5

出版日期= 2 0 1 3 . 1 2

出版社=北京：高等教育出版社

I S B N 号= 7 - 0 4 - 0 3 8 6 2 0 - 2

中图法分类号= T N 7 9

原书定价= 3 2 . 8 0

主题词=数字电路 - 电子技术 - 高等学校 - 教学参考资料

参考文献格式=罗杰，秦臻主编；瞿安连，张林，彭容修编．电子技术基础 数字部分 第6版 学
习辅导及习题解答．北京：高等教育出版社，2 0 1 3 . 1 2 .

内容提要=本书数字电子技术基础课程的辅导教材……